基于现场可编程门阵列的 USB 3.0 设备控制器设计

Zhe Ning[a,1],**Yunhua Sun**[a]

[a] 中国科学院高能物理研究所，北京 100049，中国电子邮件：
ningzhe@ihep.ac.cn

摘要：传统的基于现场可编程门阵列的 USB 3.0 通信使用外部芯片作为 USB物理层，或使用包含 USB物理层的 USB 控制器。本文利用现场可编程门阵列资源实现了 USB 3.0 控制器，其中现场可编程门阵列逻辑实现串行接口引擎，而 FPGA内部收发器则充当 USB物理层。在 Kintex-7 325t 上实现后，所用切片比例为 4.59%。测试结果表明，USB 3.0 的批量输入和批量输出传输速度均超过 320 MB/s。

关键词：USB 3.0；现场可编程门阵列；收发器。

1. 引言

由于基于现场可编程门阵列的仪器采用了高精度、高速组件，因此需要高速传输。标准传输方案包括 125 MB/s 以太网和 USB 3.0。125 MB/s 以太网的一个广泛应用实例是 SiTCP [1]，它基于硬件协议栈和外置物理层实现。但 USB 3.0 的最大速度为 625 MB/s，比以太网的 125 MB/s 更快。如今，集成了光电倍增管（PMT）[2,3] 的读出电子学越来越普遍。然而，印刷电路板（PCB）的面积受 PMT 尺寸和功耗限制。同时，如果需要深入研究 PMT 接近 50 kHz 的暗计数率 [4], ，则需要很高的传输带宽。由于波形采样的窗口大小通常为 1000 个点，每秒的数据总量为 1000 个点 * 2 字节/点 * 50k = 100 MB/s，非常接近以太网 125 MB/s 的带宽上限。USB 传输方案看起来更合适，但大多数 USB 方案都是通过外置 USB 芯片实现的。

如图1所示，FPGA板卡上有几种典型的 USB 方案。在架构A中，物理层、串行接口引擎和驱动程序被集成在一块芯片中，例如 Cypress CY3014 [5] 和 FIDI FT600 [6], ，因此 FPGA 中的用户逻辑可以快速地与芯片收发数据。这些芯片也称为 USB-FIFO芯片。但它们扩展性不足，也无法作为 USB 主机。架构B采用包含物理层的外部芯片，扩展性更强，但实现也更复杂，因为串行接口引擎（SIE）等其他层由 FPGA 逻辑实现。架构B中最常见的外部芯片是德州仪器的 TUSB1310A [7] 。遗憾的是，该芯片已停产，且没有替代产品。本文探讨架构C，它是架构B的升级方案，尝试使用 FPGA内部收发器作为 USB物理层，以替代 TUSB1310A。这样可以适配更小的读出电子学印刷电路板区域，并为光电倍增管留出足够空间。

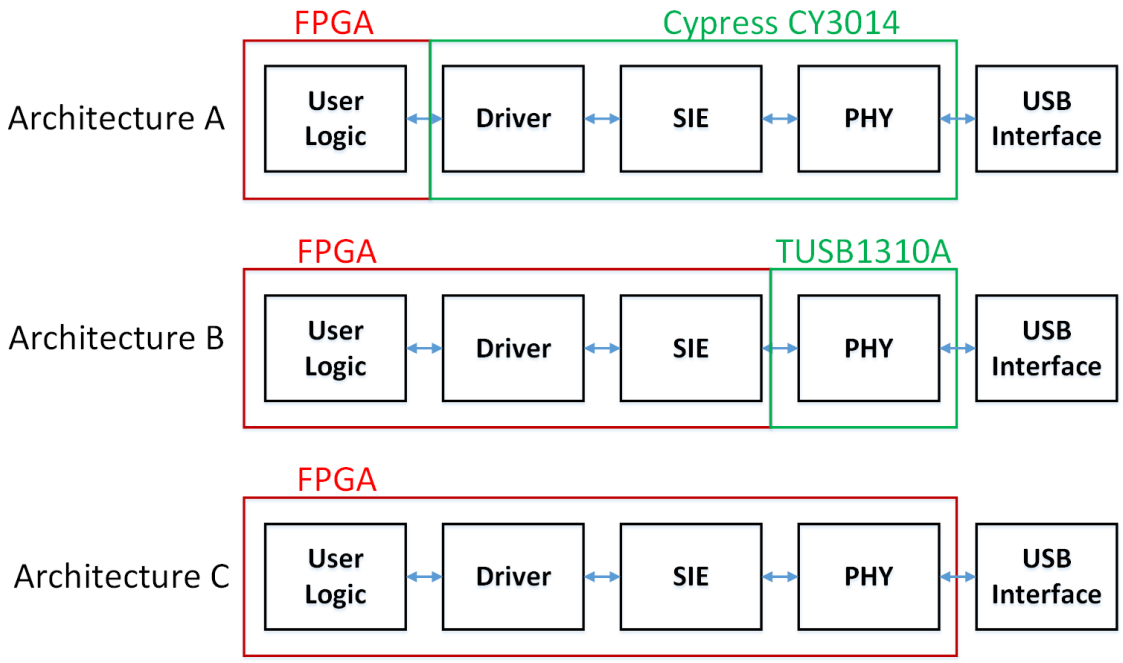

图1 现场可编程门阵列的通用串行总线方案

2. 系统设计

根据相关文档以及赛灵思提供的支持，赛灵思 FPGA 外部收发器不能用作 USB 3.0 物理层 [8]。USB物理层的主要功能应分别实现。标准 USB 3.0 物理层包含一个用于传输低频周期信号（LFPS）的模块，此时千兆位收发器处于关闭状态；另一个是串行接口引擎模块，用于传输常规 USB 3.0 数据，此时千兆位收发器处于开启状态。

2.1 物理层模块

2.1.1 低频周期信号定义

USB 3.0 物理层与 PCIe 和 SATA 的物理层类似，需要发送低频周期信号（LFPS），以发起链路连接，或在链路伙伴处于低功耗链路状态时将其唤醒。

如图2所示，低频周期信号有三个参数：tPeriod、突发时间和 tRepeat。由于低频周期信号是方波，tPeriod 是方波的周期，其最小值为 20 纳秒，最大值为 100 纳秒；突发时间是连续 LFPS 信号传输所占用的时间，其数值取决于表 1 [9] 所示的低频周期信号类型；tRepeat 由 tPeriod 和电气空闲状态的持续时间组成，在此状态下，两条传输差分线保持相同电压，其数值也取决于低频周期信号类型。最常见的低频周期信号类型是轮询，其突发时间正常值为 1.0 μs，tRepeat 正常值为 10.0 μs。

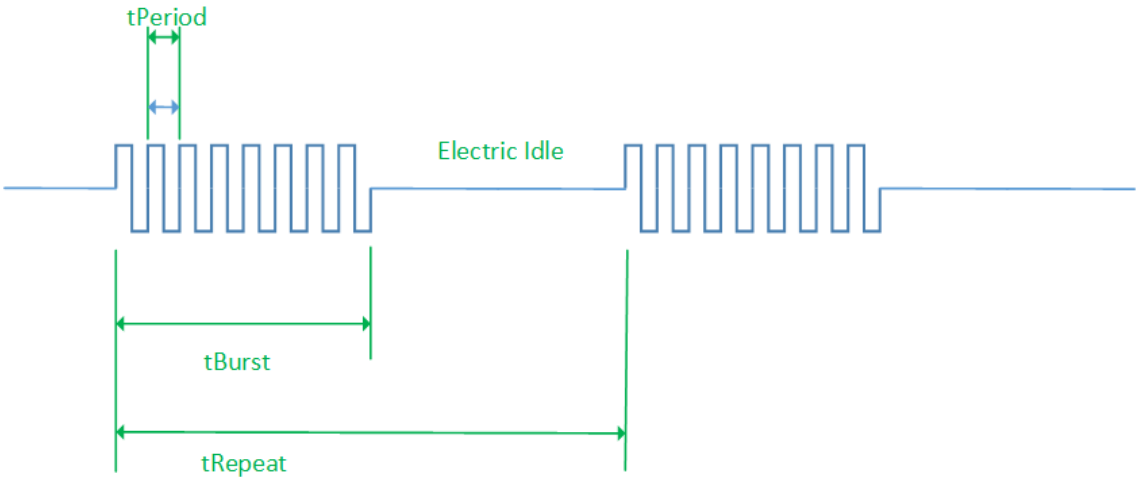

图 2 低频周期信号

表 1 超高速 D 的低频周期信号发送器时序 设计

	突发时间				tRepeat		
	最小值	正常值	最大值	最小值低频周期信号数量周期	最小值	正常值	最大值
轮询	0.6 μs	1.0 μs	1.4 μs		6 μs	10 μ秒	14 μ秒
Ping	40 纳秒		200 纳秒	2	160 毫秒	200 毫秒	240 毫秒

复位时间	80 毫秒	100 毫秒	120 毫秒				
U1 退出	600 纳秒		2 ms				
U2 退出	80 μ秒		2 ms				
U1 唤醒	80 μ秒		10 毫秒				

2.1.2 发送和接收低频周期信号

如前所述，在某些情况下，例如链路初始化或唤醒链路伙伴，需要通过配置图3所示的发射器端口来发送 LFPS。初始化链路时，生成 LFPS 的条件为 txpd = 2'b0 && rxpd = 2'b0 && TXDETECTRX = 1 && TXELECIDLE = 1 [10]；唤醒链路伙伴时，生成 LFPS 的条件为 txppd = 2'b1 && rxpd = 2'b1 && TXELECIDLE = 0。对于接收 LFPS 的检测，RXELECIDLE = 0 表示检测到 LFPS，RXELECIDLE = 1 表示未检测到 LFPS[11]。

首先，在 tPeriod 阶段，应通过以一定频率切换差分线路的“1”和“0”，反复生成方波。收发器的数据宽度为 40 位，其中启用了 8b10b 编码，但在 TX8B10BEN = 1'b1 且 TX8B10BBYPASS = 8'h0F 时会旁路编码。由于收发器的速率为 625 MB/s，每个位占用 0.2 ns，因此当 tx_data = 40'hFF_FFFF_FFFF 时，一个周期内高电平的持续时间为 0.2 × 40 = 8 ns，小于一个低频周期信号周期的一半（即 10 ns），所以高电平持续时间至少应加倍。示波器的图4显示，方波高电平持续时间加倍后，tPeriod 为 32 ns。若要传输轮询低频周期信号，tBurst 由 32 个 tPeriod 组成。其次，tBurst 结束后，通过将 TXELECIDLE 拉高，线路将进入电气空闲阶段。

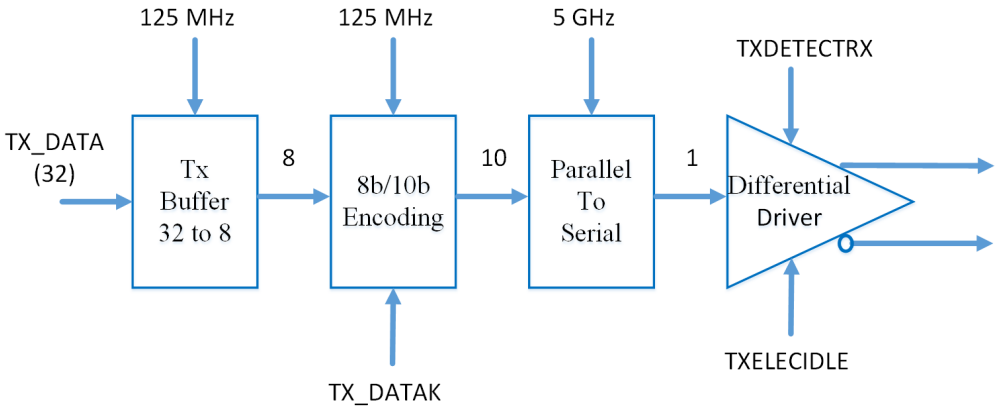

图3 发射器结构

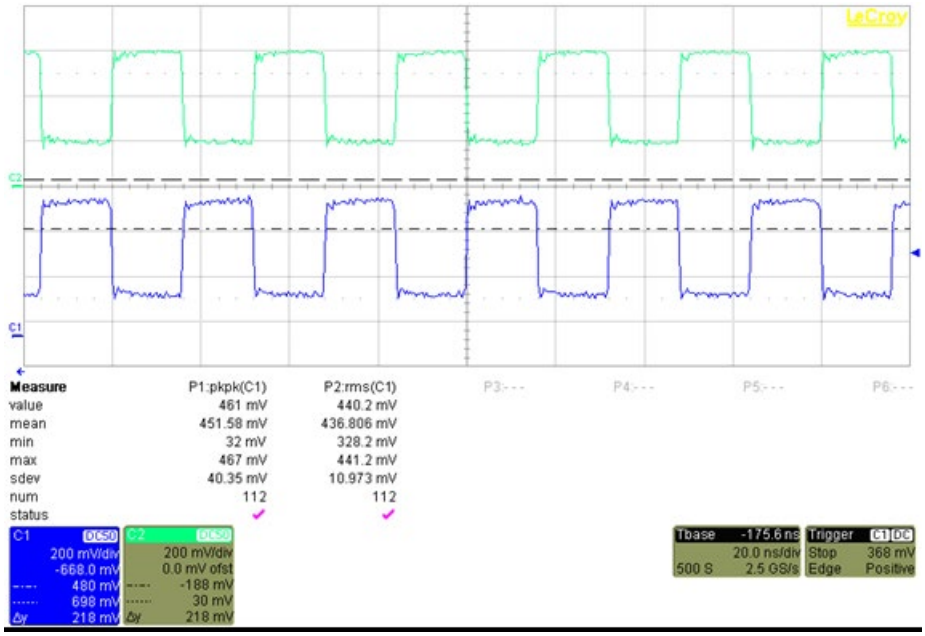

图4 示波器捕获的 LFPS 信号的 tPeriod

2.2 串行接口引擎设计

如图5所示，串行接口引擎由三个模块组成：PIPE 接口模块、链路模块和协议模块。PIPE 接口模块用于对数据进行扰码和解扰；链路模块包含两部分：一部分负责链路模块及其管理，用于生成链路命令管理数据包，例如 LGOOD 和 LCRD。另一部分是链路训练状态机（LTSSM），负责管理从一种状态到另一种状态的转换，例如从 U0 转换到 U1；协议模块用于在设备模式下生成令牌或数据包，以响应通用串行总线主机发出的命令，或在主机模式下向通用串行总线设备发送令牌或数据包。对于通用串行总线设备，需要端点管理模块来管理用于枚举的端点 0、端点 1 以及用于批量输入和输出的端点 2。对于通用串行总线主机，则需要枚举管理模块，以便在设备接入后生成枚举命令。此外，还需要根据连接到主机的设备类型配置设备驱动模块。资源利用率如图6所示，Kintex-7 325t 中已使用切片的比例为 4.59%。

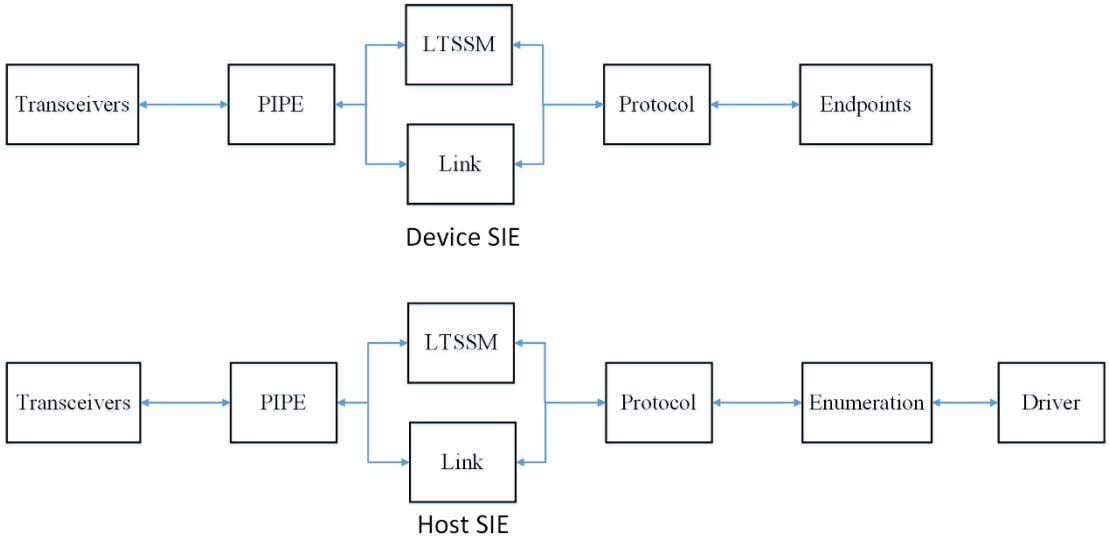

图 5 串行接口引擎设计

Slice LUTs (203800)	Slice Registers (407600)	F7 Muxes (101900)	Slice (50950)	LUT as Logic (203800)	LUT as Memory (64000)	Block RAM Tile (445)	DSPs (840)	Bonded IOB (500)	Bonded IPADs (50)	Bonded OPADs (32)	IBUFDS (480)	GTXE2_CHANNEL (16)
5795	6340	6	2338	5665	130	9.5	1	4	4	2	1	1

图 6 USB 控制器的资源利用率

2.3 初始化过程

如图 7 所示，在 Rx.Detect 状态下，如果 phystatus 信号为低电平，应通过置位 TXDETECTRX，通知物理层开始接收器检测操作。接收器检测期间，phystatus 信号会置为高电平，以指示接收器检测已完成 [12]。因此，状态会进入轮询状态。收发器应继续发送 LFPS 信号；与此同时，收发器应检查接收到的 LFPS 信号是否为轮询信号。如果是，则启动收发器，随后向链路伙伴发送 TSEQ 有序集，在一段时间内对均衡器进行训练。之后，发送 TS1 和 TS2 有序集作为握手，以完成链路训练，并请求典型设置中的信息，例如快速响应。完成所有这些操作后，状态将从轮询状态进入 U0 状态。在 U0 状态下，通用串行总线控制器首先会响应主机的枚举请求，然后进入批量输入或批量输出状态。

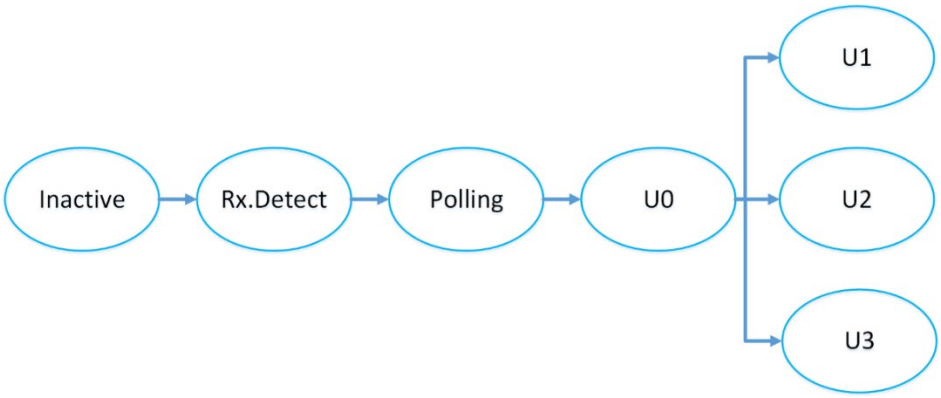

图 7 LTSSM 高层状态

3. 实验结果

3.1 硬件设置

如图 8 所示，使用 KC705 板 [13] 进行验证，并使用名为 HiTech USB [14] 的夹层卡添加通用串行总线接口，直接连接 Kintex-7 的 GTX 收发器。有关此连接的更多详情如图 9 所示。值得注意的是，接收端终端中应有一个 0.1 uF 电容，而发送端终端中通常也会有这样的电容。通用串行总线控制器的时钟来自锁相环（PLL）的输出，其输入连接到收发器的 TXOUTCLK 端口；收发器的参考时钟则来自一个 200 MHz 差分振荡器。因此，由于时钟域不同，用户逻辑与通用串行总线控制器之间需要一个先进先出队列。

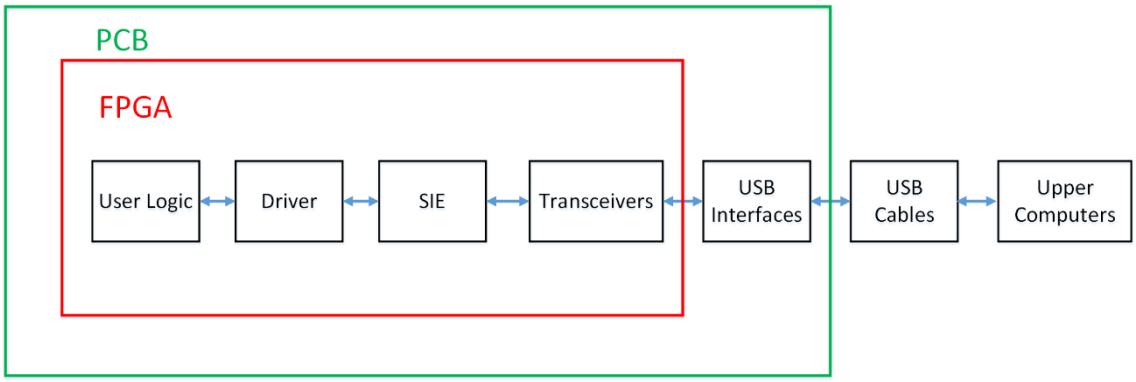

图 8 硬件设置

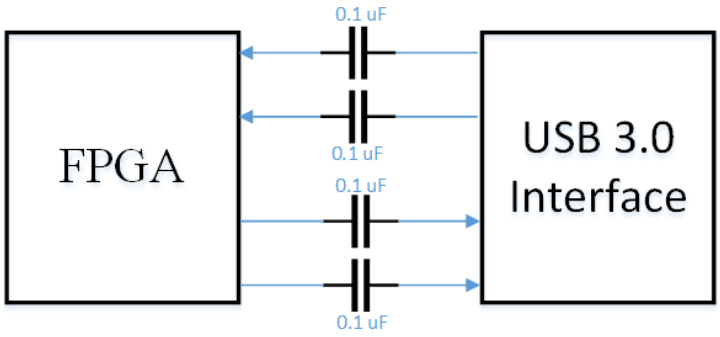

图 9 FPGA USB 3.0 连接器原理图

3.2 速度测试

速度测试包括批量输入和批量输出传输测试，这些测试可使用上位机软件（如 Cypress 流传输程序）或 USB 分析仪的第三方软件（如 LeCroy adviser T3 [15]）进行。对于图 10 和图 11 所示的批量输入测试，Cypress 流传输程序和 LeCroy adviser T3 均显示，通用串行总线速度超过 320 MB/s。同时，传输超过 3 TB 数据后，USB 分析仪仍未检测到误码，据此估算的误码率低于 10^{-13}，低于 10^{-12}

通用串行总线规范的要求。图 12 和图 13 所示的批量输出测试也表明了类似的结果。

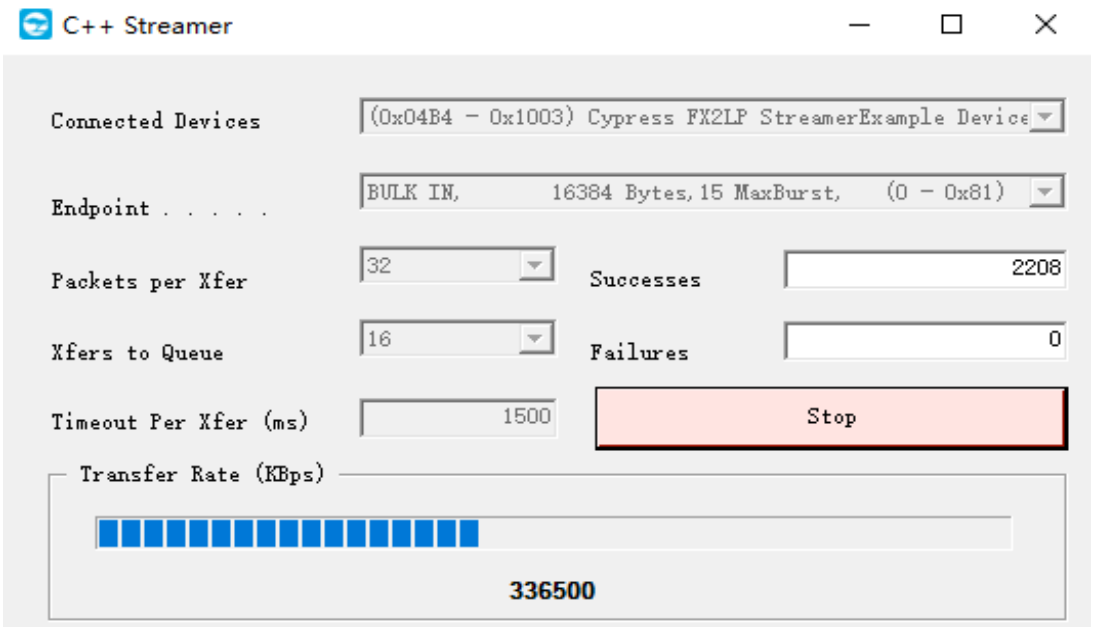

图 10 基于 Cypress 流传输程序的批量输入传输测试

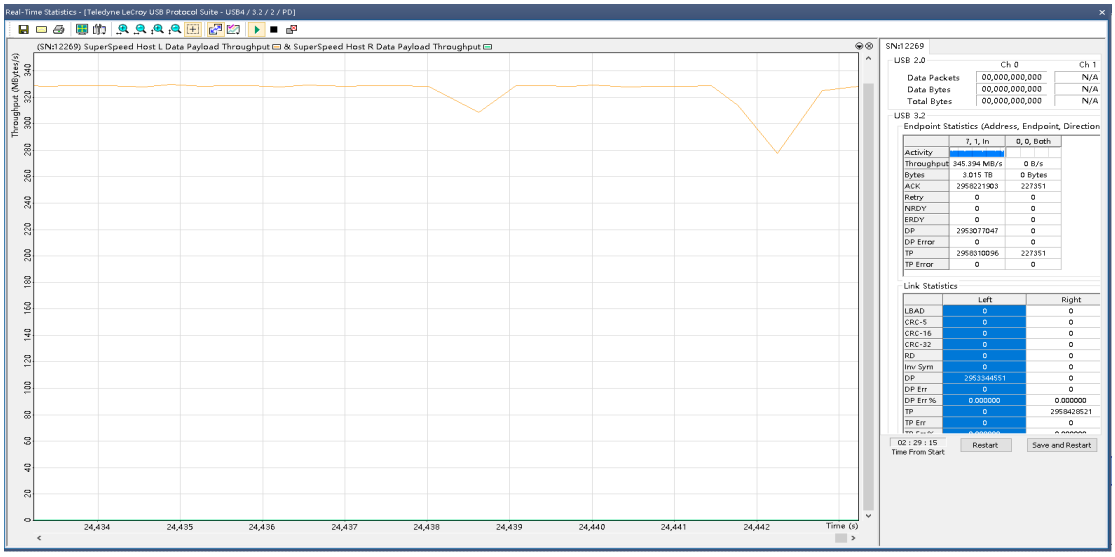

图 11 基于 LeCroy adviser T3 的批量输入传输测试

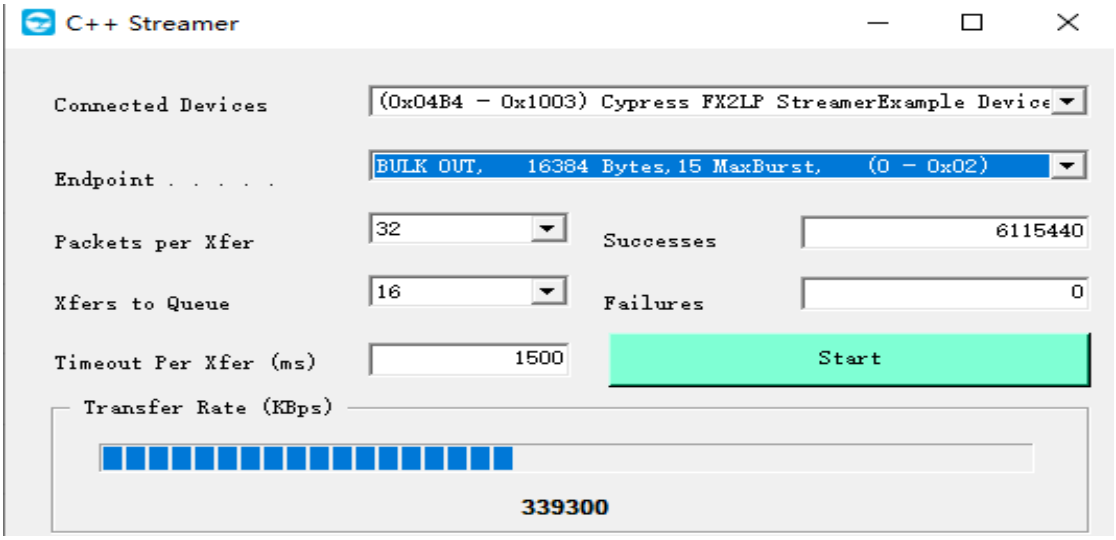

图 12 基于 Cypress 流传输程序的批量输出传输测试。

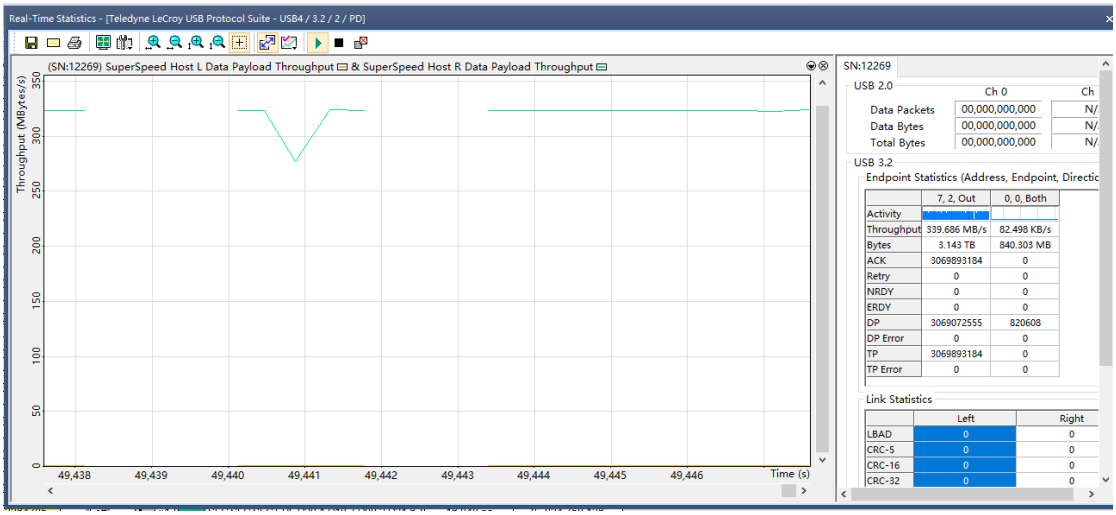

图 13 基于 LeCroy adviser T3 的批量输出传输测试。

4. 总结

本文证明，基于 FPGA 内部收发器和 FPGA 逻辑，可以实现包含物理层和串行接口引擎的 USB 3.0 控制器。测试结果表明，批量输入和批量输出的速度均超过 320 MB/s，误码率低于 10^{-13}。值得注意的是，本文提出的方案能够很好地实现与上位机之间的 USB 3.0 通信。不过，如果需要兼容 USB 2.0，则必须在电路中添加外部 USB 2.0 芯片。

致谢

本项目由北京市自然科学基金（项目编号：1214029）资助。

参考资料

[1] https://www.sitcp.net/doc/SiTCP_eng.pdf

[2] Bandini, A. Brigatti, A. Barresi 等，《JUNO 实验大型光电倍增管的嵌入式读出电子设备研发》，《核仪器与方法物理研究 A 辑：加速器、光谱仪、探测器及相关设备》，第985卷，2021年，164600

[3] Gao、Feng、Kiel、Florian、Kuhlbusch、Tim、Stahl、Achim、Steinmann、Jochen、Wiebusch、Christopher 和 Wysotzki、Christian（2019）。OSIRIS 的常规光电倍增管系统。《德国物理学会论文集》，（Aache2019issue），1。

[4] 秦中华，JUNO 实验的20英寸光电倍增管系统，https://indico.cern.ch/event/686555/contributions/2972208/attachments/1682285/2703107/The20inchPMTSystem-ICHEP2018-V2.pdf

[5] https://www.cypress.com/part/cyusb3014-bzxi

[6] https://www.ftdichip.com/old2020/Products/ICs/FT600.html

[7] http://www.ti.com/product/TUSB1310A

[8] https://www.reddit.com/r/现场可编程门阵列/comments/mgesks/comment/gstys94/?utm_source=share&utm_mediu m=web2x&context=3

[9] 通用串行总线3.0规范，https://www.usb.org/documents

[10] https://www.xilinx.com/support/documentation/user_guides/ug476_7Series_收发器.pdf

[11] https://www.truechip.net/articles-details/low-frequency-periodic-signaling-lfps-in-usb-3-x/1557760454

[12] https://www.intel.com/content/dam/www/public/us/en/documents/white-papers/phy-interface-pci-express-sata-usb30-architectures-3.1.pdf

[13] https://china.xilinx.com/products/boards-and-kits/ek-k7-kc705-g.html

[14] http://www.hitechglobal.com/FMCModules/FMC_USB3.htm

[15] https://teledynelecroy.com/protocolanalyzer/usb/advisor-t3