# 面向高速可重构计算电路的多态电光逻辑门

Venkata Sai Praneeth Karempudi电子与计算机工程系 肯塔基大学列克星敦，肯塔基州，美国 kvspraneeth@uky.edu

Sairam Sri Vatsavai电子与计算机工程系 肯塔基大学列克星敦，肯塔基州，美国 Sairam Srivatsavai@uky.edu

Ishan Thakkar电子与计算机工程系 肯塔基大学列克星敦，肯塔基州，美国 igthakkar@uky.edu

Jeffrey Todd Hastings电子与计算机工程系 肯塔基大学列克星敦，肯塔基州，美国 todd.hastings@uky.edu

arXiv:2301.13626v1 [cs.ET] 30 Jan 2023

摘要——**随着摩尔定律逐渐放缓，集成电光（E-O）计算电路展现出革命性潜力，有望为计算提供速度更快、效率更高的硬件。文献中的电光计算电路能够以极低延迟和高比特率运行。然而，由于其操作数处理复杂度高、面积和静态功耗开销较大且无法摊销，以及总体上不适合在掩模版尺寸受限芯片上进行大规模集成，这些电路仍面临诸多不足。为缓解这些问题，本文提出一种基于微环谐振器（MRR）的多态电光逻辑门（MRR-PEOLG），该逻辑门可动态编程，在不同时间实现不同的逻辑函数。我们的 MRR-PEOLG 能够为电光电路提供紧凑性和多态性，从而改进其操作数处理，并摊销面积和静态功耗开销。我们使用经光子学代工厂验证的工具对 MRR-PEOLG 进行建模，以对其多态逻辑函数开展频域和时域分析。评估结果表明，在此前工作中的两个电光电路中使用我们的 MRR-PEOLG，可将其面积-能耗-延迟乘积降低最多 82.6×。关于 MRR-PEOLG 建模与仿真的教程，以及相关代码和文件，可在 https://github.com/uky-UCAT/MRR-PEOLG 获取。**

索引词—**多态、微环谐振器、温度、比特率。**

## 一、引言

自提出以来，摩尔定律一直推动着计算硬件的发展。但遗憾的是，近年来，纳米制造技术正因晶体管尺寸极小而遭遇物理极限，这使摩尔定律面临严峻挑战 [1]。这促使业界和学术界的研究人员开发新的“超越摩尔”技术，以持续提供速度更快、效率更高的计算硬件 [1]。幸运的是，硅光子学（SiP）支持的电光（E-O）电路集成已被视为一种前景广阔的技术 [2]。基于SiP的电光电路通常与CMOS兼容，并且相较于纯电学电路具有多项优势，包括亚皮秒级速度、低动态功耗以及与距离无关的比特率 [2]。鉴于这些优势，相较于基于CMOS的电路，早期基于SiP的电光计算电路原型（例如 [2]–[8]）已被证明可将性能和能源效率提升多达两个数量级 [9] [2]。

以往研究（例如， [2]–[8]）已经展示了用于计算的基于SiP的电光电路，通常用于实现以下四类逻辑和算术函数：**（I）基本逻辑门函数**。例如， [3] 采用基于微环谐振器（MRR）集成相变存储器（PCM）器件的同或门，以实现二值神经网络加速。类似地，[4]和 [5], 采用基于下载型微环谐振器的与门，实现两个二进制操作数的部分乘法，从而助力深度神经网络加速。**（II）任意组合逻辑函数**。例如， [6]和 [7]展示了基于定向逻辑、由微环谐振器实现的可重构电光电路。这些电路可以作为现场可编程门阵列（FPGA）的直接光学替代方案。**（III）双操作数算术函数**。已有研究展示了用于部分和累加及双操作数加法的高速电光电路（例如， [8], [2]），其中各种设计支持自定义精度 [8] 和全精度多态运算 [2]。**（IV）多操作数线性算术函数**。已有多种基于微环谐振器和/或马赫-曾德尔干涉仪（MZI）的模拟与数字电光电路，用于实现乘累加（MAC）和向量点积（VDP）运算（例如， [3], [4], [9], [10]），以支持深度学习工作负载。采用电光电路实现的这些逻辑和算术函数，通常能够满足超高速、高度并行的通用计算或深度学习加速需求。

然而，我们观察到，先前研究中的这些基于SiP的电光电路存在三个主要缺点。首先，用于实现简单逻辑门函数的电光电路对两个输入操作数的输入方式不同；通常，一个操作数以光学方式施加，另一个操作数以电学方式施加。例如，在 [3] 中的电光同或门和 [4],中的电光与门中，两个操作数中的一个必须调制到输入光波长上；假设所使用的激光源提供未调制的光功率，则每个逻辑门函数都需要额外的光调制器件。必须通过额外的调制器件以光学方式提供其中一个操作数，会增加硬件面积开销和

本研究得到NSF（CNS-2139167）资助

电光电路中的操作数处理复杂度。相反，我们需要设计更简单的硬件，这可以通过让两个操作数全部采用电气供给来实现。其次，与CMOS 实现相比，用于算术函数的电光电路占据的面积非常大。例如， [5] 中使用的电光乘加电路所占面积最多比全电乘加电路[5]大 100× 。此外，此类用于算术函数的电光电路很难实现超过60%的硬件利用率 [4]。这是因为这些电路通常属于更大的处理单元，而它们只占整个端到端数据通路的一部分 [3], [9], [10]。如此低的硬件利用率通常会导致较长的空闲时间，进而产生非常高且无法摊销的面积和静态功耗开销。反过来，这也促使人们需要更加灵活的电光电路，使其能够在不同时间适应不同的算术/逻辑函数，通过减少总空闲时间来提高其高额面积和静态功耗开销的摊销率。第三，电光电路较高的面积开销使其不太适合高度并行的单指令多数据（ SIMD）、多指令多数据（MIMD）和脉动阵列（SA）处理架构。这是因为SIMD、MIMD和SA架构通常采用数千个流式处理单元，而每个处理单元都需要多份基本逻辑和算术函数。使用面积大 100×的笨重电光电路实现这些函数，会大幅减少能够集成在单芯片上的处理单元数量；而单芯片的面积通常受掩模版尺寸（<=900 毫米$^2$ [11]）限制。由于基于SIMD、MIMD和SA的处理单元已广泛用于执行现代欧几里得数据工作负载以及非欧几里得数据工作负载（即具有网格和图结构数据的工作负载），因此，通过构建面积开销相对较低的新型电光电路，缓解电光电路对基于SIMD、MIMD和SA的设计的不适用性至关重要。

为解决这些不足，本文提出了一种基于单个**MRR** 的**多态电光逻辑门（MRR-PEOLG）**——我们的 —MRR-PEOLG 可同时以电方式接收两个输入操作数，并可对其下载端口（直通端口）光学响应进行热光编程，使其能够在不同时间动态遵循不同逻辑函数（如与、或和异或，以及与非、或非和同或）的真值表。因此，采用我们的MRR- PEOLG 构建的电光电路能够通过以下方式解决上述不足：（1）支持以全电方式施加输入操作数；（2）通过电光逻辑门的单 MRR 结构实现紧凑性；（3）通过所引入的多态性实现高度灵活性，从而减少空闲时间，并提高其对基于 SIMD/MIMD/SA 架构的适用性。

本文的主要贡献总结如下：

- 我们使用经光子学代工厂验证的工具 ANSYS/Lumerical [12],对 MRR-PEOLG 进行建模，随后针对不同的逻辑门函数开展频域、时域瞬态和热分析。有关 MRR-PEOLG 建模与仿真的教程，以及相关代码和文件，可在 https://github.com/uky-UCAT/MRR-PEOLG; 上获取。
- 基于我们的分析，我们评估了 MRR-PEOLG 的性能，并据此确定了我们的 MRR-PEOLG 所支持的每种逻辑门函数可实现的最大比特率和热调谐功率；
- 我们证明，在两种先前研究中的电光电路中采用我们的MRR-PEOLG，可使面积-能耗-延迟乘积最多改善82.6×；
- 我们还讨论了如何利用MRR-PEOLG实现电光可重构SIMD/MIMD架构。

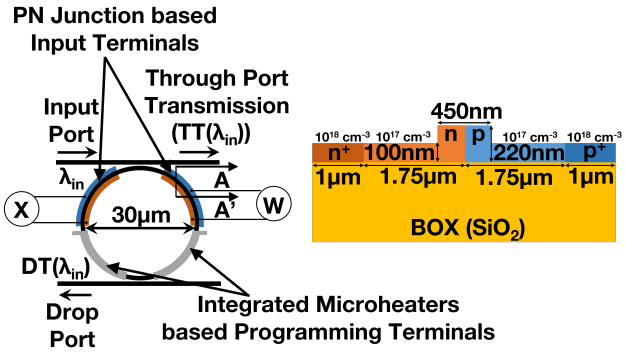


图1. 基于微环谐振器的多态电光逻辑门（MRR-PEOLG）的结构和横截面。

## II. 基于微环谐振器的多态电光逻辑门（MRR-PEOLG）

### *A.* 结构

我们的MRR-PEOLG基本上是一个下载型微环谐振器 [13]，其中嵌入了四个四分之一尺寸的移相区段，如图1(a)所示。MRR的两个四分之一尺寸区段是两个在正向偏置状态下工作的PN结，而另外两个四分之一尺寸区段集成了微加热器。图1(a)右侧展示了我们基于PN结的MRR-PEOLG区段的横截面，该区段由一个嵌入横向PN结的脊形波导组成，并制作在埋氧层顶部。图1(a)还给出了P型和N型区域的尺寸及其相应的载流子浓度。我们MRR-PEOLG中基于PN结的区段充当输入端子，用于施加输入逻辑信号/操作数位。另一方面，MRR-PEOLG中集成微加热器的区段充当编程端子，用于对MRR-PEOLG进行编程，使其执行特定的逻辑门函数。

向基于微加热器的编程端子施加电压，可以提高MRR的温度，进而使MRR的谐振向较长波长方向移动（红移）。这是由于硅中的热光效应（ [14]）。要对MRR-PEOLG进行编程以实现特定的逻辑门函数，需要通过向编程端子施加电压，将与操作数无关的MRR谐振（即经过编程的MRR谐振）相对于输入光

波长调节至特定的光谱位置。随后，将电输入逻辑信号或输入操作数位（x和w）施加到基于PN结的MRR输入端子上。这样，MRR的谐振会根据所施加输入操作数位的组合向较短波长方向移动（蓝移）。这是由于硅中的自由载流子等离子体色散效应（ [15]）。向输入端子施加输入操作数位后，我们的MRR-PEOLG的直通端口和下载端口光学响应将遵循MRR-PEOLG所编程实现的逻辑门函数的真值表。通过这种方式，我们的MRR-PEOLG可以在不同时间执行不同的逻辑门函数。在任意给定时刻，MRR-PEOLG的直通端口光学响应都遵循下载端口光学响应的逻辑互补。因此，可以在MRR-PEOLG的下载端口实现与、或和异或函数（一次实现一个函数）。与此同时，MRR-PEOLG的直通端口可以提供与非、或非和同等互补逻辑门函数，具体如下文所述。

*B.* 建模

我们使用经光子晶圆厂验证的 Ansys/Lumerical 仿真工具 [12]对 MRR-PEOLG 进行建模。我们将 MRR-PEOLG 设计分解为一组基本元件。图 2(a) 展示了 MRR-PEOLG 的示意图，其基本元件分解如图 2(b) 所示。我们使用 Ansys/Lumerical 工具中的不同求解器 [12] 对每个基本元件进行建模。基于这些模型，我们提取每个基本元件的各种参数。随后，我们在 Ansys/Lumerical 的 INTERCONNECT工具 [12] （用于光子集成电路建模与仿真的工具）中，将提取的所有参数组合起来，以构建图 2(b) 中的 MRR-PEOLG。最后，我们对 MRR-PEOLG 执行频域仿真和时域瞬态仿真。下面总结了使用 ANSYS/Lumerical 工具/求解器对 MRR-PEOLG 进行建模与仿真的不同步骤。

**步骤-1 - 微环谐振器-波导耦合段建模：**首先，在有限差分时域（FDTD）求解器中创建耦合段，并提取基模横电（TE）模的功率耦合系数随波长变化的关系。将这些系数导入耦合元件 C 1 和 C 2（图 2(b)）。

**步骤-2 - 直波导段建模：**首先，使用有限差分本征模（FDE）求解器表征 MRR-PEOLG 中无源的直通道波导。提取波导的有效折射率、群折射率和色散随波长变化的关系。将这些信息载入基本元件 WGD 1、WGD 2、WGD 7 和 WGD 8（图 2(b)）。

**步骤 3 - 对基于PN结的输入端子进行建模：**首先，在CHARGE工具中创建一个嵌入横向PN结的四分之一环。执行仿真，以提取电荷载流子随偏置电压变化的空间分布。然后，将这些数据导出到FDE求解器中，并计算与输入端子连接的波导中的折射率扰动。然后，计算整个MRR-PEOLG的有效折射率和谐振随偏置电压的变化。将这些信息导入基本元件WGD 6（与OM 1连接）和WGD 5（与OM 2连接）中（图2(b)）。

**步骤-4 - 基于微加热器的编程端建模：**提取 MRR-PEOLG 的温度分布随施加的微加热器电压变化的关系。然后，将这些数据导入 FDE求解器，计算 MRR-PEOLG 的有效折射率随其温度变化的关系。将这些信息导入基本元件 WGD 3（连接至 OM 4）和 WGD 4（连接至 OM 5）（图 2(b)）。

**步骤 5——准备仿真：**在 INTERCONNECT 工具中，将基于基本元件的 MRR-PEOLG 模型（图 2(b)）与其他测试与表征设备连接起来，如图 2(c) 和图 2(d) 所示。

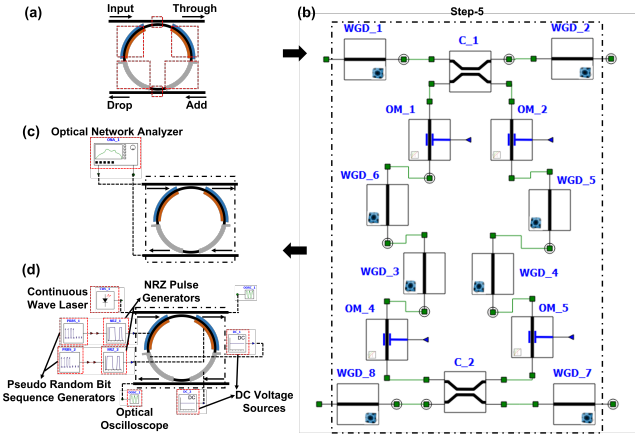


图 2。（a）用于建立本文 MRR-PEOLG 模型的步骤 1 至步骤 4，以及（b）步骤 5。ANSYS/Lumerical 的 INTERCONNECT 工具中，用于对本文 MRR-PEOLG 进行（c）频域和（d）时域瞬态分析的示意仿真设置。

*C.* 工作原理

为了解释我们的MRR-PEOLG的工作原理，我们使用INTERCONNECT工具 [12]进行了频域仿真。该频域分析的仿真设置如图2(c)所示。因此，我们将光网络分析仪（ONA）连接到我们的MRR-PEOLG，以提取其下载端口和直通端口处的透射光谱。我们提取了相对于输入波长 $\lambda_{in}$的与操作数无关的MRR谐振位置 $\kappa$ 在不同失谐值下的透射光谱。如前所述，这些失谐值对应于MRR-PEOLG能够执行的不同逻辑门函数。此外，我们还提取了不同输入操作数位组合下的透射光谱。不同逻辑门函数和互补逻辑门函数对应的所有这些透射光谱如图3(a)至3(f)所示。透射

光谱对应的逻辑门函数与、或和异或分别如图3(a)、3(b)和3(c)所示。这些透射光谱是下载端口传输光谱（洛伦兹线型通带）。同样，对应于互补逻辑门函数与非、或非和同或的透射光谱分别如图3(d)、3(e)和3(f)所示。这些透射光谱是直通端口传输光谱（反洛伦兹线型通带）。如图3所示，下载端口和直通端口的透射呈现出两个清晰可分辨的电平。我们的MRR-PEOLG在下载端口和直通端口处的完整传输范围被划分为两个区域，其中完整传输范围的下半部分以灰色阴影表示，上半部分以蓝色阴影表示。如果在 $\lambda_{in}$ 处，下载端口（DT($\lambda_{in}$)）和直通端口（TT($\lambda_{in}$)）的传输落在完整传输范围的下半部分（即灰色阴影区域），则称其为逻辑“0”传输。另一方面，如果在 $\lambda_{in}$ 处，下载端口和直通端口的传输落在完整传输范围的上半部分（即蓝色阴影区域），则称其为逻辑“1”传输。然而，下载端口和直通端口处两个可分辨传输电平的垂直跨度有所不同。这是因为，与透射光谱（图3）类似，下载端口处传输电平的跨度也与直通端口处传输电平的跨度互为补充。最小支持逻辑“1”传输与最大支持逻辑“0”传输之间的差值就是光调制幅度的灵敏度（SOMA）。SOMA是基于光电探测器的接收电路的一项属性，并会影响MRR-PEOLG的性能（将在第III节和第IV节中讨论）。

为清楚理解我们的 MRR-PEOLG 的工作原理，我们考虑图 3(a) 所示的与函数示例。要对我们的 MRR-PEOLG 进行编程以实现与函数，需要向 MRR-PEOLG 的编程端子施加 0.9 V 电压（3.52 mW 功率）。这会使谐振从初始位置 $\eta$ 移动到编程位置 $\kappa$，此时 $\kappa$ 相对于 $\lambda_{in}$ 具有 0.7 纳米的编程失谐。随后，将输入操作数位 x 和 w 施加到器件的输入端子上。此操作会在 MRR 谐振中引起蓝移，其幅度取决于所施加输入操作数位的具体组合（x 和 w，如图 3(a) 所示）。如果所施加的位组合 (x,w) 为 (0,0)，则 MRR 的谐振位置保持在 $\kappa$（图 3(a) 中洋红色通带），并且 $\lambda_{in}$ 处的下载端口透射率提供逻辑“0”电平（Y 轴底部的红点）。如果所施加的位组合 (x,w) 为 (0,1) 或 (1,0)，则 MRR 谐振的位置发生变化（图 3(a) 中红色/橙色通带），但对于 (0,1) 和 (1,0) 两种位组合，蓝移相同，并且 $\lambda_{in}$ 处的下载端口透射率仍保持逻辑“0”电平（Y 轴顶部的红点）。另一方面，如果所施加的位组合 (x,w) 为 (1,1)，则 MRR 谐振经历更大的蓝移（图 3(a) 中蓝色通带），并且通带相对于 $\lambda_{in}$ 的位置发生变化。因此，$\lambda_{in}$ 处的下载端口透射率变为逻辑“1”电平（Y 轴上的绿色点）。因此，我们的 MRR-PEOLG 在 $\lambda_{in}$ 处的下载端口透射率会随所施加的输入操作数位而变化，并遵循与逻辑函数的真值表（见图 3(a) 中的真值表）。如前所述，由于直通端口响应提供了下载端口响应的逻辑补集，MRR-PEOLG 下载端口处的这一与函数对应于 MRR-PEOLG 直通端口处的与非函数，如图 3(d) 所示。

类似地，通过向我们的 MRR-PEOLG 的编程端子施加适当的电压，将 $\kappa$ 相对于 $\lambda_{in}$ 的位置设置为如图 3(b) 和 3(c) 所示，我们的 MRR-PEOLG 也可以重新配置为实现或门（或非门）和异或（同或）门功能（与或非门和同或门对应的透射光谱分别如图 3(e) 和 3(f) 所示）。表 I 给出了对我们的 MRR-PEOLG 进行编程以实现各种逻辑函数时，微加热器消耗的总功率、编程失谐（$\kappa$-$\lambda_{in}$）以及所需的谐振偏移（$\eta$-$\kappa$）。由表 I 可知，微加热器消耗的功率与所需的谐振偏移（$\eta$-$\kappa$）成正比。

表 I 用于对我们的 MRR-PEOLG 进行编程以实现不同逻辑函数时，微加热器消耗的功率、编程失谐以及所需的谐振偏移。

| 逻辑门函数 | 微加热器功率（mW） | 编程失谐（$\kappa$-$\lambda_{in}$）（纳米） | 所需移位（$\eta$-$\kappa$）（纳米） |
|---|---|---|---|
| 与门／与非门 | 3.52 | 0.7 | -1.1 |
| 或门／或非门 | 2.93 | 0.5 | -0.9 |
| 异或／同或 | 2.3 | 0.3 | -0.7 |

## III. 瞬态分析

### *A.* 方法

如图 2(d) 所示，为了在 INTERCONNECT 工具中对我们的 MRR-PEOLG 进行瞬态分析，我们将一个伪随机比特序列（PRBS）发生器和一个不归零（NRZ）脉冲发生器连接到 MRR-PEOLG 的每个输入端子。每个 PRBS 发生器都会生成一个速率为 10 Gb/s 的随机比特序列，并将其输入 NRZ 脉冲发生器。随后，每个 NRZ 脉冲发生器都会以 10 Gb/s 的速率生成一串振幅为 1.5 V 的电NRZ脉冲。图 4(a) 和图 4(b) 中分别以蓝色和红色显示的脉冲，就是我们在瞬态分析中提供给 MRR-PEOLG 两个输入端子的电NRZ脉冲。我们还将一个连续波（CW）激光器连接到 MRR-PEOLG 的输入端口，生成波长为 1545 nm（图 3 中的 $\lambda_{in}$ = 1545 nm）、光功率为 5 dBm 的光信号。我们在下载端口和直通端口连接了光示波器，以记录给定输入电脉冲信号对应的不同逻辑函数的输出脉冲模式。接下来将讨论瞬态分析所得结果。

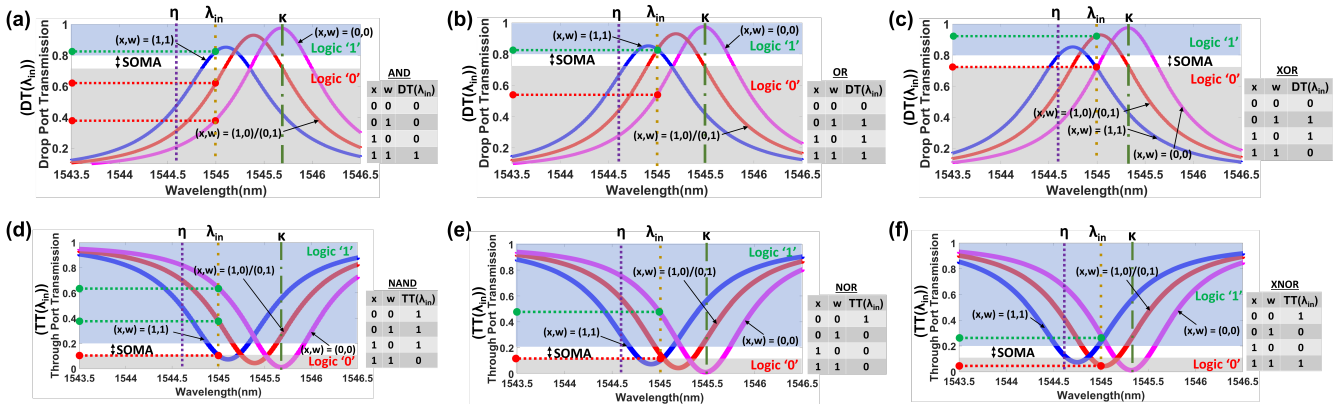


图3. 获得的传输光谱 在我们的 MRR-PEOLG 下载端口处测得的逻辑门函数：（a）与、（b）或和（c）异或；以及在直通端口处测得的我们的 MRR-PEOLG 的互补逻辑门函数：（d）与非、（e）或非和（f）同或。

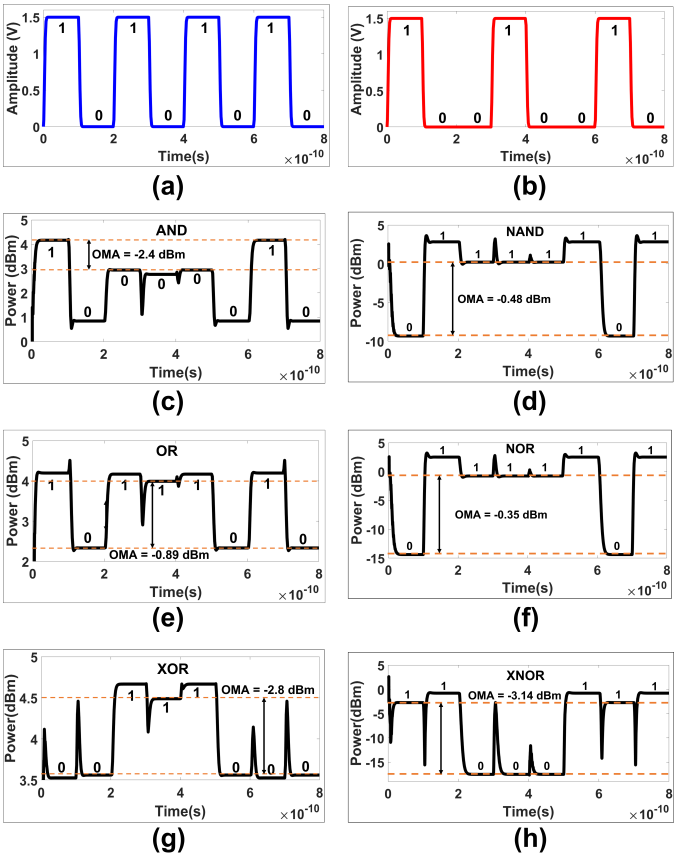


图4. （a）、（b）提供给我们的 MRR-PEOLG 的 PN结作为输入的 10 Gb/s 比特率电脉冲信号。我们的 MRR-PEOLG 下载端口处获得的相应输出脉冲模式对应逻辑门函数：（c）与、（e）或和（g）异或；直通端口处获得的输出脉冲模式对应互补逻辑门函数：（d）与非、（f）或非和（h）同或。所有情况下，光输入功率均为 5 dBm。

## *B.* 结果与讨论

图 4(c)、图 4(e) 和图 4(g) 展示了 MRR-PEOLG 下载端口在不同逻辑函数下得到的输出脉冲信号。同样，图 4(d)、图 4(f) 和图4(h)展示了在不同互补逻辑函数下，从MRR-PEOLG的直通端口同时获得的输出脉冲信号。为获得这些脉冲模式，我们首先通过使用集成微加热器改变温度，重新配置MRR-PEOLG以实现各种逻辑函数。随后，我们采用了第III.A节所述的方法。如图4所示，输出脉冲信号遵循相应逻辑函数的逐脉冲真值表，这证实了我们的MRR-PEOLG能够正确实现不同的逻辑函数。

从图4(c)至4(h)可以看出，光调制幅度（OMA）因不同逻辑函数而异。光调制幅度是输出脉冲模式中逻辑“1”的最小功率电平与逻辑“0”的最大功率电平之差。为清楚说明这一点，我们考虑与、异或和或函数。对于图4(c)所示的与函数，OMA为 ~-2.4dBm。这是因为，如图4(c)所示，在 $\lambda_{in}$ 处对应于逻辑“1”输出电平（即，(x,w) = (1,1)）的下载端口透射率为 ~0.82（Y轴上的绿色点），而在 $\lambda_{in}$处对应于逻辑“0”输出电平（即，(x,w) = (1,0) 或(0,1)）的最大下载端口透射率为 ~0.62（Y轴上的顶部红色点）。因此，OMA，即逻辑“1”光功率电平（0.82×5 dBm = 2.57 mW）与逻辑“0”光功率电平（0.62×5 dBm = 1.995 mW）之差，为~-2.4 dBm（~0.575 mW）。类似地，对于图4所示的或（或非）和异或（同或）函数，Y轴上的绿色点和红色点相较于与（与非）函数出现在不同位置。因此，我们的MRR-PEOLG针对不同逻辑函数呈现出不同的OMA。

由于输出脉冲模式的光调制幅度基本上决定了逻辑“1”与逻辑“0”的可区分程度，因此，不同的光调制幅度值会使我们的 MRR-PEOLG 所实现的不同逻辑函数具有不同的可靠性界限。一般而言，在不试图量化可靠性具体数值的情况下，若要提高可靠性，最好增大输出脉冲模式的光调制幅度，这可以通过两种方式实现。首先，可以增大$\lambda_{in}$处的输入光功率来提高光调制幅度。（在前一段所讨论的结果中，我们采用了 5 dBm 的输入光功率

。）其次，可以减小微环谐振器- MRR-PEOLG 的半峰全宽（FWHM）或 3 dB带宽来提高光调制幅度。较低的半峰全宽会使对应于 (0,0)、(0,1)/(1,0) 和 (1,1) 的微环谐振器通带滚降边缘变得更加陡峭（图 3），从而增大 Y 轴上绿色点与顶部红点之间的距离，进而提高光调制幅度。需要注意的是，提高光调制幅度并不总是必要的，因为只有当光调制幅度低于用于检测输出脉冲模式的接收器电路的光调制幅度灵敏度（SOMA）时，较低的光调制幅度才会引发可靠性问题。因此，降低接收器电路的 SOMA 也可以提高我们的 MRR-PEOLG 的可靠性。由此，MRR-PEOLG 的半峰全宽（3 dB带宽）、接收器电路的 SOMA 以及输入功率，是影响光调制幅度对我们的 MRR-PEOLG 可靠性影响的三个因素。

此外，这三个因素会影响输入脉冲模式能够驱动的最大速度（比特率）。提高比特率会降低光调制幅度（OMA），因为PN结中的自由载流子浓度或微环谐振器（MRR）内部的光能耗无法随施加的输入电脉冲信号一样快速地变化。对于给定的半峰全宽（3 dB带宽），可以持续提高比特率，直至光调制幅度低于接收器电路的 SOMA限值。一旦给定输入功率下的光调制幅度超过 SOMA限值，就可以通过提高输入功率来增加光调制幅度，从而支持更高的比特率。因此，我们的MRR-PEOLG的最大可实现比特率取决于SOMA、半峰全宽和输入光功率。我们评估了我们的MRR-PEOLG在各种逻辑函数下的最大可实现比特率，相关讨论见下一节。

## IV. 性能分析

在本分析中，我们利用 ANSYS/Lumerical 工具提供的脚本功能，对 MRR-PEOLG 进行了性能评估。我们将输入光功率在 -5 dBm 至 5 dBm 范围内进行扫描。同样地，我们将 SOMA 在 -5 dBm 至 -20 dBm 范围内进行扫描。随后，对于输入光功率和 SOMA 的每种组合，我们评估了 MRR-PEOLG 所支持的每个逻辑门函数的最大可实现比特率。该分析结果以伪彩色图的形式展示于图5中。

### *A.* 结果与讨论

图5(a)至图5(f)中的伪彩色图描绘了半峰全宽为 1.2 纳米时，在输入光功率和 SOMA 的不同组合下，各逻辑门函数对应的最大可实现比特率。从伪彩色图可以看出，当输入光功率为 >2 dBm 时，无论 SOMA 取何值，与函数均可达到 42 Gb/s 的最大比特率；当 SOMA 值为 <-13 dBm 时，无论输入光功率取何值，与函数同样可达到 42 Gb/s 的最大比特率。类似地，当 SOMA 为 <-19 dBm 时，在所有输入光功率值下，或函数和异或函数分别可达到 41 Gb/s 和 40 Gb/s 的最大比特率。与此同时，与非函数可达到 40 Gb/s 的最大比特率，适用于所有

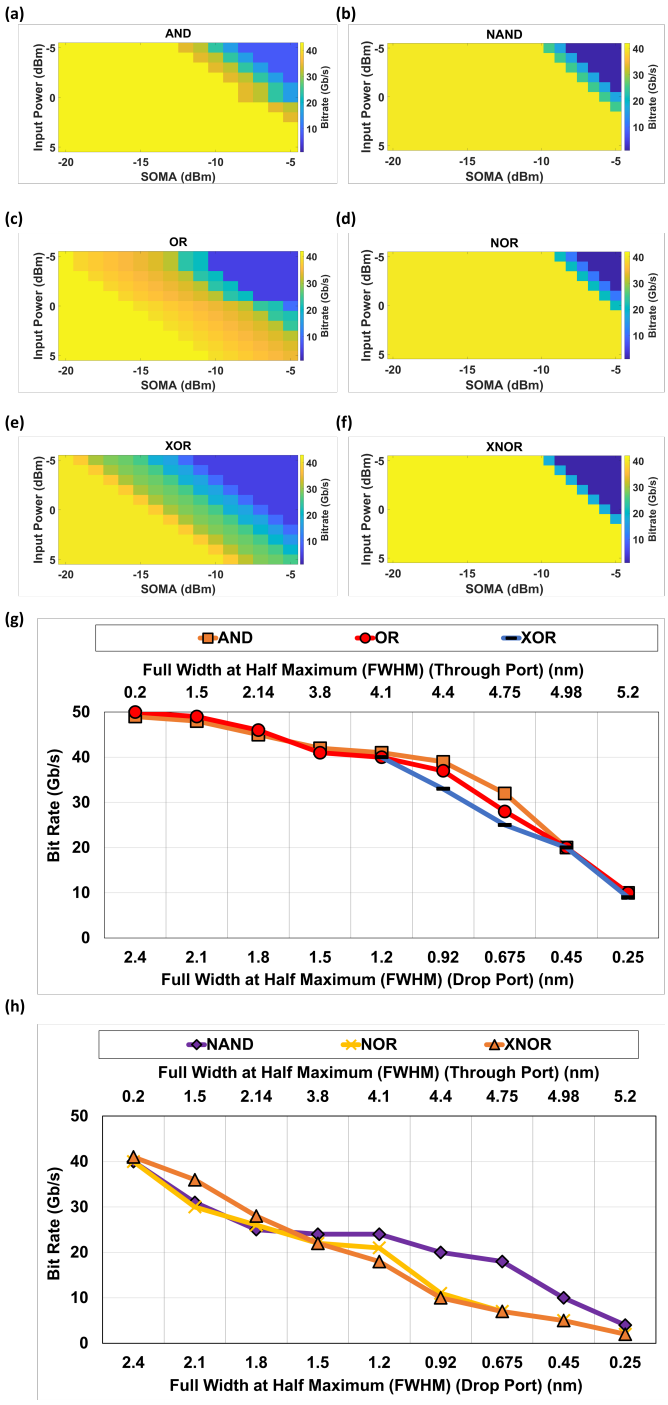


图5. 逻辑函数（a）与、（c）或、（e）异或（在我们的 MRR-PEOLG 下载端口获得）以及互补逻辑函数（b）与非、（d）或非、（f）同或（在我们的 MRR-PEOLG 直通端口获得）的伪彩色图，展示了给定输入光功率和 SOMA 时的最大可实现比特率。这些伪彩色图是在下载端口半峰全宽为 1.2 纳米时得到的。我们还报告了在不同半峰全宽、0 dBm 输入光功率和 -5 dBm SOMA 条件下，（g）与、或和异或函数以及（h）与非、或非和同或函数对应的最大可实现比特率。

当输入光功率为 >2 dBm时的SOMA值，以及SOMA值为 <-11dBm时在所有输入光功率下的SOMA值。

类似地，当SOMA为 <-11 dBm时，或非和同或函数在所有输入光功率下的最大比特率分别达到40 Gb/s和41 Gb/s。此外，我们还在图5(g)和图5(h)中表明，增大下载端口的半峰全宽（可通过增大MRR-PEOLG的交叉耦合系数实现）能够提高每种逻辑函数的最大可实现比特率。这些结果表明，我们的MRR-PEOLG在其支持的每种逻辑门函数下均可运行至高达40 Gb/s。

## V. 比较与设想的应用场景

### *A.* 与先前工作中的电光电路比较

我们评估了采用 MRR-PEOLG 对先前工作中的两个电光电路 [3]和 [5] 的面积、延迟和能耗所产生的影响。我们在来自 [3] 的二值神经网络加速器 LightBulb 的电光同或-群体计数电路中，用我们的 MRR-PEOLG 替换了电光同或门。同样地，我们在来自 [5] 的数字卷积神经网络加速器的光学位串行乘法器电路中，用我们的 MRR-PEOLG 替换了与门。结果如表 II 所示，这些电光电路的性能得到了显著提升。能耗数值为每比特能耗，包括 MRR 静态功耗和激光器功耗。表 II 中的面积和能耗优势源于我们的 MRR-PEOLG 结构紧凑、操作数处理能力更强，以及仅使用单个 MRR 即可实现不同逻辑函数的能力。延迟方面的优势是因为我们的 MRR-PEOLG 的运行速率最高可达 40 Gb/s，而来自 [5]的原始位串行乘法器电路最高只能以 10 Gb/s 运行。来自 [3] 的电光同或-群体计数单元可在更高的 50 Gb/s 比特率下运行，但基于我们的 MRR-PEOLG 的变体可提供更优的面积-能耗-延迟乘积。这些结果证实了我们的 MRR-PEOLG 的出色能力和效率优势。

表 II 电光电路性能比较。A=面积、E=能耗、L=延迟

| 指标 | 同或-群体计数 | | 位串行乘法器 | |
|---|---|---|---|---|
| | [3] | MRR-PEOLG | [5] | MRR-PEOLG |
| A（毫米²） | 0.013 | 0.011（1.16×） | 0.023 | 0.011（2.08×） |
| E（纳焦{v1}） | 0.05 | 0.032（1.53×） | 0.327 | 0.033（9.89×） |
| L（纳秒） | 0.02 | 0.025（0.8×） | 0.1 | 0.025（4×） |
| A*E*L | 1.3e-5 | 0.9e-5（1.44×） | 75.2e-5 | 0.91e-5（82.6×） |

### *B. SIMD/MIMD*架构的预期应用场景

我们认为，可以将密集波分复用（DWDM）技术应用于我们的 MRR-PEOLG，其中，MRR-PEOLG 的级联阵列能够与支持 DWDM 的直线波导耦合。在这些级联阵列中，每个 MRR-PEOLG 都可以单独编程，以执行特定的逻辑门函数。此外，由 [16], 可以推断，我们的 MRR-PEOLG 所支持的或、异或和与逻辑门函数，可分别用于实现加法、减法和乘法等随机（一元）算术函数。这使得 MRR-PEOLG 级联阵列能够用于实现可重构的 SIMD/MIMD 光电处理单元（见图 6）。得益于以下两方面的优势，这类光电 SIMD/MIMD 单元的性能可以超越传统 GPU [17]和张量处理单元（TPU） [18] 。首先，与 GPU/TPU 相比，它们能够以更高的速度运行（最高可达 40Gb/s）。其次，它们能够提供显著更优的面积×延迟乘积，我们计划在未来对其进行评估。

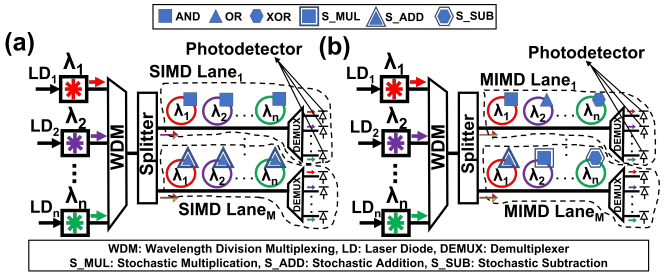


图6. 我们的MRR-PEOLG级联阵列如何通过重新配置来实现（a）SIMD或（b）MIMD电光处理单元的示意图。通过为各个MRR-PEOLG编程以实现特定的逻辑/算术功能，可以在SIMD与MIMD之间进行重新配置。

## VI. 结论

本文展示了一种基于微环谐振器的多态电光逻辑门（MRR-PEOLG），该逻辑门可在不同时间动态重新配置，以实现不同的逻辑函数。我们使用经光子学代工厂验证的ANSYS/Lumerical仿真工具对MRR-PEOLG进行了建模。借助这些工具，我们还对MRR-PEOLG进行了频域分析、时域瞬态分析和性能分析。通过分析，我们验证了MRR-PEOLG设计能够在最高40 Gb/s的速率下运行，同时实现多种逻辑函数。我们的评估表明，在先前研究的两个电光电路中采用MRR-PEOLG，可将其面积-能耗-延迟乘积最多降低82.6×。我们还展示了MRR-PEOLG如何实现可重新配置的电光SIMD/MIMD处理单元。

## 致谢

感谢匿名审稿人提出的宝贵意见。本研究获得美国国家科学基金会（NSF）（CNS-2139167）资助。

## 参考文献

[1] A.Ganguly等，“面向DNA、量子、内存内和光学计算的互连：小组讨论的见解”，*IEEE Micro*，第42卷，第3期，第40–49页，2022年。[2] Z. Ying等，“用于高速计算的电子光子算术逻辑单元”，《自然-通讯》，2020年。[3] F. Zoakee等，“LightBulb：基于光子非易失性存储器的二值化卷积神经网络加速器”，载于*2020 DATE*。IEEE，2020年，第1438–1443页。[4] K. Shiflett等，“Pixel：光子神经网络加速器”，载于*2020 IEEE HPCA*。IEEE，2020年，第474–487页。[5] K. Shiflett等，“使用硅光子学实现按位神经网络加速”，载于*GLSVLSI*，2021年，第9–14页。[6] C. Qiu等，“利用硅光子集成电路演示可重构电光逻辑”，《光学快报》，第37卷，第19期，第3942–3944页，2012年。

[7] Z. Ying等，“用于光学计算的集成多操作数电光逻辑门”，*APL*，2019年。[8] K. Venkata Sai Praneeth等，“面向CMOS集成、多态纳米光子算术逻辑单元的设计探索与可扩展性分析”，载于第*19*届*ACM CenSyS*会议论文集，2021年。[9] V. Bangari等，“用于卷积神经网络的数字电子学与模拟光子学（DEAP-CNNs）”，*IEEE JSTQE*，第26卷，第1期，第1–13页，2019年。[10] W. Liu等，“Holylight：面向数据中心深度学习的纳米光子加速器”，载于*2019 DATE*。IEEE，第1483–1488页。[11] S. Naffziger等，“面向AMD EPYC™和Ryzen™处理器系列的开创性小芯片技术与设计：工业产品”，载于*2021 ACM/IEEE ISCA*，第57–70页。[12] L. Inc。 [在线]。可访问：http://www-.lumerical.com/products [13] W. Boagerts等，“硅微环谐振器”，*Laser & Photonics Reviews*，2012年。[14] M. Bahadori等，“硅光子学平台中微环谐振器集成微加热器的热整流”，*JLT*，2017年。[15] J. Mulcahy等，“硅光子学中的调制器——异质集成及其他方向”，载于*Photonics*，2022年。[16] D. Wu等，“UGEMM：面向GEMM应用的一元计算架构”，载于*2020 ACM/IEEE ISCA*，第377–390页。[17] A.Akhil等，“MCM-GPU：用于持续提升性能可扩展性的多芯片模块GPU”，*2017* 332，2017年45，2，320*ACM SIGARCH*，第卷。第期。第页。– 。[18] Y. Wang等，“用于深度学习的TPU、GPU和CPU平台基准测试”，*arXiv*预印本 *arXiv:1907.10701*，2019年。