表面码中编织量子电路优化的困难性

KunihiroWasa *[1]，Shin Nishio[2,3,4]，Koki Suetsugu[3]，Michael Hanks[5]，Ashley Stephens[3]，Yu Yokoi[3]，和 Kae Nemoto[4,3,2]

[1]法政大学理工学部，日本东京小金井市梶野町 3-7-2，邮编 184-8584[2]综合研究大学院大学（高级研究大学院大学）综合科学研究科信息学系，日本东京千代田区一桥 2-1-2，邮编 101-8430[3]国立信息学研究所，日本东京千代田区一桥 2-1-2，邮编 101-8430[4]冲绳科学技术大学院大学量子信息科学与技术部，日本冲绳县国头郡恩纳村，邮编 904-0495[5]QOLS，布莱克特实验室，帝国理工学院，英国伦敦 SW7 2AZ

arXiv:2302.00273v1 [quant-ph] 1 Feb 2023

摘要

大规模量子信息处理需要使用量子纠错码，以减轻噪声对量子器件的影响。拓扑纠错码（例如表面码）是很有前景的候选方案，因为它们只需利用物理量子比特二维阵列中的局域相互作用即可实现。随后，可通过缺陷编织和晶格手术等过程，在此类拓扑编码的逻辑空间上实现容错通用门集。然而，纠错也会显著增加计算时间、物理量子比特数量和物理门数量。尽管优化容错电路以尽量减少这些开销至关重要，但此类优化问题的计算复杂性仍不明确。这种不确定性使人们对编译大规模量子计算机容错电路的最有效方法产生疑虑。本文通过将优化问题在多项式时间内归约为一个名为 PlanarRectilinear3SAT 的特定问题，证明一类特殊的编织量子电路优化问题是 NP难。

索引词：编织电路、计算复杂性、容错量子计算、NP-完全、平面直线 3SAT、量子电路优化、表面码

1 引言

量子信息处理有许多应用，包括量子计算 [1–3] 和量子通信 [4,5]。含噪中等规模量子（NISQ）系统已经有了实际实现，但大多数已提出的应用都需要大规模量子信息处理。这些系统中的噪声是实现这一目标的障碍，而量子纠错码（QECC）是解决这一问题最有前景的方法。量子纠错码通过将量子信息存储在冗余系统中 [6]，提供了一种检测和纠正量子系统中错误的方法。在存在错误的情况下执行可靠计算的能力称为容错量子计算（FTQC） [7]。表面码等拓扑稳定子码 [8] 凭借其高阈值和低权重局域稳定子 [9,10]，是实现容错量子计算的良好候选方案。

然而，实现容错纠错需要许多额外资源；对于表面码而言，由于其编码率较低，这一点尤为明显 [11–13]。此外，容错量子电路比未编码电路更长，因为在给定编码中只能以容错方式实现有限的一组门，并且将连续量子门分解时，电路深度会显著增加

*电子邮箱：kunihiro.wasa@gmail.com

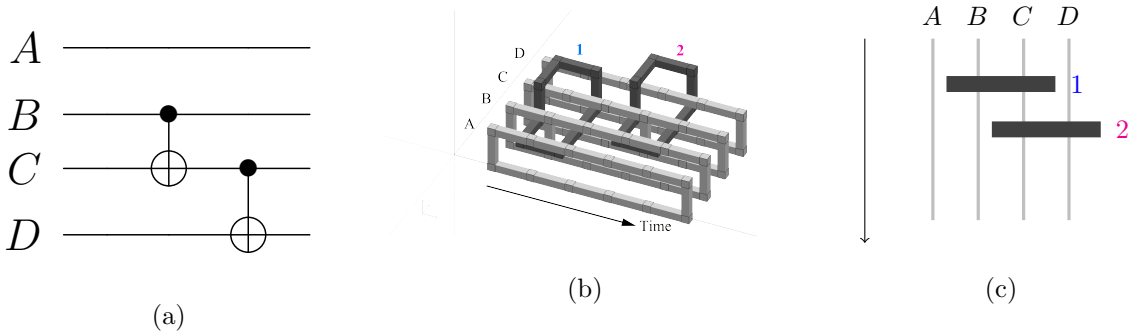
为来自此类集合的门 [14]。对于通用量子计算，需要实现一组称为通用门集的量子门 [15–21]，其中至少必须包含一个作用于多个量子比特的量子门。在二维拓扑码中横向实现这些门需要非局域连接或高维架构，因此人们提出了缺陷编织 [22] 和晶格手术 [23]等替代技术。与在未编码量子比特上执行逻辑相比，这些操作也可能需要很长时间才能完成，因此优化这些量子电路可以显著降低容错量子计算的开销。

本项目研究如何优化缺陷编织电路，以利用表面码实现容错量子计算。针对编织电路，已有研究提出了多种实用的优化方法 [24–27], ，但若要实现进一步优化，对优化问题进行分类并证明其计算复杂性将很有帮助。这使我们能够估算优化问题的成本，并确定计算机架构的要求。我们的结果表明，通过重新排序来优化缺陷编织电路深度这一问题是 NP难的，这与此前关于晶格手术的已知结果 [28]一致。

表面码可以通过在规则正方晶格的边上放置量子比特来定义。随后，通过测量局域于该晶格节点和面上的多量子比特泡利算符来实现错误检测，这些算符定义了编码子空间。逻辑量子比特通常与边界或穿孔等晶格缺陷相关联，这些缺陷对应于晶格中保持未测量的区域。在本研究中，我们考虑一种编码方式，其中每个逻辑量子比特由一对此类穿孔编码。随后，可以通过编织这些逻辑量子比特对来执行它们之间的逻辑操作。表面码的拓扑性质以及维持足够纠错能力的要求，都会对可执行的编织操作施加一些限制。对于我们的问题，相关限制是：缺陷之间必须保持最小距离，并且编织操作不满足交换律。

图1(a)展示了一个简单量子电路作为示例。图1(b)则展示了其编织实现的三维时空图，其中逻辑量子比特呈一维排列；图1(c)展示了
与之对应的简化示意图，我们称之为“一维编织电路”表示。更一般地，编织电路可以在高维表示空间中实现，通过施加约束，我们可以得到一维编织电路。随后，这些编织电路会在特定的量子计算机架构上实现，其中量子数据比特通常呈一维排列。这是由于与此编码实现相关联的蒸馏工厂规模庞大 [29]。

本文研究一维编织电路深度最小化问题的计算复杂性。为此，我们提出一个优化问题 MinBraiding，要求判断是否存在一种量子比特和门的排列方式，使其达到所需的处理时间。



(a) (b) (c)

图1：(a) 一个带有 CX门的简单量子电路示例。(b) 实现(a)中电路的缺陷编织操作。时间从左向右流逝，标有字母A至D的灰色条带表示与逻辑量子比特对应的缺陷对。黑色环路1和2表示编织操作（CX门）。(c) (b)的简化示意图（一维编织电路表示）。为简便起见，我们忽略CX门的方向。时间从上向下流逝。竖直灰色条带表示逻辑量子比特（穿孔对），黑色方框表示逻辑门操作。

2 问题定义

令 $[n] = \{1, 2, \ldots, n\}$ 表示由 n 个逻辑量子比特组成的集合。给定一族受控非门 $\mathcal{R}$，其中每个门由 $X \in \mathcal{R}$表示，它是 $[n]$ 的一个子集，对应于该门所作用的量子比特集合。我们还给定 $\mathcal{R}$上的一个偏序 $\succeq$，它表示作用于同一量子比特上的算子的顺序。有时，作用于同一量子比特上的门算子是可交换的，但为简便起见，本文忽略这种可交换性。因此，两个门 X、$X' \in \mathcal{R}$ 可比较，当且仅当它们共享一个量子比特。也就是说，若 $X \cap X' \neq \emptyset$，则有 $X \succeq X'$ 或 $X' \succeq X$。若 $X \succeq X'$ 且 $X \neq X'$，则记作 $X \succ X'$。对于逻辑量子比特的一个排列 $\pi\colon [n] \to [n]$，我们称门 X_1、.....、 $X_\ell \in \mathcal{R}$ 可相对于 π 排列到同一行中，当且仅当对于任意不同的 i、$j \in \{1, 2, \ldots, \ell\}$，$|\, x \in X_i\} + 1 <$ 成立，或 $|\, x' \in X_j\} + 1 <$ 成立，其中分别为$\max\{\pi(x) \mid x \in X_i\} + 1 < \min\{\pi(x') \mid x' \in X_j\}$和$\max\{\pi(x') \mid x' \in X_j\} + 1 < \min\{\pi(x) \mid x \in X_i\}$。该条件意味着同一行中的任意一对门互不重叠，并且它们之间还留有间隔。

我们称门族 $\mathcal{R}$ 可根据偏序 $\succeq$ 以高度 $h \in \mathbf{Z}+$ 进行打包，如果存在排列 $\pi\colon [n] \to [n]$ 和函数 $\mu\colon \mathcal{R} \to [h]$ 组成的一对 (π, μ)，满足以下两个条件：

(i) 对每个 $i \in [h]$，$\{X \mid \mu(X)$ 中的门 $= i\}$ 可按照排列 $\pi\colon [n] \to [n]$ 排列成一行，并且 n

(ii) 对任意两个不同的门 $X, X' \in \mathcal{R}$，如果 $X \cap X' \neq \emptyset$ 且 $X \succ X'$，那么 $\mu(X) > \mu(X')$.

对于满足 (i) 和 (ii) 的 π 和 μ，一对 (π, μ) 称为 $(\mathcal{R}, \succeq)$ 的一个打包，其高度为 h。我们称条件 (i) 为水平条件，条件 (ii) 为垂直条件。对于打包 (π, μ)，我们称 $\mu(X)$ 为 $X \in \mathcal{R}$的层级。

现在，我们定义我们称为 MinBraiding 的问题。

问题 1 (MinBraiding)。给定一组门 $\mathcal{R}$、$\mathcal{R}$ 上的偏序 $\succeq$，以及一个正整数 h，若 $\mathcal{R}$ 可根据 $\succeq$ 进行打包，且高度至多为 h，则输出 *Yes*。

特别地，如果存在一个高度为 h 的打包 (π, μ)，其对应于 $(\mathcal{R}, \succeq)$，但不存在高度为 $h' < h$ 的打包，那么我们称 (π, μ) 为一个最小装箱。

3 困难性结果

在本节中，我们证明 MinBraiding 是NP完全的。显然， MinBraiding 属于 NP。因此，本节将致力于说明从 PlanarRectilinear3SAT 出发的多项式时间归约，具体如下文所述。

一个 3-CNF布尔公式 ϕ 由 n 个变量 $X = \{x_1, \ldots, x_n\}$ 和 m 个子句 $\mathcal{C} = \{c_1, \ldots, c_m\}$ 组成，其中每个子句 c_i 至多包含三个文字 ℓ_i^1、ℓ_i^2、ℓ_i^3。这里，$\ell_i^j \in \{x_1, \ldots, x_n, \neg x_1, \ldots, \neg x_n\}$ 对于 $1 \le i \le m$ 和 $1 \le j \le 3$。给定一个 3-CNF布尔公式 ϕ， 3SAT 要求判断是否存在 ϕ 的满足赋值。下文中，我们考虑平面上与 3SAT 的一个实例对应的图的绘制。ϕ 的关联图 $G(\phi) = (V(\phi)\ E(\phi))$ 是一个图，使得 $V(\phi) = X \cup \mathcal{C}$、$E(\phi) = \{\{x, c\} \in X \times \mathcal{C} \mid x \in c$ 或 $\neg x \in c\}$。 Planar3SAT 是 3SAT 的一种限制，要求给定公式的关联图具有平面嵌入；也就是说，我们可以在平面上绘制该图，使得任意两条边都不相交。文献 [30,31] 证明， Planar3SAT 的任何实例都有直线表示，其中 ϕ 的直线表示是满足以下条件的图 $G(\phi)$ 的平面绘图：

1. $G(\phi)$中的顶点用矩形表示，其边平行于坐标轴，
2. 对应于变量的矩形画在一条水平线上，
3. $E(\phi)$中的边用垂直线段表示，并且
4. 各边互不相交。

直线表示的示例见图2。判定问题 PlanarRectilin-ear3SAT 定义如下：给定一个3-CNF公式 ϕ 及其直线表示 D，判断是否存在使 ϕ成立的满足赋值。已知 PlanarRectilinear3SAT是NP完全的 [30]。

为了证明 MinBraiding 的 NP 完全性，对于 PlanarRectilinear3SAT 的一个实例 $(\phi,\ D)$，我们构造 MinBraiding 的相应实例 $(\mathcal{R}(\phi,\ D)\ \succeq(\phi,\ D)\ h(\phi,\ D))$，使得当且仅当 $(\phi,\ D)$ 是 PlanarRec-tilinear3SAT 的是实例时，$(\mathcal{R}(\phi,\ D)\ \succeq(\phi,\ D)\ h(\phi,\ D))$ 才是 MinBraiding 的是实例。为此，我们引入若干构件。

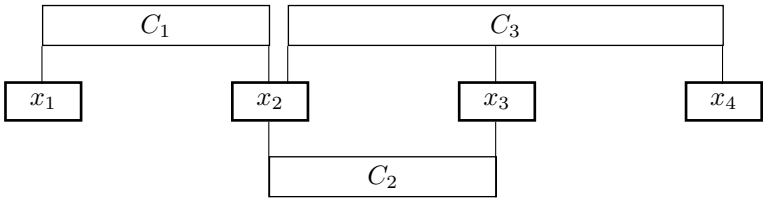


图2：实例 $\phi_1 = C_1 \wedge C_2 \wedge C_3$ of PLANARRECTILIN-EAR3SAT 的直线表示示例，其中 $C_1 = (\neg x_1 \vee x_2)$ $C_2 = (x_2 \vee x_3)$ $C_3 = (x_2 \vee x_3 \vee \neg x_4)$。

每个构件由两类门组成。如果对于该构件的任何最小高度打包，某个门的层级都相同，则该门在构件中是固定的 。否则，该门称为可移动。可移动门会传播变量赋值的选择。另一方面，固定门会限制每个可移动门的位置。在每个构件中，我们将固定门的集合称为该构件的框架 。在图中（图3–图8），固定门以灰色标示，最上方的门是最大的门。此外，对于弯折组件以外的构件图（图7），我们将左侧的绿色门称为输入端 ，右侧的绿色门称为输出端。直观而言，构件从输入端接收变量赋值，并将信息传播到输出端。

(1) 变量构件 此构件对应于 ϕ 中的一个变量。变量x_i的变量构件由五个门 $\mathcal{R}^{\mathrm{v}}(x_i) = \{X_1^{\mathrm{v}}(x_i) \ldots, X_5^{\mathrm{v}}(x_i)\}$ 组成，定义如下： $X_1^{\mathrm{v}}(x_i) = X_5^{\mathrm{v}}(x_i) = \{1, 2, 3\}$,$X_2^{\mathrm{v}}(x_i) = X_3^{\mathrm{v}}(x_i) = \{1\}$，以及 $X_4^{\mathrm{v}}(x_i) = \{3\}$。此外，对于 $b > 1$，$X_1^{\mathrm{v}}(x_i) \prec X_b^{\mathrm{v}}(x_i)$；对于$a < 5$， $X_a^{\mathrm{v}}(x_i) \prec X_5^{\mathrm{v}}(x_i)$；以及 $X_2^{\mathrm{v}}(x_i) \prec X_3^{\mathrm{v}}(x_i)$。详情请见图3。注意，变量构件没有输入。显然， $\mathcal{R}^{\mathrm{v}}(x_i)$ 的最小装箱高度为四。此外， $\mathcal{R}^{\mathrm{v}}(x_i)$ 只有两种最小装箱方式；我们可以将 $X_4^{\mathrm{v}}(x_i)$ 放在第2层或第3层。注意，层级从底部向顶部计数。确定 $X_4^{\mathrm{v}}(x_i)$ 的层级对应于对变量 x_i 的赋值。如果 $X_4^{\mathrm{v}}(x_i)$ 位于第3层，则将x_i 赋值为真。另一方面，如果 $X_4^{\mathrm{v}}(x_i)$ 位于第2层，则将 x_i 赋值为假。

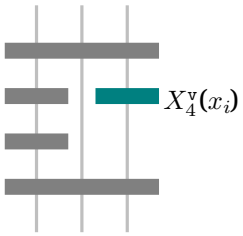


图3：变量构件。在此图中，对应的变量被赋值为真。

(2) 子句构件 子句 c_y 的子句构件由 29 个门组成。详情见图4。这些门上的偏序定义为与此图一致。请注意，子句构件没有输出。在该构件中，三个绿色门 X_i、 X_j和 X_k 对应于变量赋值。对于任何最小打包，每个灰色门的层级都没有选择余地。另一方面， X_i、 X_j和 X_k的层级有两种选择； X_i可以位于第 9 或第 10 层级， X_j可以位于第 6 或第 7 层级， X_k可以位于第 2 或第 3 层级。如果我们分别将 X_i、 X_j和 X_k 放在第 9、6 和 2 层级，那么该构件就无法以高度 11 打包。否则，该构件可以以高度 11 打包。这意味着文字 x_i、 x_j和 x_k 中至少有一个必须位于上层。也就是说，要获得高度为 11 的最小打包， c_y 必须为真。

(3) 非构件 要对变量取反，我们使用一个非构件。见图5，其中展示了构成该构件的门以及定义在这些门上的偏序。该构件的最小装箱高度显然为四。如果左侧的绿色门处于可选位置的上层，也就是说，将真赋给对应的变量，那么右侧的绿色门就处于下层，也就是说，将假赋给该变量。

(4) 复制组件 复制组件用于复制变量 x_i 的赋值。参见图6，其中展示了构成该构件的门以及在这些门上定义的偏序。与之前一样，灰色门的层级没有可选项。此外，显然，该构件最小打包的高度为 10。对于任意最小打包，如果左侧绿色门 $X_1^{\mathrm{p}}(x_i)$ 位于可选位置中的上层，那么其他绿色门 $X_2^{\mathrm{p}}(x_i)$ 和 $X_3^{\mathrm{p}}(x_i)$ 也位于上层。同样，如果

左侧绿色门　　te 位于可能选项的下层，那么其他绿色门也位于下
层。这些是高度为10的构件仅有两种装填方式。

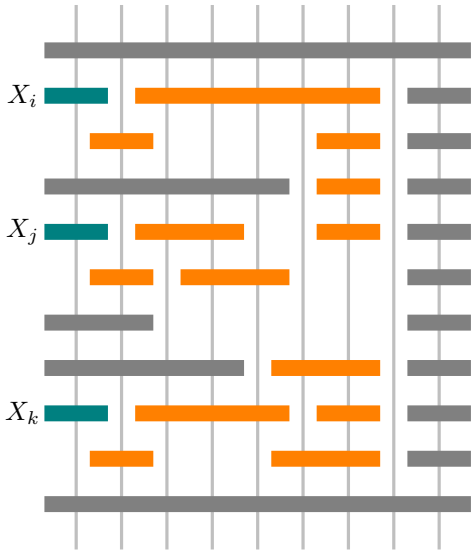


图4：一个子句构件的示例。在此示例中，对应子句中出现的所有变量都被赋值为真。如果所有变量都被赋值为假，则该构件的高度至少为 12。

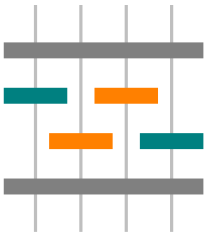


图5：非构件。绿色门的层级并不相同。

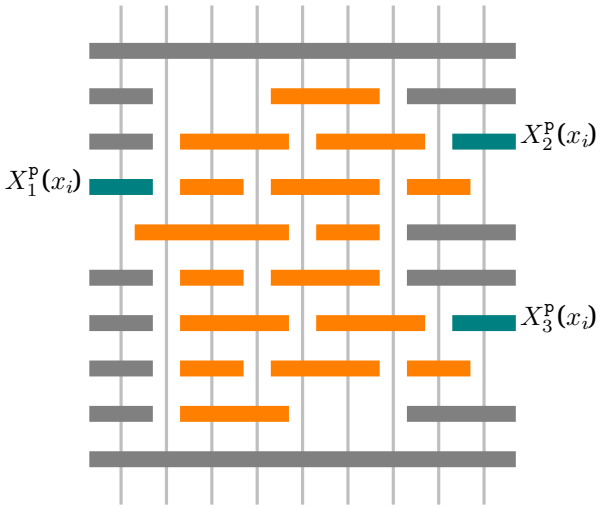


图6：复制构件。如果左侧绿色门位于上层（分别地，底层），那么右侧绿色门就位于上层（分别地，底层）。

(5) 弯折组件 弯折组件用于旋转变量 x_i 的赋值传播方向。参见图7，其中展示了构成该构件的门以及定义在这些门上的偏序。最小高度为8。与之前一样，对于任何最小装箱， $X_1^{\flat}(x_i)$ 的层级只有两种选择：6或7。如果左侧绿色门 $X_1^{\flat}(x_i)$ 位于层级7，那么另一个绿色门 $X_2^{\flat}(x_i)$ 也位于上层。类似地，如果左侧绿色门 $X_1^{\flat}(x_i)$ 位于层级6，那么另一个绿色门 $X_2^{\flat}(x_i)$ 也位于下层。请注意，该构件通过串接两个弯折组件来将变量的赋值传播到不同层级，从而形成一个“S”形的新构件。

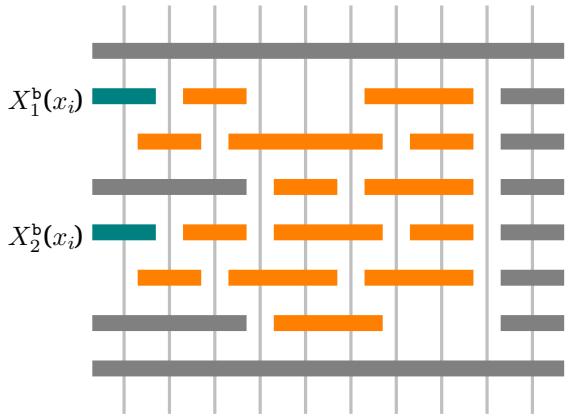


图7：弯折构件。如果构件中的一个绿色门位于上层（分别为底层），那么另一个绿色门也位于上层（分别为底层）。该构件会改变变量赋值信息的传播方向。

（6）固定组件 为固定逻辑量子比特的左右方向，我们在实例底部添加若干门，如下所示。逻辑量子比特数量为六的情况见图8。该构件中的门比其他构件中的任何门都小。因此，在实例的打包中，该构件会出现在底部。对于 n 个逻辑量子比特，该构件的最小高度为 $n-1$。对于 $i=1$、.....、$n-2$，在第 i 层，该构件包含两个门 $X_\ell^{\natural}(i) = \{1,\ldots,i\}$， $X_r^{\natural}(i) = \{i+1,\ldots,n\}$。任何其他逻辑量子比特的排序都无法达到这一最小高度。

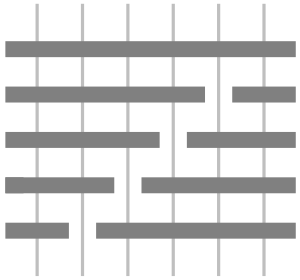


图8：用于固定六个逻辑量子比特排序的构件。

构造 现在，我们为一个 ϕ of PlanarRectilinear3SAT 实例构造对应的实例 $(\mathcal{R}(\phi) \succeq (\phi)\ h(\phi))$。首先，我们将 PlanarRectilinear3SAT 的直线表示顺时针旋转 90 度。接着，将表示中的每个顶点替换为对应构件的框架。然后，使用非组件、复制组件和弯折组件连接这些构件，并用灰色门填满每个框架内部以外的空白区域。需要注意的是，为了正确连接这些构件，我们可能会通过插入灰色门和橙色门，并延长绿色门，对各个构件稍作修改。此外，如果一个子句包含的文字少于三个，我们就使用一个虚拟变量组件，强制将一个未使用的文字赋值为假。这些修改不会影响各个构件的工作机制。框架的位置固定后，我们可以计算打包的可能最小高度 $h(\phi)$ 以及垂直线的数量。此外，我们还可以根据框架的位置给出门的偏序。图9展示了 ϕ_1 对应实例的一个示例。由于其正确性可由构造直接得出，因此得到以下定理。

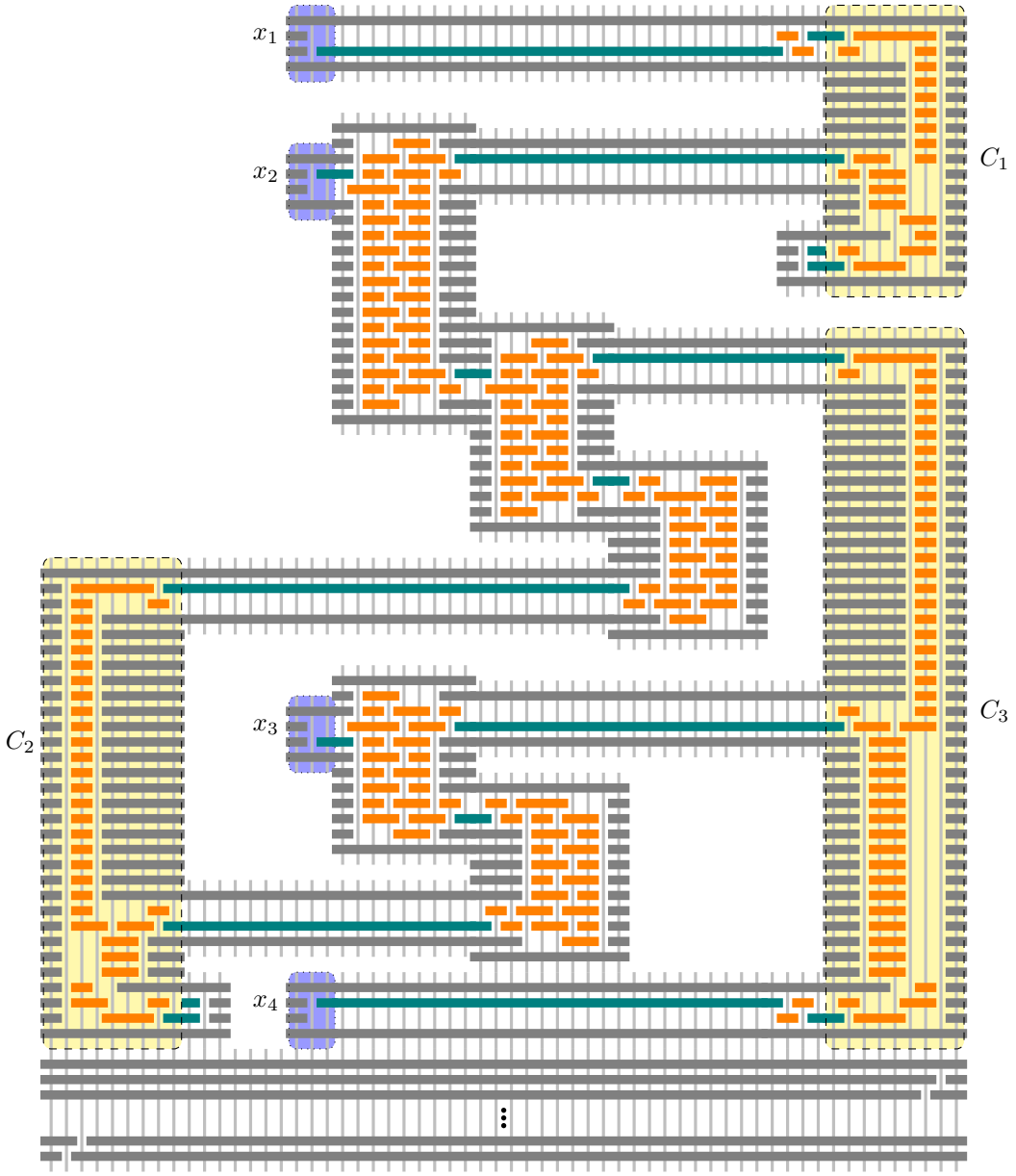


图9：图2中 $\phi_1 = C_1 \wedge C_2 \wedge C_3$ 对应的实例，其中 $C_1 = (\neg x_1 \vee x_2)$ $C_2 = (x_2 \vee x_3)$ $C_3 = (x_2 \vee x_3 \vee \neg x_4)$。图中展示了 $(x_1, x_2, x_3, x_4) = (F, T, F, T)$ 的情况。由点线围出的蓝色区域对应一个变量，由虚线围出的黄色区域对应一个子句。为了将变量构件的赋值信息传播到子句构件，我们使用复制组件和弯折组件，并对这些组件进行扩展。此外，由于 C_1 和 C_2 只包含两个文字，我们添加虚拟变量组件，以强制第三个变量赋值为假。C_1 和 C_3 与非组件相邻，因为它们包含否定文字。

定理 1。 $(\mathcal{R}(\phi) \succeq (\phi)\ h(\phi))$ </style>是一个 *Yes*-实例，当且仅当 MinBraiding 中的 ϕ 是可满足的。

需要指出的是，我们可以像一维编织电路表示那样，定义一种“二维编织电路”表示，并以类似方式定义最小化二维编织电路体积的问题。在一定程度上，一维表示也适用于准二维排列，例如双线性阵列；然而，当尝试使用形状更复杂的量子门，或将量子比特置于二维或三维排列中时，优化问题中的间隔和重叠条件会变得更加复杂。尽管该问题的复杂性仍未有定论，我们猜想二维电路和更高维电路的优化是难以处理的，因为它是对一维编织电路表示的推广。

4 结论

本文研究了在使用缺陷编织时，通过改变量子比特顺序来优化量子电路所需解决问题的计算复杂性。缺陷编织是使用表面码进行大规模量子信息处理所需的容错量子计算方法之一。我们通过对 PlanarRectilinear3SAT进行多项式时间归约，证明了该问题是 NP 完全的；这与晶格手术的等价结果相对应 [28]。综合这些结果可知，优化容错量子计算电路代价高昂，因此启发式方法（包括近似算法）至关重要。因此，开发此类启发式方法对于实现基于表面码的容错量子计算，以及比较其他纠错码和容错过程、确定实现大规模量子信息处理最实用且开销最低的途径，都具有重要意义。

致谢

SN 谨向 Thomas Scruby 致谢，感谢他提供的宝贵讨论。本研究得到 JSPS 科学研究费助成金（项目编号：JP21H04880、JP19K20350、JP22J20882）、MEXT 量子飞跃旗舰计划（MEXT Q-LEAP，项目编号：JPMXS0118069605）以及 JST Moonshot 研发计划（项目编号：JPMJMS2061）的资助。

参考文献

[1] D. P. DiVincenzo，“量子计算”，《科学》，第 270 卷，第 5234 期，第 255–261 页，199 5.

[2] L. K. Grover，《用于数据库搜索的快速量子力学算法》，载于第二十八届*ACM*计算理论研讨会论文集，第212–219页，1996年。[3] P. W. Shor，《量子计算算法：离散对数与因数分解》，载于第*35*届计算机科学基础年会论文集，第124–134页，IEEE，1994年。[4] H.-J. Briegel、W. D¨ur、J. I. Cirac 和 P. Zoller，《量子中继器：不完美局域操作在量子通信中的作用》，《物理评论快报》，第81卷，第26期，第5932页，1998年。[5] C. H. Bennett 和 G. Brassard，《量子密码学：公钥分发与抛硬币》，*arXiv*预印本 *arXiv:2003.06557*，2020年。[6] P. W. Shor，《降低量子计算机存储器退相干的方案》，*Physical Review A*，第52卷，第4期，第R2493页，1995年。[7] D. Gottesman，《稳定子码与量子纠错》。加州理工学院，1997年。[8] A. Y. Kitaev，《使用不完美门进行量子纠错》，载于量子通信、计算与测量，第181–188页，施普林格，1997年。[9] R. Raussendorf 和 J. Harrington，《二维中具有高阈值的容错量子计算》，《物理评论快报》，第98卷，第19期，第190504页，2007年。[10] A. M. Stephens，《使用表面码进行量子纠错的容错阈值》，*PhysicalReview A*，第89卷，第2期，第022321页，2014年。[11] S. Bravyi、D. Poulin 和 B. Terhal，《二维系统中可靠量子信息存储的权衡》，《物理评论快报》，第104卷，第5期，第050503页，2010年。

[12] N. C. Jones、R. Van Meter、A. G. Fowler、P. L. McMahon、J. Kim、T. D. Ladd 和 Y. Yamamoto，《量子计算的分层架构》，*Physical Review X*，第2卷，第3期，第031007页，2012年。[13] C. Gidney 和 M. Eker̊a，《如何使用2000万个含噪量子比特在8小时内对2048位RSA整数进行因数分解》，*Quantum*，第5卷，第433页，2021年。[14] C. M. Dawson 和 M. A. Nielsen，《Solovay-Kitaev算法》，*arXiv*预印本 *quant-ph/0505030*，2005年。[15] D. E. Deutsch，《量子计算网络》，伦敦皇家学会会刊：数学与物理科学，第425卷，第1868期，第73–90页，1989年。[16] A. Barenco、C. H. Bennett、R. Cleve、D. P. DiVincenzo、N. Margolus、P. Shor、T. Sleator、J. A. Smolin 和 H. Weinfurter，《量子计算的基本门》，*Physical Review A*，第52卷，第5期，第3457页，1995年。[17] D. P. DiVincenzo，《双比特门对于量子计算具有通用性》，*Physical Review A*，第51卷，第2期，第1015页，1995年。[18] A. Barenco，《用于量子计算的通用双比特门》，伦敦皇家学会会刊*A*辑：数学与物理科学，第449卷，第1937期，第679–683页，1995年。[19] S. Lloyd，《几乎任何量子逻辑门都是通用的》，《物理评论快报》，第75卷，第2期，第346页，1995年。[20] D. E. Deutsch、A. Barenco 和 A. Ekert，《量子计算的通用性》，伦敦皇家学会会刊*A*辑：数学与物理科学，第449卷，第1937期，第669–677页，1995年。[21] M. Reck、A. Zeilinger、H. J. Bernstein 和 P. Bertani，《任意离散酉算符的实验实现》，《物理评论快报》，第73卷，第1期，第58页，1994年。[22] A. G. Fowler、M. Mariantoni、J. M. Martinis 和 A. N. Cleland，《表面码：迈向实用的大规模量子计算》，*Physical Review A*，第86卷，第3期，第032324页，2012年。[23] C. Horsman、A. G. Fowler、S. Devitt 和 R. Van Meter，《通过晶格手术实现表面码量子计算》，*New Journal of Physics*，第14卷，第12期，第123011页，2012年。[24] A. Paetznick 和 A. G. Fowler，《表面码中通过拓扑压缩进行量子电路优化》，*arXiv*预印本 *arXiv:1304.2807*，2013年。[25] A. Paler、I. Polian、K. Nemoto 和 S. J. Devitt，《容错高层量子电路：形式、编译与描述》，*Quantum Science and Technology*，第2卷，第2期，第025003页，2017年。[26] F. Hua、Y. Chen、Y. Jin、C. Zhang、A. Hayes、Y. Zhang 和 E. Z. Zhang，《Autobraid：一种支持量子计算中高效表面码通信的框架》，载于*MICRO-54*：第*54*届*IEEE/ACM*国际微体系结构年会，第925–936页，2021年。[27] M. Hanks、M. P. Estarellas、W. J. Munro 和 K. Nemoto，《借助ZX演算有效压缩量子编织电路》，*Physical Review X*，第10卷，第4期，第041030页，2020年。[28] D. Herr、F. Nori 和 S. J. Devitt，《晶格手术优化是NP难问题》，*Npj quantum information*，第3卷，第1期，第1–5页，2017年。[29] S. J. Devitt、A. M. Stephens、W. J. Munro 和 K. Nemoto，《原子光学量子计算机上容错因数分解的要求》，*Nature Communications*，第4卷，第1期，第1–8页，2013年。[30] D. E. Knuth 和 A. Raghunathan，《相容代表元问题》，*SIAM*离散数学杂志，第5卷，第422–427页，1992年8月。[31] D

. Lichtenstein，“平面公式及其用途 ,”*SIAM J* . 计算 ., vol. 11, pp. 329–343 ，1982年5月 .