可重构智能表面的静态功耗建模与测量

Jinghe Wang、Wankai Tang、Shi Jin、Xiao Li 和 Michail Matthaiou

arXiv:2303.00299v1 [cs.IT] 1 Mar 2023

摘要—**预计可重构智能表面（RIS）将以经济且高能效的方式改变无线通信。揭示RIS的实际功耗特性，可以为RIS辅助无线通信系统的优化设计和能量效率性能评估提供重要工具。基于我们此前对RIS动态功耗进行建模的工作，本文进一步重点研究静态功耗。我们首先将RIS硬件划分为三个基本部分：FPGA控制板、驱动电路和RIS单元。前两个部分是本文主要研究的对象，而最后一部分在此前的工作中已作为动态功耗进行了建模。在本文中，FPGA控制板的功耗被视为恒定值，而驱动电路的功耗则会受到控制信号数量及其自身功耗特性的影响而变化。因此，我们对各种RIS（即基于PIN二极管、变容二极管和射频开关的RIS）的驱动电路功耗进行了建模。最后，对静态功耗的测量结果和典型值进行了说明与讨论。**

索引词—**测量，可重构智能表面，静态功耗。**

I. 引言

随UTURE 无线网络容量需求迅速增长，无线网络必须应对极其复杂的网络、昂贵的硬件以及日益增加的能耗。近年来，无线通信研究界和工业界都密切关注可重构智能表面的发展，它们能够灵活地调控无线电波的电磁特性。

通常，可重构智能表面是一种二维平面结构，由大量经过精心设计的电磁单元构成。通过施加控制信号，可以动态控制这些单元的电磁特性，从而生成相位、幅度、极化和频率可控的电磁场 [1], [2]。因此，引入可重构智能表面可使无线传播环境从被动适应转变为主动控制，进而创建智能无线环境 [3]。

J. Wang、W. Tang、S. Jin 和 X. Li 任职于中国南京 210096 东南大学国家移动通信研究实验室（电子邮箱：wangjh@seu.edu.cn；tangwk@seu.edu.cn；jinshi@seu.edu.cn；li xiao@seu.edu.cn）。M. Matthaiou 任职于英国贝尔法斯特 BT3 9DT 贝尔法斯特女王大学无线创新中心（CWI）（电子邮箱：m.matthaiou@qub.ac.uk。M. Matthaiou 的工作部分得到了欧洲研究理事会（ERC）通过欧盟地平线2020研究与创新计划提供的资助，协议编号为 101001331）。

当用户设备（UE）与基站（BS）之间没有直达链路时，可部署可重构智能表面，为信号传输提供虚拟视距（vLoS）链路。入射信号经可重构智能表面反射；可重构智能表面通过控制每个可重构智能表面单元的反射相移进行三维波束成形，以提升接收信号质量，预计这将提高无线通信系统的传输速率、覆盖范围和能量效率。通过在基站进行联合主动波束成形，并在可重构智能表面进行被动波束成形，可提升系统性能 [4]–[7]。此外，文献 [8], [9] 还介绍了RIS硬件设计、RIS原型系统设计以及实验验证。这些成果有望为未来可重构智能表面的部署和实际应用铺平道路。

可重构智能表面的功耗特性也是一个重要课题。揭示可重构智能表面的实际功耗特性，可为可重构智能表面辅助无线通信系统的优化设计和能量效率性能评估提供重要工具。 [6] 和 [10]中的作者建立了可重构智能表面辅助无线通信系统的功耗模型，主要用于解决可重构智能表面的能量效率优化问题。然而， [6],未考虑现场可编程门阵列控制板和驱动电路的静态功耗，而 [10]也未深入阐述可重构智能表面的功耗模型。[8]中的作者给出了一些关于可重构智能表面功耗的初步测量结果，表明不同类型的可重构智能表面具有不同的功耗特性。 [11], 展示了所制造的基于变容二极管的可重构智能表面的功耗。然而， [8], [11] 并未对功耗进行建模和深入讨论。在此背景下，我们提出了一个精确的可重构智能表面功耗模型。 [12], 提出了基于PIN二极管的可重构智能表面的动态功耗与其极化模式、可控比特分辨率及工作状态之间的定量关系，并指出基于变容二极管的可重构智能表面的动态功耗几乎可以忽略不计。这两项结论均经实际实验结果验证。然而，静态功耗被视为恒定部分，仅通过功率计量插座进行简单测量，因此有必要对其进行更准确的分析。因此，本研究补充了可重构智能表面静态功耗的建模。首先，我们将可重构智能表面的硬件分为三个基本部分：现场可编程门阵列控制板、驱动电路和RIS单元。以下主要研究前两个部分，最后一部分此前已作为动态功耗进行建模

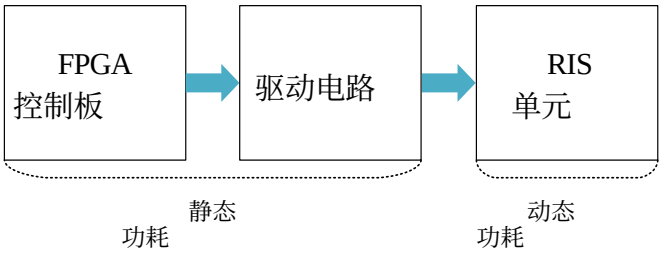


图1：RIS硬件设计结构通常可简单划分为三个部分：FPGA控制板、驱动电路和RIS单元。

工作 [12]。具体而言，本文提出了驱动电路的功耗模型，该模型受控制信号数量及其自身功耗特性的影响。最后，介绍了多种已制造的可重构智能表面，即基于PIN二极管、变容二极管和射频开关的可重构智能表面，以说明实际测量结果。

II. 静态功耗建模

RIS通常依靠可调电子元件，即PIN二极管、变容二极管和射频开关，改变RIS单元的状态，并执行三维波束成形，将入射射频信号的能量重新聚焦到指定方向。RIS中需要嵌入外部控制器，用于编程、配置和数字控制。如图1所示，通用RIS硬件设计可分为三个部分：FPGA控制板、用于驱动可调电子元件的驱动电路，以及RIS单元。

首先，FPGA控制板是一个可编程逻辑门阵列，不仅用于提供时钟信号，还用于数据处理，即根据反馈数据信息，按照预设算法生成相应的RIS波束成形编码序列配置。其次，驱动电路用于驱动可调电子元件。它们通常是集成电路，根据主 FPGA 控制板发出的控制信号生成可变电流/电压。随后，这些可调电子元件通过驱动实现不同的编码状态。最后，RIS单元是由基板、金属通孔、金属贴片和可调电子元件组成的人工电磁结构。它们规则地排列在二维表面上，并根据不同编码序列的组合生成不同的三维波束成形图样。

总体而言，运行可重构智能表面所消耗的总功耗由两部分组成：一部分是 FPGA控制板和驱动电路产生的静态功耗，另一部分是可重构智能表面单元产生的动态功耗。因此，可重构智能表面的总功耗模型可表示如下：

$$P_{\mathrm{RIS}} = P_{\mathrm{static}} + P_{\mathrm{dynamic}}, \tag{1}$$

其中， P_{static} 是静态功耗， P_{dynamic} 是动态功耗。在 [12] 中， P_{dynamic} 已得到精确建模。具体而言，对于基于PIN二极管的RIS， P_{dynamic} 与RIS单元的数量、极化模式、比特分辨率以及RIS单元的编码状态有关。对于基于变容二极管的RIS， P_{dynamic} 几乎为零，因为变容二极管工作时的电流可以忽略不计，即使RIS单元数量很多也是如此。

然而， P_{static} 尚未在[12]中得到充分研究。根据 RIS 硬件功耗是否受控制信号数量影响，运行 RIS 所消耗的静态功耗是两部分之和：一部分是 FPGA控制板的功耗 $P_{\text{control board}}$，另一部分是驱动电路的功耗$P_{\text{total 驱动电路}}$。RIS的静态功耗模型可表示如下：

$$P_{\mathrm{static}} = P_{\text{control board}} + P_{\text{total drive circuits.}} \tag{2}$$

通常，选作主控板的 FPGA 需要具备足够的运算能力以完成所有数据处理，因此 $P_{\text{control board}}$ 可视为常数。然而，$P_{\text{total 驱动电路}}$是一个变量，取决于可调电子元件的类型、控制信号的数量以及自身功耗特性。

- $P_{\text{驱动电路总数}}$ 与可调电子元件的类型有关，因为不同元件使用不同类型的驱动电路。例如，基于PIN二极管的RIS单元可由移位寄存器驱动；基于变容二极管的RIS单元可由数模转换器（DAC）和运算放大器（op-amp）、PWM信号 +电平调节器 [11],或CMOS逻辑电路驱动；基于射频开关的RIS单元可由现场可编程门阵列和移位寄存器驱动。
- $P_{\text{驱动电路总数}}$ 与控制信号的数量有关。具体而言，它与可调电子元件的数量 N_{c} 以及RIS的控制自由度（DoF）有关（即单元控制、行控制、列控制和子阵列控制）。划分到同一组的RIS单元可以使用相同的控制信号，而 N_{g} 表示同一组中使用相同控制信号的RIS单元数量。
- 总驱动电路由多个独立驱动电路组成。因此， $P_{\text{总驱动电路}}$与独立驱动电路的自身功耗特性有关。 N_{s} 表示每个驱动电路生成的控制信号数量， $P_{\text{驱动电路}}$表示单个驱动电路的额定功耗。

基于上述内容，$P_{\text{total 驱动电路}}$可展开如下：

$$\begin{aligned} P_{\text{total drive circuits}} &= N_{\text{drive circuit}} \cdot P_{\text{drive circuit}} \\ &= \left\lceil \frac{N_{\mathrm{c}}}{N_{\mathrm{g}} \cdot N_{\mathrm{s}}} \right\rceil \cdot P_{\text{drive circuit}}, \end{aligned} \tag{4}$$

其中， $\lceil \cdot \rceil$ 为向上取整符号， N_{c} 为所需可调电子元件的数量，N_{g} 为与具有相同控制信号的单元属于同一组的RIS单元数量，

$$P_{\text{static}} = \begin{cases} P_{\text{control board}} + \left\lceil \frac{\sum_{i=1}^{N} B_i}{N_{\text{g}} \cdot N_{\text{s}}} \right\rceil \cdot P_{\text{drive circuit}}, & \text{PIN二极管/基于射频开关的RIS} \\ P_{\text{control board}} + \left\lceil \frac{N}{N_{\text{g}} \cdot N_{\text{s}}} \right\rceil \cdot P_{\text{drive circuit}}, & \text{基于变容二极管的RIS} \end{cases} \tag{3}$$

而 N_{s} 为单个驱动电路生成的控制信号数量。对于基于PIN二极管的RIS， N_{c} 可表示为

$$N_{\text{c}} = \sum_{i=1}^{N} B_i, \tag{5}$$

其中， N 表示RIS单元的数量。具体而言，每个PIN二极管都需要一个输入控制信号，以在1比特二进制状态之间切换。因此，对于具有 B_i 比特的第 i个单元，需要 B_i 个控制信号。对于基于变容二极管的RIS，通过向单个变容二极管施加不同幅值的反向偏置电压，可将其编码为不同状态，因此 $N_{\text{c}} = N$。对于基于射频开关的RIS，第 i个射频开关需要 B_i个控制信号来表示 B_i比特编码状态。因此， N_{c} 与式（5）中的基于PIN二极管的RIS相同。总之， P_{static} 可归纳为本页顶部的式（3）。本文中的式（1）、式（3）以及 [12]中的式（2）共同构成完整的RIS功耗模型。

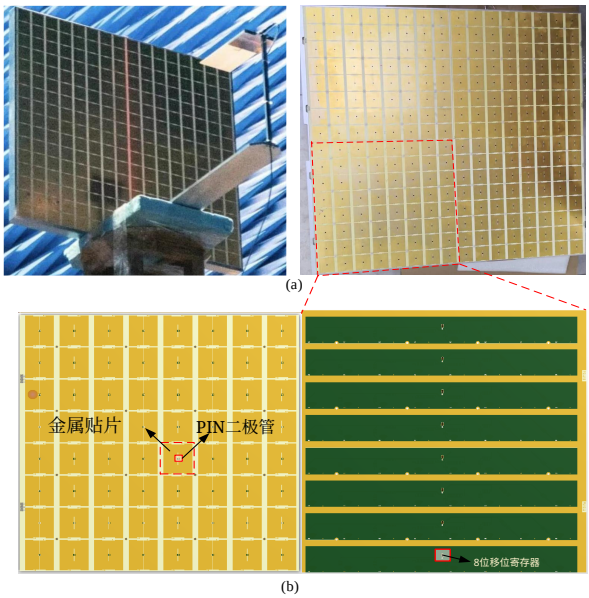


图 2：已制造的基于PIN二极管的RIS照片。(a) 完整的 16×16 可重构智能表面。(b) 8×8 子可重构智能表面结构。

III. 实际静态功耗分析

在以下部分中，我们将详细介绍实际RIS的静态功耗及其测量结果。总体而言，FPGA控制板就像RIS的“大脑”，需要生成用于调节RIS的编码序列。 [1]中的图 7i展示了由FPGA 硬件触发的RIS实现流程图。在测量的基于PIN二极管的RIS和基于射频开关的RIS中，均嵌入了商用级FPGA XC7K70T作为主 FPGA 控制板。在24 V工作电压下，其电流测得为0.2 A。因此， $P_{\text{control board}} = 4.8$ W。对于单元较少或数据处理速度要求较低的RIS 原型，一些入门级FPGA（即配备Xilinx ZYNQ7100的开发板）已足够使用，其功耗仅为1.5 W，与 [11]中的RIS原型相当。

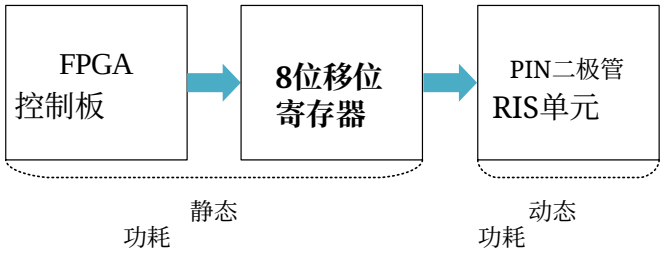


图3：已制造的基于PIN二极管的RIS硬件设计结构。

A. 基于*PIN*二极管的*RIS*

首次测量所用的RIS属于基于PIN二极管的RIS系列，采用1位编码实现相位可编程，如图 2 所示。它可以在工作频率$f = 3.5$ GHz下独立控制每个单元反射电磁波的相移。四个 8×8 子 RIS构成一个完整的 16×16 可重构智能表面。PIN 二极管驱动电路至关重要，因为它会影响PIN二极管在“开/关”（编码状态）之间切换的速度。通过采用PIN 二极管驱动电路，来自现场可编程门阵列主控端的控制信号

控制板可转换为具有电流驱动能力的输出信号。在所测量的基于PIN二极管的RIS中，采用SN74LV595A 8位移位寄存器作为驱动电路，如图3所示。

具体而言，在一个 8×8 子可重构智能表面的一列中，每8个单元嵌入一个8位移位寄存器，可将串行输入转换为多个并行输出。因此，完整的 16×16 可重构智能表面需要 $8\times4 = 32$ 个移位寄存器。当8位移位寄存器在电压$V_{cc} = 3.3$ V下工作时，我们测得的电流为$I_{cc} = 20$ μA，因此， $P_{\text{drive circuit}}$ =0.066 mW。该RIS在模型中的关键参数为 $P_{\text{control board}} = 4.8$ W、 $N_{\text{c}} = 256$、 $N_{\text{g}} = 1$、 $N_{\text{s}} = 8$，因此 $N_{\text{drive 电路}} = 32$，以及$P_{\text{total 驱动电路}} = 32 \times P_{\text{drive circuit}} = 2.112$ mW。如测量结果所示，可以看出，采用移位寄存器作为驱动电路是一种节能方案，可确保$P_{\text{total 驱动电路}}$对于数百/数千个单元而言约为mW级。

B. 基于变容二极管的*RIS*

第二次测量中使用的RIS属于基于变容二极管的RIS系列，如图4所示。它

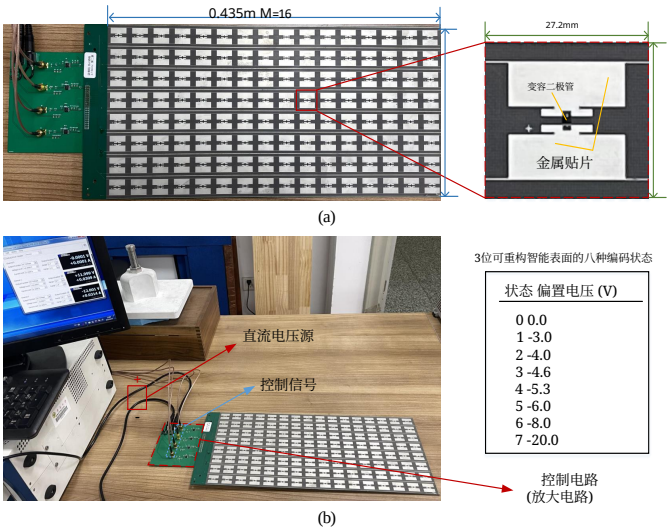


图4：基于变容二极管的RIS的实物照片。(a) 完整的RIS及其单元结构。(b) 实际测量以及RIS的8种编码状态示例。

通过列控制 [13]在 $f = 3.2$ GHz下工作。该RIS由 $N = 8$ 列组成，每列包含 $M = 16$ 个单元。变容二极管嵌入金属贴片之间，作为可调器件使用，并在反向偏置电压下工作。变容二极管上的偏置电压对应的典型8种编码状态如图4(b)所示。基于变容二极管的RIS单元可由数模转换器 + 运算放大器、PWM信号+ 电平调节器或CMOS逻辑电路驱动。在测量所用的基于变容二极管的RIS中，采用了数模转换器和运算放大器，如图5所示。数模转换器接收数字输入并生成模拟输出，为变容二极管提供偏置电压。然而，普通数模转换器产生的偏置电压通常较低，无法达到图4(b)中类似-20 V的高电压。因此，运算放大器对于实现运算放大功能是必不可少的。此外，采用DAC3484作为数模转换器，并采用AD8021低噪声、高速放大器作为运算放大器。

在我们的测量中，两列RIS单元属于同一组，并使用相同的控制信号，因此 N_{g} =16 × 2 = 32。具体而言，DAC3484生成一个信号约消耗250 mW。当AD8021工作电压为V$_{\mathrm{cc}}$ = ±12 V时，我们测得的电流为7.5 mA，因此AD8021的功耗为180 mW。因此，$P_{\text{drive circuit}} = 250 + 180 = 430$ mW。该RIS模型中的关键参数为 $N_{\mathrm{c}} = 128$、$N_{\mathrm{g}} = 32$和 $N_{\mathrm{s}} = 1$，因此 $N_{\text{drive circuit}} = 4$，且$P_{\text{total 驱动电路}} = 4 \times P_{\text{drive 电路}}$= 1720 mW。

C. 基于射频开关的*RIS*

常见方案采用有限比特分辨率的相移来实现基于PIN二极管的RIS，并通过离散和连续控制相移来实现基于变容二极管的RIS。近年来，基于射频开关的RIS逐渐兴起，因为其实现成本较低 [14]。不仅如此

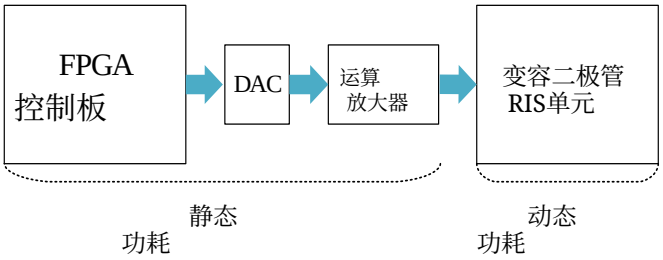


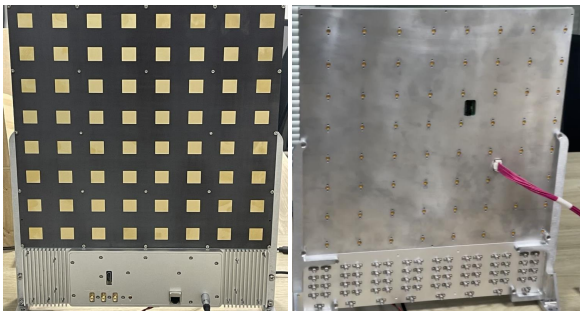
图5：基于变容二极管的RIS硬件设计结构实物图。

除了能够以可编程方式对入射信号产生相移之外，基于射频开关的RIS还可以将各个单元配置为完全吸收射频信号的能量，从而带来多种新的可能性。如图6所示，用于第三次测量的RIS属于基于射频开关的RIS，其由$8 \times 8 = 64$个RIS单元组成，每个RIS单元均可独立调控。一个RIS单元由嵌入金属贴片中的射频 CMOS 开关构成。对于基于射频开关的RIS，需要使用射频开关驱动器提供逻辑电平，以控制射频开关在不同编码状态之间切换，如图7所示。

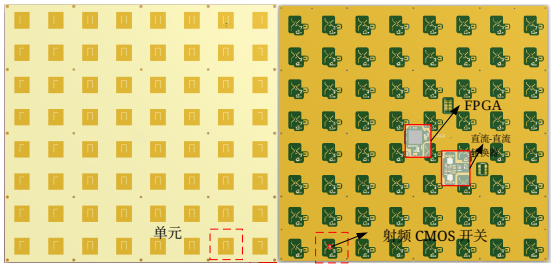
在测量的基于射频开关的RIS中，FPGA XC3S400AN作为射频开关驱动器嵌入其中，用于控制64个RIS单元。当FPGA XC3S400AN工作电压为V$_{\mathrm{cc}}$ = 12 V时，测得电流为20 mA。因此，$P_{\text{drive circuit}} = 240$ mW。该RIS模型中的关键参数为 $N_{\mathrm{c}} = 64$、$N_{\mathrm{g}} = 1$和 $N_{\mathrm{s}} = 75$ （单个FPGA XC3S400AN可控制约75个射频开关），因此$N_{\text{drive circuit}} = 1$，且为 $P_{\text{total drive circuits}} = P_{\text{drive circuit}} = 240$ mW。

D. 讨论

现对各种RIS的静态功耗进行总结，所有结果均有实际测量和产品数据手册作为依据。首先，FPGA控制板在数据处理时会消耗瓦级功率。其次，尽管基于变容二极管的RIS的 P_{dynamic} 几乎为零，但其驱动电路通常复杂得多，也更耗能；例如，在连续偏置电压变化的情况下，每个控制信号需消耗 $P_{\text{drive circuit}} = 430$ mW。此外，在高频频段（如毫米波频段）设计和制造基于变容二极管的RIS仍面临挑战。相较之下，基于PIN二极管的RIS驱动电路能效较高，功耗为毫瓦级，例如每个8位移位寄存器消耗 $P_{\text{drive circuit}} = 0.066$ mW，每个控制信号消耗 $0.066/8 = 8 \times 10^{-3}$ mW。然而，基于PIN二极管的RIS的 P_{dynamic} 可能非常大。在 [12], 中， $1^{\#}$ RIS每个单元的 P_{PIN} 测得为12.6 mW；当所有单元均编码为“1”时，最大 P_{dynamic} 约为90 W。事实上，离散型基于变容二极管的RIS有望实现高能效设计，因为其 P_{dynamic} 几乎为零，而且其驱动电路 $P_{\text{total drive circuits}}$ 可能大幅降低，因为只需生成离散电平偏置电压。



(a)



(b)

图6：制作完成的基于射频开关的RIS照片。(a) 完整的RIS物理示意图。(b). 8×8 RIS结构及参数示意图。

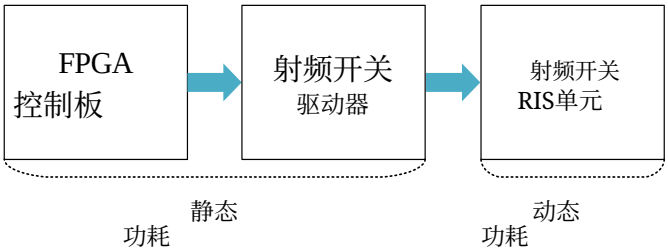


图7：制作完成的基于射频开关的RIS硬件设计。

此外，基于射频开关的RIS的 $P_{\text{total drive circuits}}$ 测得为240 mW，即单个驱动电路（FPGA）控制64个单元时的功耗。实际上，通过低功耗设计， $P_{\text{total drive circuits}}$ 还可以进一步降低。一方面，主 FPGA 控制板可以直接为基于射频开关的RIS单元提供控制信号，从而省去驱动电路，进而降低 $P_{\text{total drive circuits}}=0$。然而，当嵌入大量RIS单元时，这种方法就不再适用，因为主 FPGA 控制板无法同时向各单元提供控制信号。另一方面，也可以使用移位寄存器作为射频开关驱动器，此时基于射频开关的RIS的 $P_{\text{total drive circuits}}$ 与基于PIN二极管的RIS相当。此外，基于射频开关的RIS的 P_{dynamic} 通常为 μ瓦级，每个单元约消耗3.3 V $\times150\mu$A $=495\mu$W。总之，RIS的低功耗设计仍是有待进一步研究的开放课题。

IV. 结论

在本研究中，我们将可重构智能表面硬件分为三个基本部分：FPGA控制板、驱动电路和可重构智能表面单元。先前的工作已对可重构智能表面单元的动态功耗进行了建模，因此我们研究了FPGA控制板的静态功耗{v1}以及驱动电路{v2}<style id='3'>驱动电路</style>的静态功耗。

我们指出， $P_{\text{control board}}$ 可视为一个常数值，而$P_{\text{total 驱动电路}}$则受控制信号数量及其自身功耗特性的影响。特别地，针对多种类型的可重构智能表面，即基于PIN二极管、变容二极管和射频开关的可重构智能表面，对$P_{\text{total 驱动电路}}$进行了建模；测量结果验证了 P_{static}模型。总之，先前工作中的动态功耗建模 P_{dynamic} 与本研究中的静态功耗建模 P_{static} 共同构成了完整的可重构智能表面功耗模型。

参考文献

[1] T. J. Cui、M. Q. Qi、X. Wan、J. Zhao 和 Q. Cheng，“编码超材料、数字超材料与可编程超材料”，*Light Sci. Appl.*，第3卷，第10期，文章编号e218，2014年10月。[2] L. Zhang、X. Q. Chen、R. W. Shao、J. Y. Dai、Q. Cheng、G. Castaldi、V. Galdi 和 T. J. Cui，“利用时空编码数字超表面打破互易性”，*Adv. Mater.*，第31卷，第41期，文章编号 1904069，2019年8月。[3] M. Di Renzo、A. Zappone、M. Debbah、M.-S. Alouini、C. Yuen、J. de Rosny 和 S. Tretyakov，“可重构智能表面赋能的智能无线环境：工作原理、研究现状及未来方向”，*IEEE J. Sel. Areas Commun.*，第38卷，第11期，第2450–2525页，2020年11月。[4] Y. Han、W. Tang、S. Jin、C.-K. Wen 和 X. Ma，“利用统计CSI的大型智能表面辅助无线通信”，*IEEE Trans. Veh. Technol.*，第68卷，第8期，第8238–8242页，2019年8月。[5] Q. Wu 和 R. Zhang，“通过联合主动与被动波束成形实现智能反射表面增强无线网络”，*IEEE Trans. Wireless Commun.*，第18卷，第11期，第5394–5409页，2019年11月。[6] C. Huang、A. Zappone、G. C. Alexandropoulos、M. Debbah 和 C. Yuen，“面向无线通信能量效率的可重构智能表面”，*IEEE Trans. Wireless Commun.*，第18卷，第8期，第4157–4170页，2019年8月。[7] H. Guo、Y.-C. Liang、J. Chen 和 E. G. Larsson，“可重构智能表面辅助无线网络的加权和速率最大化”，*IEEE Trans. Wireless Commun.*，第19卷，第5期，第3064–3076页，2020年5月。[8] W. Tang、M. Z. Chen、X. Chen、J. Y. Dai、Y. Han、M. Di Renzo、Y. Zeng、S. Jin、Q. Cheng 和 T. J. Cui，“采用可重构智能表面的无线通信：路径损耗建模与实验测量”，*IEEE Trans. Wireless Commun.*，第20卷，第1期，第421–439页，2020年1月。[9] G. C. Trichopoulos、P. Theofanopoulos、B. Kashyap、A. Shekhawat、A. Modi、T. Osman、S. Kumar、A. Sengar、A. Chang 和 A. Alkhateeb，“真实环境中的可重构智能表面设计与评估”，*IEEE Open J. Comm. Soc.*，第3卷，第462–474页，2022年3月。[10] A. Zappone、M. Di Renzo、F. Shams、X. Qian 和 M. Debbah，“智能无线环境中可重构智能表面的开销感知设计”，*IEEE Trans. Wireless Commun.*，第20卷，第1期，第126–141页，2020年1月。[11] X. Pei、H. Yin、L. Tan、L. Cao、Z. Li、K. Wang、K. Zhang 和 E. Bj¨ornson，“RIS辅助无线通信：原型实现、自适应波束成形及室内外现场试验”，*IEEE Trans. Commun.*，第69卷，第12期，第8627–8640页，2021年12月。[12] J. Wang、W. Tang、J. C. Liang、L. Zhang、J. Y. Dai、X. Li、S. Jin、Q. Cheng 和 T. J. Cui，“可重构智能表面的功耗建模与实际测量验证”，*arXiv preprint arXiv:2211.00323*，2022年。[13] J. C. Liang、Q. Cheng、Y. Gao、C. Xiao、S. Gao、L. Zhang、S. Jin 和 T. J. Cui，“角度不敏感的3比特可重构智能表面”，*IEEE Trans. Antennas Propag.*，第70卷，第10期，第8798–8808页，2021年10月。[14] M. Rossanese、P. Mursia、A. Garcia-Saavedra、V. Sciancalepore、A. Asadi 和 X. Costa-Perez，“基于射频开关的可重构智能表面的设计、构建与特征表征”，发表于第*16*届*ACM*无线网络测试平台、实验评估与特征表征研讨会论文集，2022年10月，第69–76页。