# β-$Ga_2O_3$ 采用新型低损伤镓通量刻蚀技术制备的沟槽肖特基二极管

Sushovan Dhara[a]、Nidhin Kurian Kalarickal[a]、Ashok Dheenan[a]、Sheikh Ifatur Rahman[a]、Chandan Joishi[a]、Siddharth Rajan[a, b]a 俄亥俄州立大学电气与计算机工程系，美国，b 俄亥俄州立大学材料科学与工程系，美国。电子邮箱：*dhara.2@osu.edu*，*rajan@ece.osu.edu*

**摘要：**通过镓原子束刻蚀技术制备的*β*-$Ga_2O_3$ 沟槽肖特基势垒二极管，展现出优异的场强和功率器件优值。采用低损伤镓通量刻蚀形成沟槽，实现了近乎理想且不受鳍取向影响的正向工作特性。在击穿电压达到1.45 kV时，反向击穿场强超过5.10 MV/cm。这一结果展现了镓原子束刻蚀和高质量介电层在提升*β*-$Ga_2O_3$ 垂直功率器件性能方面的潜力。

*β*-$Ga_2O_3$ 是一种很有前景的千伏级功率器件材料，具有较高的理论击穿场强（8 MV/cm）和功率开关优值[1–3]。可获得熔体生长的本征衬底，这使半导体器件能够以更低成本实现更少的缺陷和更高的可靠性[4,5]。与基于碳化硅和氮化镓的其他垂直功率器件不同，由于缺乏p型*β*-$Ga_2O_3$[6]，功率器件设计颇具挑战。由于无法形成p-n同质结，二极管结构只能通过肖特基结实现。然而，这也限制了器件的击穿性能，因为用于整流的肖特基势垒无法在反向偏置下承受高电场。高电场下，金属-半导体界面附近狭窄的三角形隧穿势垒会导致大量电流隧穿进入半导体，从而引发过早击穿。这种肖特基结限制了该材料在高压二极管应用中的潜力。采用具有较高肖特基势垒的AlGaO[7]，等合金中间层，或采用$BaTiO_3$[8] 等高k介电材料异质结以维持较宽的隧穿势垒，均显著提升了器件承受高电场的能力。设计高效二极管的另一种方法是构建三维“沟槽”器件几何结构，将金属-半导体界面处的峰值电场推向半导体体材料内部。

这种方法能够在不牺牲接近肖特基导通电压的正向工作电压的前提下，实现优异的反向击穿电场[9,10]。

为实现沟槽肖特基势垒二极管，关键在于减少鳍式刻蚀工艺模块对半导体造成的损伤。此外，还需要集成具有高击穿强度的合适介电层。众所周知，ICP/RIE刻蚀会在$\beta$-$Ga_2O_3$[11,12]中造成亚表面损伤和耗尽。本报告展示了一种新颖方法：将低损伤镓原子通量刻蚀工艺与通过等离子体辅助分子束外延沉积的$Al_2O_3$ 介电层相结合，制备沟槽肖特基二极管，从而实现高纵横比沟槽。在真空中使$\beta$-$Ga_2O_3$ 暴露于镓通量，可实现纯化学、无损伤的刻蚀工艺；与采用ICP/RIE工艺形成沟槽的器件相比，该工艺显著降低了导通电阻。

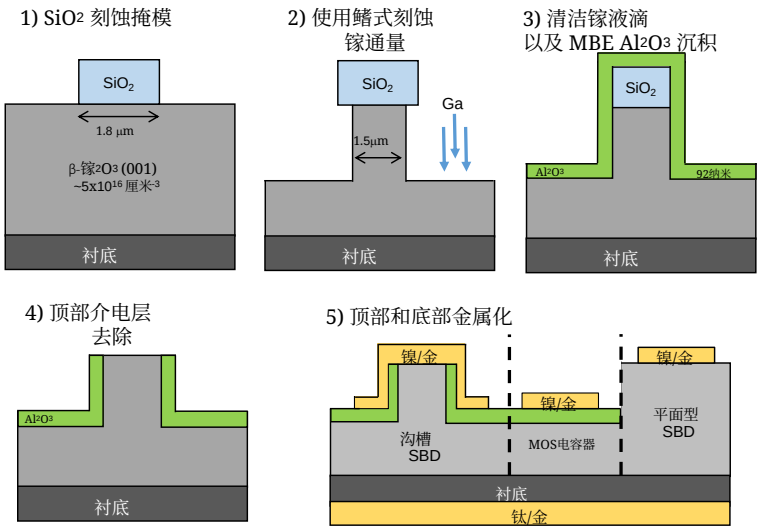
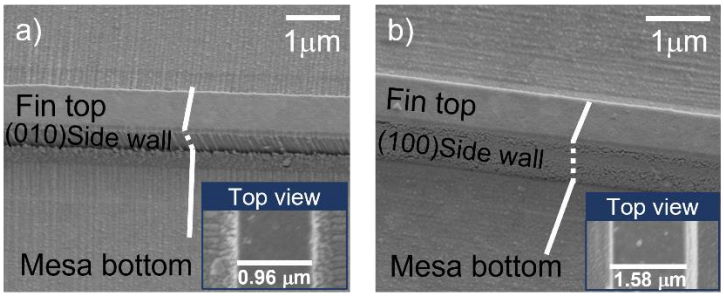



图1：Ga通量刻蚀沟槽肖特基势垒二极管的工艺流程

本文讨论的器件制备于从日本 Novel Crystal Technologies 采购的商用氢化物气相外延生长$\beta$-$Ga_2O_3$ 外延层上（掺杂浓度为 ($N_D$) ~ 5x$10^{16}$ $cm^{-3}$ 的 10 $\mu m$ 厚外延层）。工艺流程（图1）首先定义 100 μm x 1.8 μm 的条纹，以形成沟槽几何形状。采用等离子体增强化学气相沉积（PECVD）在 250°C 下全面沉积 100 nm 厚的 $SiO_2$，作为硬掩模；随后通过光刻对其进行图案化，以进行鳍式刻蚀，接着进行干法和湿法

刻蚀 $SiO_2$。随后，通过将样品暴露于原子镓通量[13], 来形成 $\beta$-$Ga_2O_3$ 鳍；镓与 $\beta$-$Ga_2O_3$ 反应，生成易挥发的亚氧化物（$Ga_2O$），该物质在温度高于 500°C 时解吸，从而对样品进行化学刻蚀。该两步刻蚀工艺（步骤 1：$T_{sub}$=700 °C，BEP = 5x$10^{-7}$ Torr，时间 = 120 分钟；步骤 2：$T_{sub}$=550 °C，BEP = 1.5x$10^{-7}$ Torr，时间 = 35 分钟）在 Riber M7 分子束外延（MBE）腔室中进行。该两步工艺有助于避免在刻蚀材料顶部附近形成富硅层[13]。此工艺形成了轮廓清晰、侧壁平滑的结构。采用原子力显微镜测得沟槽深度为 ~1.2 $\mu m$。镓通量刻蚀完成后，将样品从分子束外延腔室中取出，并浸入盐酸中 5 分钟，以去除表面多余的镓液滴。刻蚀步骤完成后，将样品重新放入分子束外延腔室，通过使样品暴露于原子铝通量和氧等离子体（Al 通量 = 2x$10^{-8}$ Torr，$O_2$ 流量=2.5 sccm，等离子体功率=250 W），在相同的分子束外延腔室中、衬底温度为 400°C 的条件下，于整个样品表面沉积一层 92纳米厚的 $Al_2O_3$。随后通过光刻在每个鳍的顶部形成窗口，并通过干法刻蚀去除 $SiO_2$ 和 $Al_2O_3$ 介电层，接着进行湿法刻蚀（稀释的缓冲氧化物刻蚀液（BOE））。随后，通过溅射沉积 50 nm 镍以覆盖侧壁，再通过电子束蒸发沉积 Ni/Au（30/100 nm），形成顶部肖特基接触。最后，通过电子束蒸发沉积欧姆背面接触（Ti/Au，30/70 nm）。在镓通量刻蚀后的 $\beta$-$Ga_2O_3$ 表面制备了 MOS电容器。此外，还在未刻蚀的 $\beta$-$Ga_2O_3$ 上制备了一个平面肖特基势垒二极管，以作比较。




*Fi*图 2：沿 (a) *[100]* 方向和 (b) *[010]* 方向取向的鳍状结构的扫描电子显微镜成像

鳍结构沿着[100] 和[010] 方向制备，以研究镓通量刻蚀对不同晶面的影响。图2展示了鳍结构的倾斜扫描电子显微镜图像，以及沿[010] 和[100] 方向排列的鳍的俯视图。两种鳍均采用宽度为 1.8 μm 的 $SiO_2$ 掩膜进行刻蚀；垂直刻蚀 1.2 μm 后，沿58 μm 和 0.96 μm 方向的亚光刻鳍宽度分别为 [010] 和 [100]。

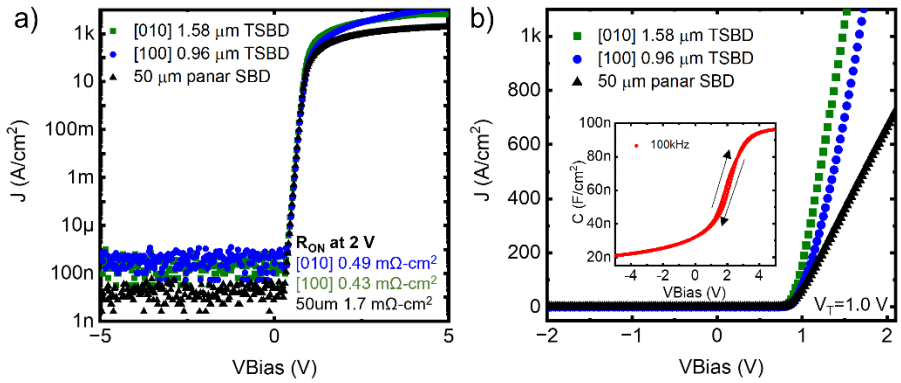



图3：平面型和沟槽肖特基势垒二极管（TSBD）的正向电流-电压特性，分别以（a）对数尺度和（b）线性尺度表示；插图为刻蚀表面上 MOS电容器的电容-电压特性。

使用 Keysight B1500A 半导体参数分析仪进行了双端电学表征。图3(a-b)展示了两种鳍器件结构和大面积平面肖特基二极管在室温下的电流-电压（J-V）测量结果。两种沟槽肖特基势垒二极管的正向 J-V 特性均显示开启电压为 ~1.0 V，与在相同外延结构上制备的平面肖特基二极管的开启电压相近。沿 [100] 和 [010] 方向取向的沟槽肖特基势垒二极管表现出相近的开启电压和电阻。相比之下，先前报道的采用干法刻蚀制备的鳍结构会因等离子体损伤而导致漂移层中的载流子耗尽，且对鳍取向有很强的依赖性[11,12]。50μm 圆形平面器件的比导通电阻为 ~1.7 mΩ-cm$^2$, ，而沟槽二极管在 2 V 正向偏置下的导通电阻接近 0.5 mΩ-cm$^2$。鳍结构的电阻较低是由于电流扩展所致。考虑电流扩展后，计算得到沿 [100] 和 [010] 方向取向的鳍结构的导通电阻分别为 1.01 mΩ-cm$^2$ 和 1.20 mΩ-cm$^2$ （详情见

补充 部分）。对于平面型和沟槽肖特基势垒二极管，测得的反向漏电流均接近测量系统的噪声底。为了解 $Al_2O_3$ 介电层及其与半导体之间界面的性质，对同一样品上的MOS电容器结构进行了电学表征。MOS电容器的电容-电压（CV）特性表现出较小的电压滞后（图3(b)插图），表明界面质量良好。与该 MOS结构模拟的理想 CV 相比，观察到正向平带电压偏移。这证实了负固定电荷存在于 $Al_2O_3/\beta$-$Ga_2O_3$ 界面处或 $Al_2O_3$ 中。

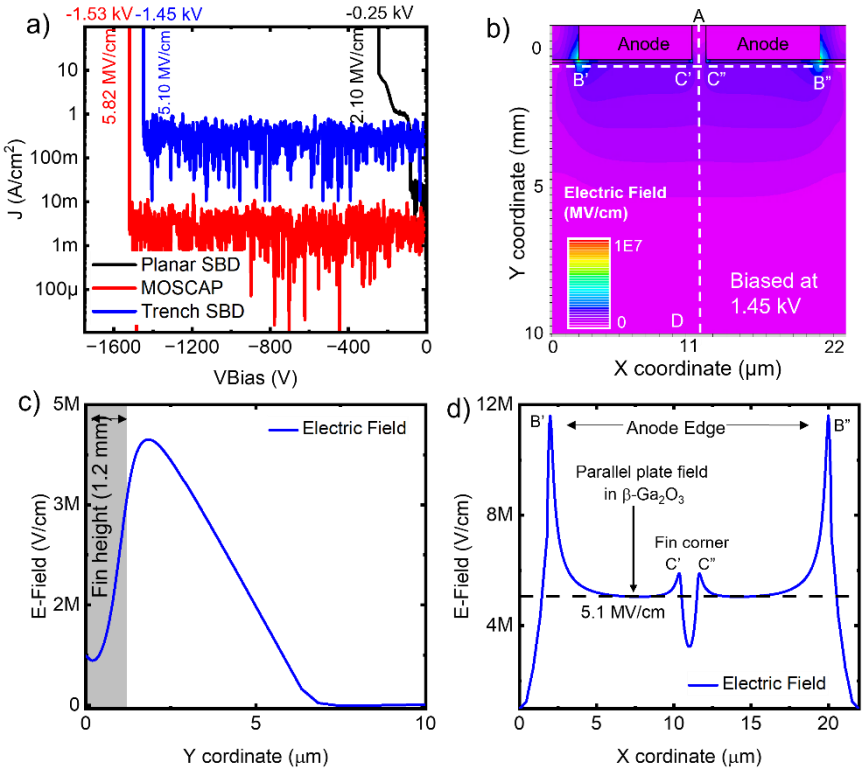



图4：（a）MOS电容器、平面型和沟槽肖特基势垒二极管的反向击穿测量。（b）在1.45 kV下，宽度为0.98 µm的鳍的二维电场分布。宽度为0.96 µm的鳍沿（c）AD（垂直剖线）和（d）*B'C'C"B"*（横向剖线）的电场分布。

已测量正向特性的器件被选出，使用 Agilent B1505A 半导体参数分析仪测量更高反向电压下的击穿特性。反向J-V测量显示，反向击穿电压最高的平面肖特基二极管（250 V）呈现硬（破坏性）击穿特性

，沟槽肖特基势垒二极管（1.45 kV）以及平面MOS电容器（1.52 kV）（图4(a)）。为研究沟槽肖特基势垒二极管的静电学特性，我们使用 Silvaco ATLAS软件包对器件结构进行了二维仿真。图中展示了施加电压为1.45 kV时，宽度为0。96 μm的鳍的结果（图4(b)）。沿结构A-D的垂直剖线显示了鳍中心的电场分布（图4(c)）。金属/$\beta$-镓$_2O_3$ 肖特基界面处的电场为<2 MV/cm。沿垂直剖线，峰值电场出现在体材料中、深度为~2 μm处，这与沟槽结构的预期一致。如图4(d)所示，沿B’-C’-C”-B”的横向剖线显示，B’和B”点的阳极边缘附近存在峰值电场。这表明，金属边缘处的峰值电场（接近> 8 MV/cm）可能是导致击穿的原因。

我们估算了 $\beta$-$Ga_2O_3$ 在反向击穿条件下的平行板电场：平面肖特基势垒二极管、沟槽肖特基势垒二极管和 MOS 电容器分别为 2.10 MV/cm、5.10 MV/cm 和 5.82 MV/cm。对于平面结构，击穿电场采用一维静电学估算，$E_{field} = \sqrt{qN_DV_{BR}/\varepsilon}$，其中 $q$ 为电子电荷，$N_D$ 为半导体的掺杂浓度，$V_{BR}$ 为击穿电压，$\varepsilon$ 为半导体的介电常数。对于沟槽结构，我们根据仿真结果估算场强，如图4(d)所示。对器件击穿后的观察表明，灾难性击穿发生在阳极边缘附近，这与仿真预期的峰值电场位置一致。

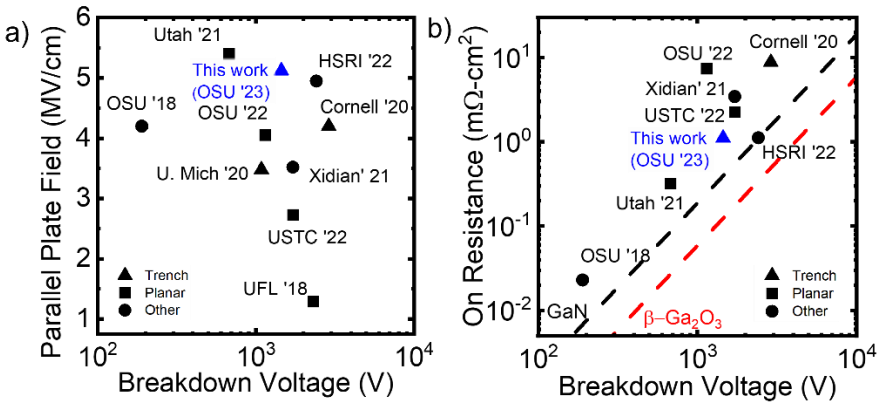



图 *5. (a)* 镓通量刻蚀沟槽肖特基势垒二极管的平行板电场与击穿电压的关系，并与此前报道的器件进行比较。*(b)* 导通电阻与击穿电压的关系图

沟槽肖特基二极管的击穿电压和平行板电场与此前报道的 $\beta$-$Ga_2O_3$ 垂直二极管进行了比较，如图5所示。[10,14–20]。本文展示的器件兼具较高的击穿电场强度和击穿电压，综合表现位居前列。此外，与标准 ICP/RIE 工艺相比，此处采用的无损伤原子束刻蚀方法带来了优异的正向导电特性。图5(b)还将评估得到的 Baliga功率器件优值（BFOM）与其他报道进行了比较，估算值超过 2 GW/$cm^2$, ，这是 $\beta$-$Ga_2O_3$, 已报道的最佳数值之一，并且优于当前最先进的碳化硅垂直器件。改进边缘终端有望大幅提升器件性能。

总之，我们展示了一种采用镓原子束刻蚀技术制备$\beta$-$Ga_2O_3$ 沟槽肖特基二极管的新型工艺。平行板电场强度达到5.12 MV/cm，对应的击穿电压为~1.45 kV，结合较低的导通电阻，使BFOM超过2 GW/$cm^2$。这一结果展现了$\beta$-$Ga_2O_3$垂直器件结构在未来高压电子学领域的应用潜力。我们感谢美国能源部/美国国家核安全管理局提供的资助，奖项编号为DE-NA0003921，以及AFOSR GAME MURI（奖项编号FA9550-18-1-0479，项目负责人为Ali Sayir博士）。本文所述内容不一定反映联邦政府的立场或政策，也不应被视为获得联邦政府的官方认可。

参考文献：

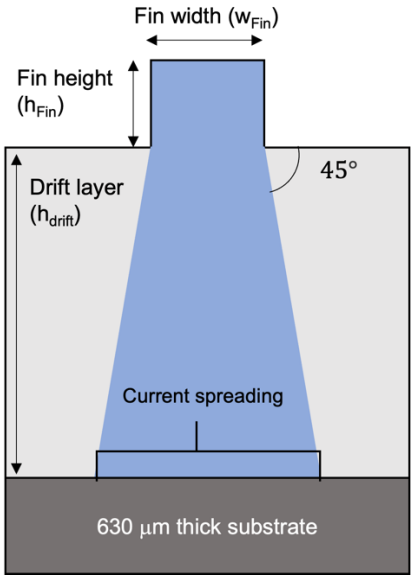
[1] M. Higashiwaki, K. Sasaki, H. Murakami, Y. Kumagai, A. Koukitu, A. Kuramata, T. Masui, and S. Yamakoshi, 半导体科学与技术 31, 034001 (2016).[2] M. Higashiwaki and G.H. Jessen, 应用物理快报 112, 060401 (2018).[3] S.J. Pearton, J. Yang, P.H. Cary, F. Ren, J. Kim, M.J. Tadjer, and M.A. Mastro, 应用物理评论 5, 011301 (2018).[4] H.F. Mohamed, C. Xia, Q. Sai, H. Cui, M. Pan, and H. Qi, 半导体学报 40, 011801 (2019).[5] B. Fu, Z. Jia, W. Mu, Y. Yin, J. Zhang, and X. Tao, 半导体学报 40, 011804 (2019).[6] H. Peelaers, J.L. Lyons, J.B. Varley, and C.G. Van de Walle, APL材料 7, 022519 (2019).[7] P. P. Sundaram, F. Alema, A. Osinsky, and S.J. Koester, 真空科学与技术杂志A辑 40, 043211 (2022).[8] Z. Xia, H. Chandrasekar, W. Moore, C. Wang, A.J. Lee, J. McGlone, N.K. Kalarickal, A. Arehart, S. Ringel, F. Yang, and S. Rajan, 应用物理快报 115, 252104 (2019).[9] W. Li, Z. Hu, K. Nomoto, R. Jinno, Z. Zhang, T.Q. Tu, K. Sasaki, A. Kuramata, D. Jena, and H.G. Xing, 载于2018年IEEE国际电子器件会议IEDM（2018），第8.5.1- 8.5.4页。[10] W. Li, K. Nomoto, Z. Hu, D. Jena, and H.G. Xing, IEEE电子器件快报 41, 107 (2020).[11] W. Li, K. Nomoto, Z. Hu, D. Jena, and H.G. Xing, 应用物理快报 12, 061007 (2019).[12] S. Dhara, N.K. Kalarickal, A. Dheenan, C. Joishi, and S. Rajan, 应用物理快报 121, 203501 (2022).[13] N.K. Kalarickal, A. Fiedler, S. Dhara, H.-L. Huang, A.F.M.A.U. Bhuiyan, M.W. Rahman, T. Kim, Z. Xia, Z.J. Eddine, A. Dheenan, M. Brenner, H. Zhao, J. Hwang, and S. Rajan, 应用物理快报 119, 123503 (2021).[14] S. Roy, A. Bhattacharyya, P. Ranga, H. Splawn, J. Leach, and S. Krishnamoorthy, IEEE电子器件快报 42, 1140 (2021).[15] C. Joishi, S. Rafique, Z. Xia, L. Han, S. Krishnamoorthy, Y. Zhang, S. Lodha, H. Zhao, and S. Rajan, 应用物理快报 11, 031101 (2018).[16] J. Yang, F. Ren, M. Tadjer, S.J. Pearton, and A. Kuramata, ECS固态科学与技术杂志 7, Q92 (2018).[17] Z. (Ashley) Jian, S. Mohanty, and E. Ahmadi, 应用物理快报 116, 152104 (2020).[18] Q. He, W. Hao, X. Zhou, Y. Li, K. Zhou, C. Chen, W. Xiong, G. Jian, G. Xu, X. Zhao, X. Wu, J. Zhu, and S. Long, IEEE电子器件快报 43, 264 (2022).[19] Y. Wang, H. Gong, Y. Lv, X. Fu, S. Dun, T. Han, H. Liu, X. Zhou, S. Liang, J. Ye, R. Zhang, A. Bu, S. Cai, and Z. Feng, IEEE电力电子学汇刊 37, 3743 (2022).[20] Y. Lv, Y. Wang, X. Fu, S. Dun, Z. Sun, H. Liu, X. Zhou, X. Song, K. Dang, S. Liang, J. Zhang, H. Zhou, Z. Feng, S. Cai, and Y. Hao, IEEE电力电子学汇刊 36, 6179 (2021).

# 补充信息

# β-$Ga_2O_3$ 采用新型低损伤镓通量刻蚀制备的沟槽肖特基二极管

Sushovan Dhara[a], Nidhin Kurian Kalarickal[a], Ashok Dheenan[a], Sheikh Ifatur Rahman, Chandan Joishi[a], Siddharth Rajan[a,b] [a] 电气与计算机工程系，俄亥俄州立大学，美国，[b] 材料科学与工程系，俄亥俄州立大学，美国。电子邮件：*dhara.2@osu.edu*, *rajan@ece.osu.edu*

补充信息 1：（导通电阻估算）




导通电阻估算的器件示意图。

$Resistivity\ (\rho) = \frac{1}{q\ \mu N_D}$。

其中，$N_D$ 是半导体的掺杂浓度，q 是电子电荷，μ 是迁移率。因此，

$$\rho_{epi.} = 1.25\ \Omega cm\ \left(N_D = \frac{5E16}{cm^3},\ \mu = \frac{100\ cm^2}{Vs}\right)$$

and,

$$\rho_{substrate} = 10.8\ m\Omega cm\ \left(ND = \frac{5.8E18}{cm^3},\ \mu = \frac{100\ cm^2}{Vs}\right)$$

$R_{substrate} = \rho_{substrate} \times substrate\ t$小时$icknes = 0.68\ m\Omega cm^2$

$R_{epi.} = \rho_{epi.} \times w_{Fin} \times \left(\left(\frac{h_{Fin}}{w_{Fin}}\right) + \frac{1}{2}\ln\left(1 + \frac{2}{h_{drift}\ w_{Fin}}\right)\right)$，假设电流扩展角为 45°

总器件电阻可估算为,

$$R_{Device} = R_{substrate} + R_{epi.}$$

$R_{epi.[100]}$= 0.33 $m\Omega cm2 \rightarrow R_{Device[100]}$= 1.01 $m\Omega cm^2 R_{epi.[010]}$= 0.

52 $m\Omega cm2 \rightarrow R_{Device[010]}$= 1.20 $m\Omega cm^2 R_{epi(50\ \mu m)}$= 1.05 $m\Omega cm2 \rightarrow R_{Device(50\ \mu m)}$= 1.73 $m\Omega cm^2$50 μm 器件的估算电阻与测量电阻接近。因此，我们可以将这一电阻估算假设用于沟槽器件。