基于高性能双极性双栅 WSe_2 薄膜晶体管的级联逻辑门

作者姓名

Xintong Li[†]、Peng Zhou[‡]、Xuan Hu[‡]、Ethan Rivers[†]、Kenji Watanabe[§]、Takashi Taniguchi[§§]、Deji Akinwande[†]、Joseph S. Friedman[‡]和 Jean Anne C. Incorvia[†]*

作者地址

[†]美国德克萨斯州奥斯汀市德克萨斯大学奥斯汀分校电气与计算机工程系，邮编 78712

[‡]美国德克萨斯州理查森市德克萨斯大学达拉斯分校电气与计算机工程系，邮编 75080-3021

[§]日本国立材料科学研究所电子与光学材料研究中心，1-1 Namiki，筑波 305-0044，日本

[§§]日本国立材料科学研究所材料纳米结构研究中心，1-1 Namiki，筑波 305-0044，日本

*通讯作者，incorvia@austin.utexas.edu

关键词

双极性输运、双栅、过渡金属二硫属化物、级联能力、逻辑门、V_T-压降门、下降/上升时间

摘要

基于二维材料（如石墨烯、碳纳米管、黑磷和某些过渡金属硫族化合物（TMDs））的双极性双栅晶体管，能够实现关断态电流受到抑制的可重构逻辑电路。这些电路使用比 CMOS 更少的晶体管即可实现相同的逻辑输出，并提供更大的设计灵活性。这类逻辑门面临的主要挑战在于采用静态 CMOS 类连接时的级联能力和功耗。本文制备了基于二硒化钨（WSe_2）的高性能双极性双栅晶体管。在 p 型和 n 型输运中，分别测得高达 10^8 and 10^6, 的开关比、100 至 300 fA 的低关态电流、可忽略不计的滞后，以及理想的 62 和 63 mV/dec 亚阈值摆幅。我们首次展示了采用双极性 TMD 晶体管实现的可级联和级联逻辑门，静态功耗极低，包括反相器、异或、与非、或非，以及由级联反相器构成的缓冲器。我们全面研究了控制栅和极性栅的行为，此前对此缺乏相关研究。我们测量并分析了逻辑门的噪声容限。较大的噪声容限使 V_T-drop 电路得以实现，这是一种可减少晶体管数量并简化电路设计的逻辑。最后，我们对由双栅器件构成的 V_T-drop 电路及其他电路的速度性能进行了定性分析。本研究为双极性双栅 TMD 晶体管领域的未来发展奠定了基础，展现了其在低功耗、高速度和更灵活的逻辑电路方面的潜力。

TEXT

基于二维范德华材料的场效应晶体管（FET）凭借其独特性质，如高载流子迁移率、超薄厚度、可调带隙和短沟道效应减弱，在后摩尔时代引起了广泛关注[1–3]。尽管大多数二维薄膜晶体管（TFT）都是单极性的，表现为 p 型或 n 型导电，但双极性器件能够同时传导电子和空穴，因此在逻辑和模拟电路设计方面具有更大的灵活性。这一点已在有机双极性晶体管[4–6] 和二维材料晶体管[7–10]中得到广泛展示。在多种原子级薄材料中，石墨烯、碳纳米管（CNT）、黑磷（BP）以及某些 TMD（如 WSe_2 ）无需掺杂便具有本征双极性行为。双极性晶体管面临的主要挑战是其关态电流高于单极性器件，尤其对于石墨烯和黑磷等小带隙材料[11,12]。因此，双极性器件采用双栅结构具有优势，因为它不仅能抑制关断态电流，还能实现可重构双极性薄膜晶体管，使其可在 p 型和 n 型模式之间可逆切换[12–15]。此外，由于两个栅极的输入相互独立，采用双极性双栅薄膜晶体管构成的逻辑电路有望以比 CMOS 技术更少的晶体管和更低的功耗实现所需运算[16,17]。

此前已有多个研究团队展示了基于各种二维材料的双极性薄膜晶体管器件及其在逻辑电路中的应用。基于碳纳米管的器件展现出优异的双极性行为，但由于其一维特性，难以实现高电流密度；此外，半导体碳纳米管的提纯也面临挑战[17,18]。黑磷器件在低电源电压逻辑电路中展现出应用前景[19], , 但即使采用

双栅结构，其关态电流仍相对较高，这是由于~ 0的带隙较小（0.3 eV）。已展示的黑磷器件的阈值电压（V_T）偏离0 V，导致静态功耗增加。此外，黑磷器件还存在众所周知的空气稳定性问题。相比之下，WSe_2 等TMD材料具有厚度依赖的带隙、较高的载流子迁移率和良好的稳定性，因此适用于低功耗、高速逻辑门。例如，研究人员已利用极性可控的WSe_2双极性双栅晶体管[20,21]，通过传统静态CMOS连接实现逻辑门。然而，关键挑战在于输入电压与输出电压不处于相同范围。另一项研究中，研究人员利用WSe_2 制成的电学可调同质结器件，通过传输晶体管逻辑，以较少的晶体管实现了可重构多功能逻辑电路，其中栅极和漏极节点均作为输入[22]。然而，传输逻辑电路存在输入阻抗有限以及输出电平累积而未饱和的问题，因此需要在级间插入反相器或缓冲器[16]。传统的类CMOS连接方式中，晶体管连接至电源电压，可避免这些问题；在大多数情况下，其在速度、面积、功耗和功耗延迟积方面都更具优势[23]。迄今为止，基于TMD双极性晶体管的逻辑门尚未能在保持低功耗的同时实现级联，而低功耗的基本要求是每级的输出电压和输入电压必须处于相同的电压范围，使前级的输出可直接用作下一级的输入。此外，尚未对双极性双栅晶体管中各种栅结构的速度表现进行全面分析。

在此，我们概述了用于低功耗、高速级联逻辑门的双极性双栅晶体管所需满足的要求。首先，晶体管必须在p型和n型分支中均表现出合适的V_T，以实现逻辑门的级联能力和低功耗。

栅极，这是以往研究中一直存在的挑战。如果p型或n型模式以耗尽模式工作，晶体管就无法通过标准栅极输入完全关断。相反，必须施加工作电压范围之外的电压，才能确保逻辑输出准确并降低关态电流[19,21]。因此，理想的双极性器件应具有略大于0 V的n型V_T，以及略小于0 V的p型V_T。其次，晶体管必须具备良好的载流能力，尤其是两种输运类型都应具有较低的接触电阻，以实现高速应用[24,25]。原则上，由于能带排列的限制，金属-半导体接触无法同时对两种载流子注入都形成欧姆接触，而双极性器件的接触通常会形成肖特基势垒。因此，必须进行适当的接触工程，以最大限度地提高电子电流和空穴电流[26,27]。第三，p型和n型电流应尽可能对称，以优化噪声容限，这同样需要合适的接触。最后，滞后控制对于尽可能减小工作期间的V_T偏移至关重要[28]。

本研究制备了基于六方氮化硼（hBN）夹层结构 WSe_2 的高性能双极性双栅薄膜晶体管，展现出 p型和 n型均具有较高的开关比、理想的亚阈值摆幅（SS）、适当的 V_T以及极小的滞后。我们首次展示了基于 TMD 双极性薄膜晶体管、采用静态 CMOS 连接的低功耗级联逻辑门，在减少晶体管数量的同时，为电路设计提供了更大的灵活性。此外，我们还分析了双栅薄膜晶体管中不同栅极结构的速度性能。

结果与讨论

双极性双栅 WSe_2 薄膜晶体管的制造与工作原理。为满足低功耗级联逻辑门的要求，必须对器件结构和接触进行精心设计。图 1a 展示了 WSe_2 薄膜晶体管，其中一片厚度为 4 nm 的 WSe_2 薄片经过刻蚀，并

夹在两层厚度为 15 nm 的六方氮化硼之间。为便于空穴和电子注入，源极和漏极（SD）的底部接触金属分别采用 15 nm 厚的铂和镍，因为二者的功函数分别较高和较低。底部接触是实现金属与二维材料无损接触的常用方法之一；研究表明，传统的铬、钛等顶部接触金属沉积会穿透并损伤二维薄片，导致接触电阻增加[29]。控制栅（CG）和极性栅（PG）分别位于沟道下方和上方，通过改变六方氮化硼厚度和栅极金属，可独立调节两栅的静电控制能力。这是确保输入和输出在相同电压范围内工作、实现级联能力的关键方法之一。CG 覆盖沟道的大部分区域，其作用类似于传统 CMOS 栅极，通过控制沟道的载流子密度发挥作用。相比之下，PG 主要覆盖接触区域上方的沟道，从而调节肖特基势垒中的电荷注入。CG 的厚度也设为 15 nm，与 SD 接触的厚度相同，以便为 WSe_2 薄片提供平坦表面。图 1b 展示了典型薄膜晶体管器件的光学图像，其沟道长度和宽度分别为 1.8 μm 和 6 μm。图 1c 展示了本文所用双极性双栅薄膜晶体管的符号，该符号是在常见双栅晶体管符号基础上稍作修改而来，以突出 PG 与 CG 之间的区别。

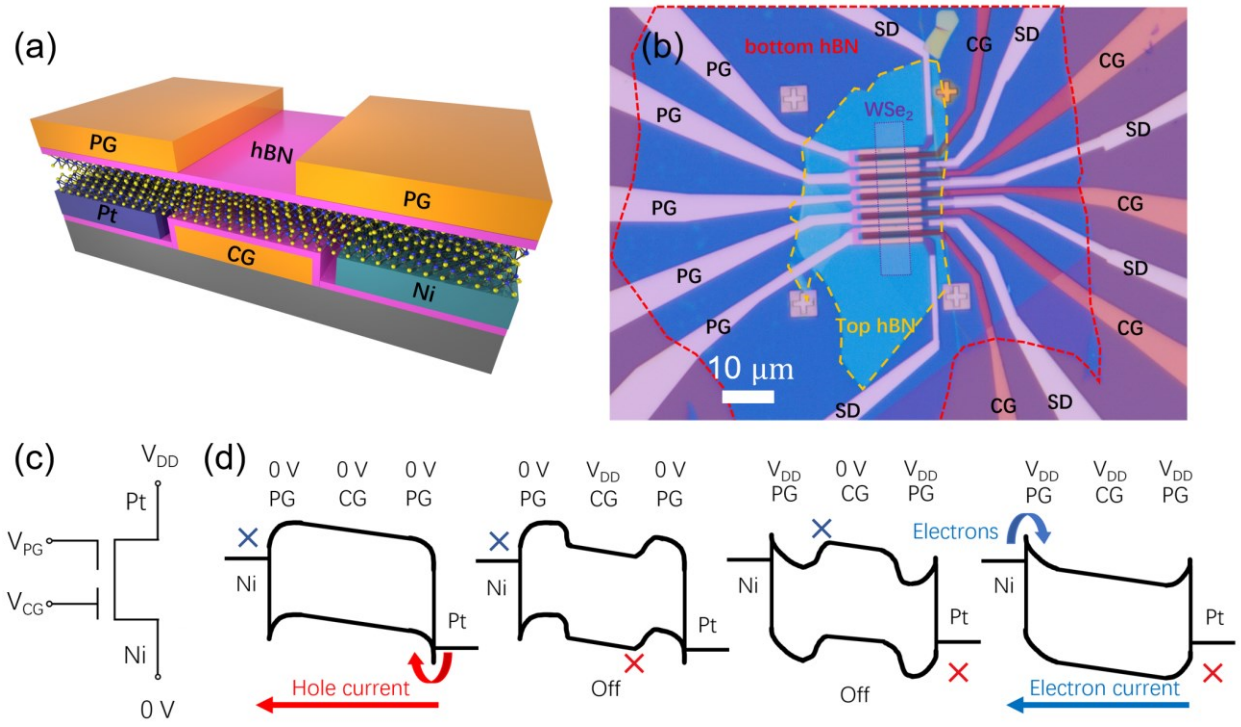


图 1. (a) 双极性双栅二硒化钨$_2$ 薄膜晶体管器件结构示意图：一片厚 4 nm 的二硒化钨薄片经刻蚀后，夹在两层厚 15 nm 的六方氮化硼之间。源极和漏极（SD）接触分别由 15 nm 厚的铂和镍构成（图像非按比例绘制）。控制栅（CG）嵌入底部六方氮化硼中，用于调节沟道中的载流子密度。位于上层六方氮化硼顶部的极性栅（PG），通过接触处的肖特基势垒控制载流子注入。(b) 典型薄膜晶体管器件的光学图像，其沟道长度和宽度分别为 1.8 μm 和 6 μm。图中标出了 SD、PG 和 CG，红线和黄线分别勾勒出底部和顶部六方氮化硼层。矩形框标出经刻蚀的二硒化钨$_2$ 薄片。比例尺表示 10 μm。(c) 本研究所用双极性双栅薄膜晶体管的符号示意图，极性栅位于顶部，控制栅位于底部。(d) 薄膜晶体管的四种工作状态。从左至右：空穴电流导通态、沟道中禁止空穴通过的关断态、沟道中禁止电子通过的关断态，以及电子注入导通态。 注意 Pt 和 Ni 的功函数相对于二硒化钨$_2$ 能带结构所处的位置不同。

图 1d 展示了器件的双栅控制。铂的功函数较高，为 ~6.35 eV，接近 WSe_2, 的价带顶；而镍的功函数较低，为~ 5.0 eV，更接近 WSe_2[30]的导带底。这种差异在示意图中有所体现。当空穴（电子）电流从铂电极流向镍电极时，铂（镍）的高（低）功函数会促进空穴（电子）注入。因此，电子和空穴传导的接触电阻均会降低[31]。补充信息

补充信息 S2 展示了在同一片 WSe_2 薄片上制备的虚设样品的 IV 测试结果，该样品包含纯铂薄膜晶体管、纯镍薄膜晶体管，以及一半为铂、一半为镍的薄膜晶体管。显然，可以观察到 n型和 p型输运的改变。已有充分研究表明，对接触区域的薄膜进行栅控可显著调制接触电阻[32],，如图 1d 中 PG 控制所示。当对 PG 施加负 V_{GS} 时，空穴可以通过铂注入，而电子注入则受到抑制。随后，若也对 CG 施加负 V_{GS}，过量空穴便会被吸引至沟道中，形成空穴电流。然而，若对 CG 施加正或零 V_{GS}，由于沟道中没有过量空穴，电流便会被切断。当对 PG 施加正 V_{GS} 时，情况与此类似，如图 1d 中最后两幅图所示。因此，这四种电阻状态符合异或（XOR）门的真值表：只有当 CG 和 PG 具有相同的逻辑输入时，电阻才较低。这确保了两个栅极在逻辑上相等，这与一些先前设计不同[22]。

展现双栅控制的薄膜晶体管电流-电压特性。在室温下测量了单个双栅薄膜晶体管的电流-电压特性。图 2a 和图 2b 展示了漏极电流 I_{DS} 随控制栅电压 V_{CG} 变化的转移特性曲线，以及其随极性栅电压 V_{PG} 的变化情况，其中 V_{DS} 设为 1 V。在图 2a 中，注意源极位于 Pt 电极处，因此 $V_S = 1\,V$。曲线表明，当 $V_{PG\,S} = V_{PG} - V_S = -1\,V\ to\ -4\,V$时，晶体管表现为纯粹的高性能 p 型晶体管，其开关比高于10^8,，关态电流低至~100 fA，V_T 为 -0.6 V，亚阈值摆幅为 62 mV/dec，十分陡峭，接近室温下的理想值。红色箭头表示扫描方向；得益于六方氮化硼夹层结构提供的原子级平滑、无缺陷界面，滞后可以忽略不计[33]。请注意，为保护器件，控制栅和极性栅电压并未施加至六方氮化硼的极限值，因为

六方氮化硼的安全电压为 ~ 0.4 V/nm[34]。若施加 V_{GS} 为 6 V，预计导通态电流会显著增大。如补充信息 S3 所示，我们器件实现的最高双端口空穴迁移率为 ~ $40 cm^2/(Vs)$，接近室温下少层 WSe_2 的声子散射迁移率极限。低 V_{CG} 下的平坦区域是由极性栅所限制的接触电阻在串联电阻中占主导所致。另一方面，图 2b 所示的 n 型输运相较于此前报道的双极性器件有所改善，但仍有提升空间。器件实现了高于10^6, 的开关比、~300 fA 的关态电流、$_T$ 为 ~ 0.4 V，以及 63 mV/dec 的亚阈值摆幅。尽管其性能足以满足逻辑应用需求，但 n 型导通态电流通常比 p 型电流低 2–10 倍。n 型特性的主要原因是镍-WSe_2接触的肖特基势垒较高，因为镍的功函数仍高于 WSe_2的电子亲和能。未来可采用功函数较低的金属作为接触，以进一步增强 n 型特性。然而，由于这些金属大多容易在空气中氧化，因此必须优化制备工艺。器件的 I_D-V_D 曲线见补充信息 S3。

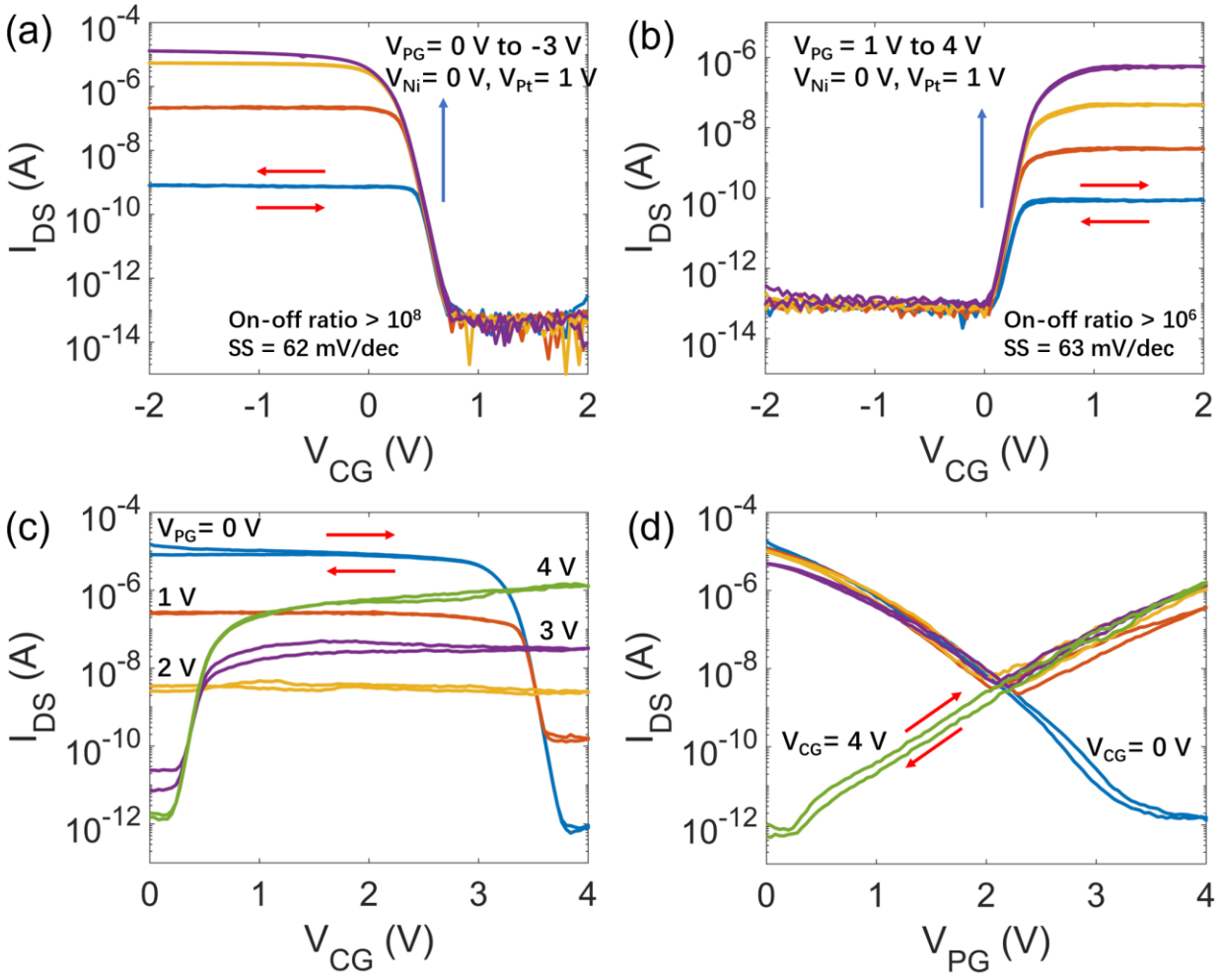


图 2。（a）在 V_{DS} 为 1 V 时，不同负 V_{PG} 值下 I_D 随 V_{CG} 变化的转移特性。注意，对于 p 型薄膜晶体管，V_S 为 1 V。器件实现了超过 10^8，的高开关比、低至 ~ 100 fA 的关态电流、-0.6 V 的 V_T，以及 p 型器件 62 mV/dec 的理想亚阈值摆幅。扫描方向由红色箭头指示，且观察到的滞后可忽略。（b）不同正 V_{PG} 值下 I_D 随 V_{CG} 变化的转移特性。对于 n 型薄膜晶体管，V_S 为 0 V。器件实现了超过 10^6，的开关比、~ 300 fA 的关态电流、0.4 V 的 V_T，以及 63 mV/dec 的陡峭亚阈值摆幅。（c）（d）在 0–4 V 工作电压下、V_{DS} 固定为 4 V 时的转移特性曲线。注意，对于 n 型输运，V_S = 0 V；对于 p 型输运，V_S = 4 V。器件呈现出正确的四态电阻，关态电流为 ~ 1 pA。控制栅和极性栅通过不同机制实现电流调制。这些特性确保了逻辑门的级联能力。

显然，上一节讨论的 V_T 要求已得到有效满足。这可归因于恰当的接触工程、WSe_2，接近零的电荷中性点以及六方氮化硼夹层结构；这些因素对于控制薄膜晶体管的 V_T 至关重要。

尤为重要的是，由于不存在本征掺杂，WSe_2, 的电荷中性点接近 0 V[35]。大多数 TMD 材料（如 MoS_2, ）都存在本征电子掺杂，导致其具有负值的 n 型 V_T ，并工作于耗尽模式[1,36]。这些材料在 $V_{GS} = 0$ V 时无法有效关断，因此不太适合用于级联电路。出于类似原因，以往的研究也需要移动栅极输入电压才能关断晶体管。图 2a 和 2b 表明，可通过极性栅的电压重新配置薄膜晶体管器件，使其形成高性能 p 型或 n 型晶体管。如果极性栅连接至 V_{DD}或 V_{SS}，这些晶体管便可作为极性可重构晶体管运行，并实现理想的栅极控制。

为了确保器件适用于级联逻辑电路，必须考察其在指定工作电压下的性能，此时栅极输入、电源电压和输出均处于相同的电压范围内。本研究采用 0 V 至 4 V 的电压范围。后文将证明，该电路在更低的电压下同样能够工作。图 2c 和 2d 分别展示了 CG 和 PG 的转移特性，分别以 PG 和 CG 电压为函数，并将 V_{DS} 固定为 4 V，以考察逻辑电路中的关态电流，因为电源电压始终降落在处于关断态的晶体管上。所需的性能和电阻状态均得到了明确保持。当 CG 和 PG 均为 4 V（0 V）时，晶体管导通，产生电子（空穴）电流；当 CG 和 PG 处于不同的逻辑输入电平时，晶体管关断，关态电流为 ~ 1pA。对于 CG，由滞后引起的 V_T 偏移仍然较小，而对于 PG，该偏移略大，这是由于 SD 底部接触区域不可避免地缺少六方氮化硼衬底所致。CG 和 PG 转移曲线之间的差异可归因于薄膜晶体管（TFT）的传统栅极与肖特基势垒场效应晶体管（SB-FET）的栅控行为所具有的不同机制。前者可通过晶体管处于饱和区时的长沟道模型进行简单描述，而 PG 栅极则遵循肖特基势垒中的隧穿或热发射机制[37], ，其中电流受到调制。

随势垒高度呈指数变化；对于 n 型（p 型），提高（降低）PG 电压可降低势垒高度。因此，PG 可以在较宽范围内连续调节电阻，且斜率低于 CG。

由 WSe_2 双极性器件制成的可级联逻辑门。随后测试双极性双栅器件在各种逻辑门中的性能，首先从反相器开始。图 3a 和 3b 分别展示了以 PG 和 CG 为输入时反相器的电压传输特性（VTC）。以往大多数研究只分析了以 CG 为输入的反相器（即栅极仅覆盖沟道区域），而我们认为，研究 PG 和 CG 两者的行为对于解释后续所有逻辑门的特性是必要的，尤其是在 PG 电压可变、可用于重新配置晶体管或作为另一个输入时。如图 3a 所示，PG 输入反相器在 V_{DD} 从 4 V 到 2 V 的范围内均能正常工作。在 4 V 时测得的增益为 -26，且随 V_{DD}而降低。由于双极性器件的关态电流较低，在 $V_{DD} = 4$ V 时静态功耗低于 0.48 nW，在 $V_{DD} = 2$ V 时降至 0.12 nW。静态电流略高于图 2 所示的关态电流，主要是由于器件间存在差异。我们反相器的最低静态功耗低于测量仪器的噪声水平，在 $V_{DD} = 4$ V 时小于 0.2 nW，远低于大多数以往研究的结果。值得注意的是，尽管 n型和 p 型导通态电流存在差异，PG 输入配置下的开关阈值 V_M 和噪声容限几乎不受这种不平衡的影响。VTC 的 V_M 定义为 $V_{out} = V_{in}$对应的点；在 $V_{DD} = 4$ V 时，该值为 1.98 V。低电平噪声容限 NM_L 为 $0.47V_{DD}$，高电平噪声容限 NM_H 为 $0.44V_{DD}$，数值相当大。即使 PG 输入接近 V_M，电源的电流也很低。电流测量结果以及有关反相器的更多信息见

补充信息 S4。噪声容限对 p、n 支路电流不平衡不敏感且电流较低，这归因于 PG 对肖特基势垒的独特调制，如图 2d 所示。相比之下，图 3b 所示的 CG 输入配置表现出不同的特性，其工作方式类似于传统 CMOS 反相器。测得的增益较高，为 -48，静态功耗则与 PG 输入反相器接近。然而，V_M 和噪声容限会受到 p 支路和 n 支路电流的显著影响。长沟道器件的 V_M 可按下式计算：

$$V_M = \frac{V_{Tn} + r(V_{DD} + V_{Tp})}{1 + r} \tag{1}$$

这里，$r = \sqrt{\frac{k_p}{k_n}}$、$k_{p、n} = \frac{\mu_p}{L}{}_{、n} C_{ox} W$、$\mu_{p、n}$ 分别表示空穴和电子迁移率，C_{ox} 表示单位面积栅电容，W 和L 分别表示沟道宽度和长度，V_{Tn} 和V_{Tp} 分别表示 n 型和 p 型薄膜晶体管的 V_T。测得 CG 输入反相器中的 V_M 为 2.48 V，r 计算得出为 2.3，表明 p 型与 n 型电流比为 ~ 5，这与图 2c 和 2d 中测得的电流一致。NM_L 为 $0.60V_{DD}$，NM_H 为 $0.34V_{DD}$。通过优化 n 型接触或调整两个晶体管的宽长比，还可以进一步改善这些数值。比较这两种配置时，PG 输入反相器中 V_M 和噪声容限与低功耗（输入更接近 V_M ）之间存在权衡；而 CG 输入反相器则具有更大的增益和更陡的亚阈值摆幅。

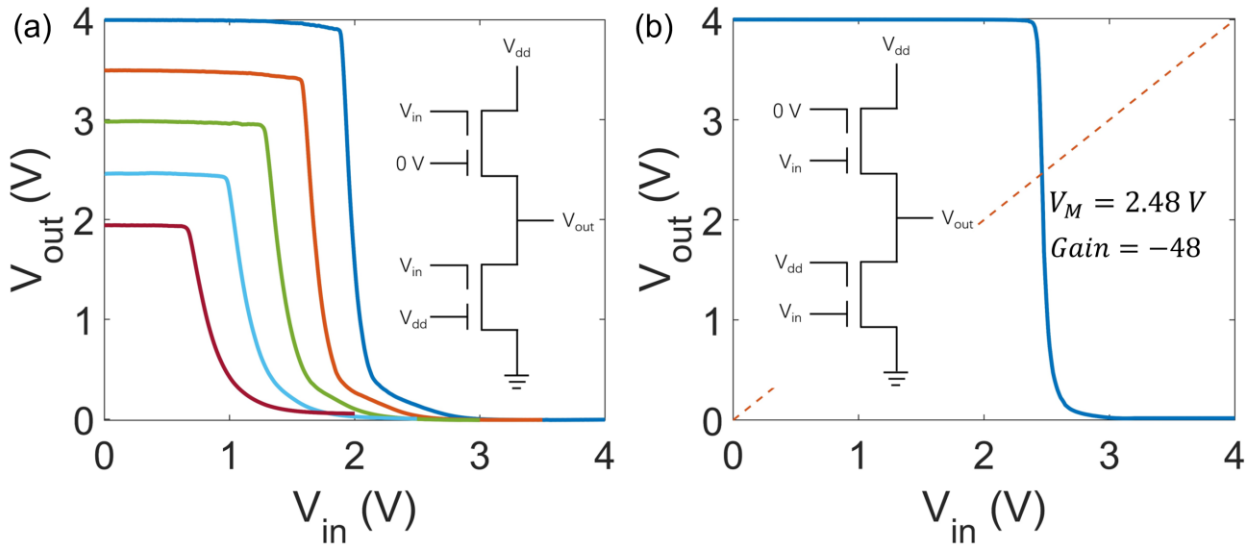


图 3. (a) 反相器以 PG 为输入时，在不同 V_{DD} （从 2 V 到 4 V，颜色由红到蓝）下的 VTC。测得增益为 -26，静态功耗为 < 0.48 nW，V_M = 1.98 V，NM_L = 0。$47V_{DD}$，以及 NM_H = 0。$44V_{DD}$。V_M 和噪声容限表明，该反相器对 n 型和 p 型支路电流的不平衡具有较强的免疫能力。(b) 反相器以 CG 为输入、V_{DD} 为 4 V 时的 VTC，其增益更高，为 -48。V_M 和噪声容限会受到电子电流与空穴电流不平衡的影响。VTC 与表示 $V_{out} = V_{in}$ 的红色虚线的交点表明，V_M 为 2.48 V。

接下来，展示了采用标准上拉网络（PUN）和下拉网络（PDN）构成各种可级联逻辑门的能力。图 4a、b 和 c 展示了由双极性双栅晶体管构成的与非门、或非门和异或门的电路图。与非门和或非门的工作方式与 CMOS 电路类似，而异或门则受益于 CG 和 PG 独立且对称的输入。因此，晶体管数量从 8 个减少到 4 个，与与非门和或非门相同。这使逻辑设计更加灵活，同时减少了晶体管数量和功耗。为展示级联能力，图 4d 示意了由两个级联反相器组成的缓冲器，并对其进行了测试。图 4e 测量了逻辑门和级联缓冲器输入与输出的对应时序图。需要注意的是，所有输入、供电和输出均处于相同的 0–4 V 工作范围内。因此，首次展示了基于二维 TMD 双极性薄膜晶体管的全级联逻辑电路，且静态功耗低

得益于器件的 V_T 控制，功耗得以完美维持。输出电压饱和效果良好，且相对于 0 V 或 V_{DD}几乎没有偏移。部分输出曲线的形状略有失真，且上升/下降时间延长至 ~20 ms，这是由于测量装置的寄生电容较大；据估算，其数值比器件的本征电容高约六个数量级。对于与非门和或非门，若将输入 A 和 B 施加到极性栅，输出几乎相同。关于缓冲器电压传输特性的更多信息，请参见补充信息 S5。

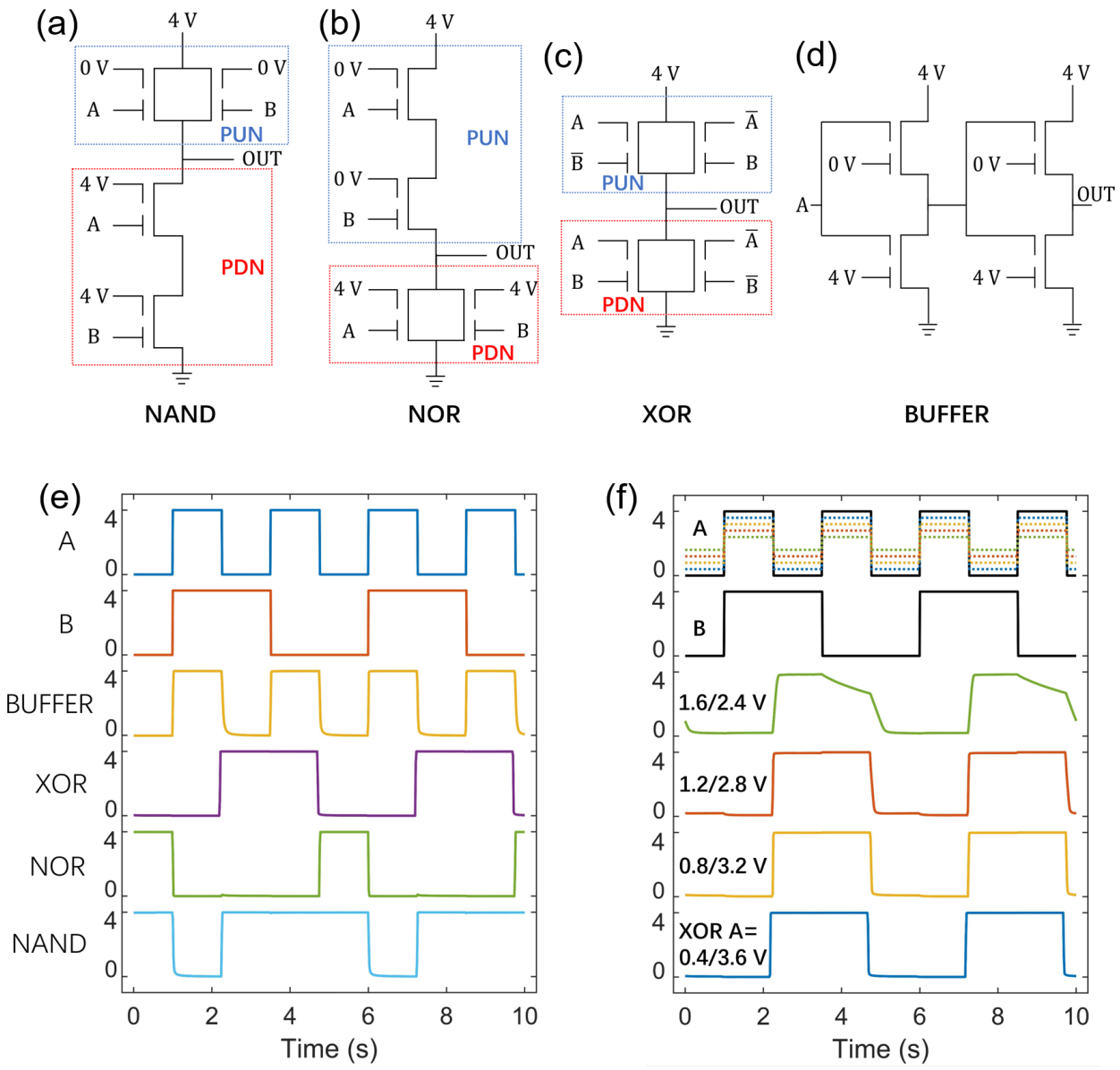


图 4. 使用双极性双栅晶体管构建的 (a) 与非门、(b) 或非门和 (c) 异或门的示意图。上拉网络和下拉网络以圆圈标出。控制栅和极性栅均作为异或门的输入。(d) 使用两个级联反相器构建的缓冲器。 (e) 输入和测量输出信号的时序图。有效实现了输出电压饱和，其偏离 0 V 或 V_{DD}的幅度可忽略不计。请注意，所有输入、电源和输出均在相同的工作电压范围内运行，同时由于器件的 V_T 控制，静态功耗理想地保持较低。该缓冲器展示了逻辑门的级联能力。(f) 四晶体管异或门的输出曲线，其中极性栅输入 (A) 的高、低逻辑电压相对于 0 V 和 V_{DD} 偏移 0 V 至 1.6 V。当输入偏差最大为 ~ 1.6 V 时，仍能保持正确的输出逻辑。

所展示的逻辑门具有出色的抗输入噪声或电压偏移能力，且 CG 输入与 PG 输入表现出不同的特性。图 4f 显示了一个由 4 个晶体管构成的异或门的输出曲线：PG 输入（信号 A）的高、低逻辑电压从 0 V 和 V_{DD} 分别偏移 0 V 至 1.6 V。在输入噪声达到 ~ 1.6 V 之前，输出逻辑均能保持正确，表明其具有较大的噪声容限。随着输入电压偏移增大，下降/上升时间也会增加，这是因为导通态电导降低。补充信息 S6 提供了 CG 输入噪声的类似曲线，其中下降/上升时间基本不受 CG 输入偏移的影响。由于未进行宽长比调节的 CG 输入反相器具有较小的 NM_H，当高电平 CG 输入噪声为 < 0.8 V 时，该逻辑门仍能保持正确输出；采用上述针对 CG 输入反相器的方法，还可进一步改善这一表现。值得注意的是，当 PG 输入电压偏移达到 1.2 V 时，静态功耗并未显著增加，这归因于与 PG 输入反相器类似的 PG 控制特性。这一特性使一种特殊类型的应用成为可能，即“V_T-降压”逻辑门；这种逻辑门以牺牲输出饱和度和速度为代价，提供了更大的灵活性，且所需晶体管数量甚至更少[38]。下一节将讨论这些主题以及速度方面的考量。

V_T压降逻辑门以及双极性双栅薄膜晶体管的定性速度分析。PG 的高噪声容限、通过宽长比调节有望实现的 CG 高噪声容限，以及静态电流不会随 PG 输入噪声增大而显著增加这一事实，使“V_T压降”逻辑门成为可能[38]。图 5a、b 和 c 展示了几种 V_T压降电路，包括 2-TFT 异或门、可重构与非/或门和可重构或非/与门。2-TFT 异或门本质上是 4-TFT 异或门的一半（请注意，为方便测量，此处交换了 A 和 B 输入，但这不会影响输出

）。A 和 B 的时序图与图 4 相同）。图 5b 和 5c 中的电路分别是相同的与非门和或非门，只是原本连接到地或 V_{DD} 的栅极被第三个输入 C 取代。因此，当 C 为逻辑低电平时，该栅极分别充当图 4 中的与非门和或非门。然而，当 C 为逻辑高电平时，它们则分别变为或门和与门。

在传统 CMOS 门中，在下拉网络中使用 p型晶体管，或在上拉网络中使用 n型晶体管毫无意义，因为在输出完全达到逻辑低电平或逻辑高电平之前，这些晶体管就会关断。这是因为 V_{GS} 不再是固定的 $V_G - V_{SS}$ 或 $V_G - V_{DD}$，而是 $V_G - V_{out}$。因此，这些设计无法实现全摆幅、充分饱和的输出，输出反而会相对于 V_{SS} 或 V_{DD}产生电压降。不过，对于双极性双栅器件，可以在 p型和 n型之间可逆切换。在下拉网络中使用 p型晶体管，或在上拉网络中使用 n型晶体管，能够提供更大的灵活性，并进一步减少晶体管数量。对于 2-TFT 异或门，当控制栅和极性栅都为高电平时，上拉网络变为一个单独的 n型晶体管。在稳态下，该晶体管需要接近、但通常小于 V_T的 V_{DS} 电压，才能使晶体管部分导通，从而令其电流等于下拉网络中的关态电流。因此，这种门被称为“V_T降压门”。或门和与门遵循类似原理。图 5d 展示了 4-TFT 异或门、2-TFT 异或门，以及 PG 输入降低 V_T的 2-TFT 异或门的输出。尽管 2-TFT 异或门的输出处于正确的逻辑电平，但当上拉网络的栅极输入为 (4,4)，或下拉网络为 (0,0) 时，输出相对于 V_{DD} 或地会产生 0.3 至 0.4 V 的 V_T降压。顶部的黄色曲线表示将经过 V_T降压的输出级联至第二个 V_T降压级的输入端的情况，说明 V_T降压可能在多个 V_T降压级之间累积。因此，为了将电压上拉或下拉至 V_{DD} 或 0 V，仔细设计逻辑信号流或加入非 V_T降压逻辑门至关重要。

例如图3和图4所示的几个V_T电压降级之间的电路。与非/或门和NOR/AND门的输出曲线示例见补充信息S7，V_T 电压降的估算值见补充信息S8。由于噪声容限较大，且极性栅的关态电流不受输入电压降影响，因此最好将V_T电压降后的输出连接到下一级的极性栅。这样可以提高灵活性、减少薄膜晶体管的数量并降低功耗，但需要增大V_{DD} ，且速度会降低。V_T电压降电路示例见补充信息S9，其中展示了一个由12个晶体管构成的全加器，不到类CMOS逻辑设计所需的28个晶体管的一半。

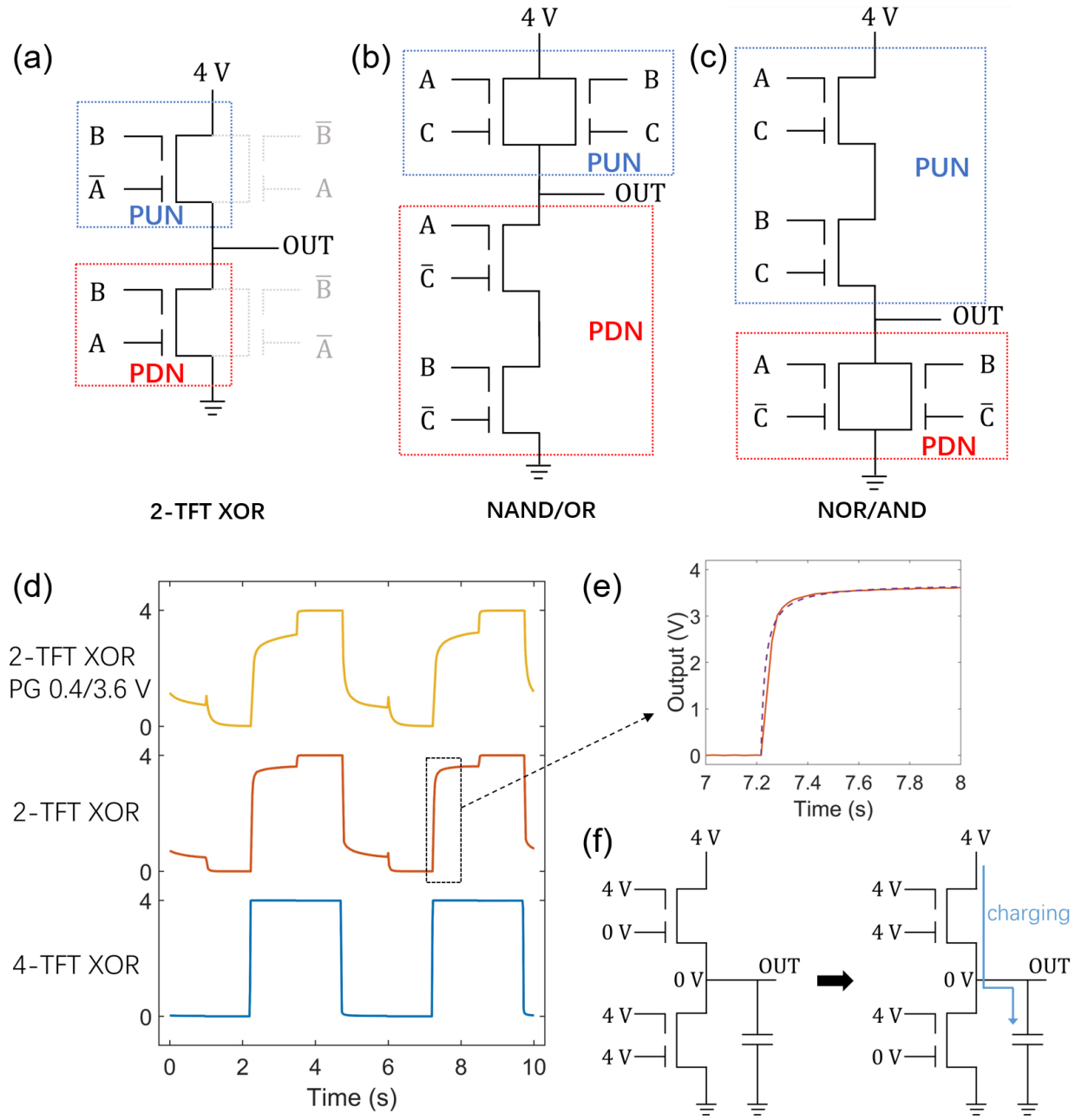


图5. 基于双极性双栅薄膜晶体管的几种 V_T 压降逻辑门电路示意图，包括 (a) 一个 2-TFT 异或门、(b) 一个可重构与非/或门，以及 (c) 一个可重构或非/与门。这些逻辑门以牺牲全摆幅输出电路的 V_T 压降为代价，用更少的晶体管实现更复杂的功能。(d) 全摆幅 4-TFT 异或门、V_T 压降 2-TFT 异或门，以及 PG输入存在 V_T 压降的 2-TFT 异或门的输出。V_T 压降状态是由下拉网络中存在 p 型晶体管或上拉网络中存在 n 型晶体管所致。V_T 压降电路能够正确保持输出逻辑。前级的 V_T 压降输出也可用作下一个 V_T 压降级的输入（最好是 PG输入），但会造成累积的 V_T 压降。因此，必须在若干个 V_T 压降逻辑门之间使用非 V_T 压降逻辑门，将电压拉升或拉低至 VDD 或 0 V。(e) V_T 压降状态上升沿的放大图和拟合曲线，其中虚线表示使用公式（2）得到的拟合曲线，红线表示测量数据。由于通过二极管连接的n型

上拉网络中的型晶体管。(f) 通过二极管连接的 n 型晶体管为寄生电容充电的示意图。

考虑到 V_T压降门的速度性能，如图 5e 所示，当输出从低电平跃变至 $V_{DD}-V_T$，或从高电平跃变至 V_T时，下降/上升沿会发生失真。图 5e 是单个上升沿的放大图。（请注意，本研究中下降/上升时间或传播延迟的精确测量受到测量及互连系统中寄生电容的限制，因此只能对速度性能进行定性分析。）输出起初快速上升，随后波形逐渐失真为曲线，上升速度也逐渐减慢。达到 75% 所需的上升时间为 ~ 60 ms，而达到 90% 所需的时间则显著更长，远慢于典型的非 V_T压降门的上升/下降时间；后者为 ~ 10 至 20 ms（假设寄生电容相等）。图 5f 所示的示意图可以解释这一现象。起初，门处于非 V_T压降状态，输出为 0 V，寄生电容完全放电，如左图所示。随后，当 CG 输入以较短的下降 / 上升时间反转时，瞬时输出仍保持在 0 V，如右图所示。因此，必须通过上拉网络为电容充电，以提高输出电压。这里的上拉网络晶体管实际上是二极管连接的，电容的充电过程随时间 t 可描述为

$$V_{out}=(V_{DD}-V_{Tn})\left(1-\frac{1}{\frac{k_n(V_{DD}-V_{Tn})}{2C}t+1}\right) \tag{2}$$

此处 C 为电容，t 为从上升沿开始计时的时间。因此，输出电压遵循反比例曲线，并在 $t\rightarrow\infty$时趋近于（$V_{DD}-V_{Tn}$）。该方程用于拟合测得的上升沿，拟合曲线绘制于图 5e 中。该二极管-

连接的充电/放电过程广泛应用于其他领域，例如 OLED 显示屏有源矩阵（AM）设计中的内部 V_T 补偿，其中 V_T 值在几十个 μs [39,40]内被编程并存储于电容中。当工作频率升高时，V_T压降电路的充电/放电可能不完全。因此，实际输出电压降可能超过 V_T，应根据具体应用考虑这一速度权衡。

类似的分析也适用于非 V_T 压降逻辑门，以及此前几乎所有涉及双栅器件的研究。如图 2c 和 2d 所示，PG 或任何控制肖特基势垒注入的栅极，其工作方式都不同于仅控制沟道的 CG。在级联电路中，输入下降/上升时间可能与输出下降/上升时间相当。与 CG 输入相比，PG 输入较高的亚阈值摆幅会延长输出的下降/上升时间和传播延迟。值得注意的是，通过减薄 PG 介电层或采用高-κ 2D 介电层[37]，可以进一步改善 PG 的亚阈值摆幅。另一方面，就输入噪声而言，PG 输入具有更强的抗噪能力，同时还能保持较低的静态功耗。

结论

本研究概述了将双极性双栅二维薄膜晶体管用于级联逻辑电路的要求，其中 V_T control 是影响级联能力和节能的关键因素之一。基于六方氮化硼夹层 WSe_2 制成的高性能双极性双栅薄膜晶体管

已完成制备与测试。对于 p 型器件，晶体管的开关比高于 10^8, ，关态电流为 100 fA，亚阈值摆幅为 62 mV/dec；对于 n 型器件，开关比高于 10^6,，关态电流为 300 fA，亚阈值摆幅为 63 mV/dec。通过优化接触、介电环境和栅控，证实这些器件能够构成级联逻辑电路。测试了极性栅输入和控制栅输入反相器配置，增益分别达到 -26 和 -48，且静态功耗极低。随后，展示了标准异或、与非和或非门，以及由两个反相器级联并采用静态类 CMOS 连接构成的缓冲器，并对这些电路的噪声容限进行了全面分析。此外，还介绍并测试了利用器件大噪声容限和低功耗实现的 V_T-降压电路。详细分析了晶体管数量、功耗、设计灵活性、输出摆幅和速度之间的权衡。双极性 WSe_2 薄膜晶体管未来的发展方向十分明确：必须优化 n 型电流，尤其是 n 型接触。通过减小六方氮化硼厚度或采用高-κ 2 D 绝缘体，可以增强极性栅对肖特基势垒的控制。此外，还需缩小器件尺寸，以观察短沟道器件[41]的行为。总之，本研究首次展示了基于双极性过渡金属硫族化合物薄膜晶体管的低功耗、可级联及级联逻辑门，加深了对相关器件及其性能的认识。这是推动此类器件应用于逻辑电路的关键一步。

方法

双极性双栅 WSe_2 薄膜晶体管制造。 对硅衬底进行清洁，其表面覆盖有 285 nm 的 SiO_2 。使用电子束光刻（EBL）和电子束蒸发工艺，定义由 80 nm 铬/金制成的金属焊盘以及粗略/精细对准标记，并进行电子束

光刻（EBL）和电子束蒸发。制备并沉积 15 nm 的铬/金控制栅。样品先进行臭氧紫外（UV）清洗，然后从块体材料中剥离出 15 nm 厚的六方氮化硼薄片，并在氩气手套箱内使用标准 PPC/PDMS干法转移技术将其转移到控制栅上。随后进行 200 °C 高真空退火，以增强六方氮化硼的附着性，并去除胶带残留和气泡。之后分别制备并沉积 15 nm 的钛/钯/铂和 15 nm 的钛/镍接触电极。

将 4 nm 厚的 WSe_2 薄片从块体材料上剥离，并转移到另一片经臭氧紫外线清洁的衬底上。在对薄片进行图案化并使用 CHF_3 和 O_2 热等离子体刻蚀之前，将样品在 200 °C 下退火。目标样品、WSe_2 样品以及带有另一层 15 nm 厚六方氮化硼的样品均进行退火，以去除吸附的 O_2 和水。随后立即将样品置于手套箱中，并使用 PPC/PDMS 进行干法转移，拾取六方氮化硼和 WSe_2 ，并将其放置在晶体管的接触区域上。之后再次进行 200 °C 高真空退火，以去除残留物和气泡。最后，对 30 nm 厚的铬/金进行图案化并沉积，作为极性栅。

单个器件和逻辑电路的电学测试。单个器件的表征使用配备Keysight 4156半导体分析仪的Cascade探针台进行。逻辑电路在定制探针台上进行测试。通过连接探针或在印刷电路板（PCB）上进行引线键合，将器件连接成逻辑电路。测量仪器包括Keithley 2600B、2400和2401源表，以及Keysight 33500B波形发生器。

相关内容

补充信息可在美国化学会出版物网站免费获取。

基于二维材料的双极性可重构逻辑门近期实验工作汇总表；纯铂薄膜晶体管、纯镍薄膜晶体管以及一半为铂、一半为镍的薄膜晶体管的电流-电压特性；双极性双栅器件的其他电流-电压特性；电流测量及有关反相器的更多内容；双反相器缓冲器的电压传输特性；带有 CG 输入电压噪声或偏差的逻辑门的其他输出；NAND/OR门输出曲线示例；V_T压降说明；含12个晶体管的全加器示意图。

作者信息

通讯作者

*电子邮箱：incorvia@austin.utexas.edu

作者贡献

本手稿由所有作者共同撰写。所有作者均已批准手稿的最终版本。X. L. 制备了器件、进行了测量并撰写了手稿。P. Z. 和 X. H. 协助进行了测量。E. R. 协助进行了制造。K. W. 和 T. T. 提供了高质量的六方氮化硼块体材料。J. S. F. 和 D. A. 负责监督。J. A. I. 构思了该项目，主导并监督了相关工作，同时撰写了手稿。

资助来源

作者感谢美国国家科学基金会电气、通信与网络系统部（NSF ECCS）项目（编号 2154285）提供的资助（X. L.、J. A. I），以及 NSF ECCS 项目（编号 2154314）提供的资助（P. Z.、X. H.、J. S. F.）。D. A. 感谢美国空军研究实验室（AFRL）项目（编号 FA9550-21-1- 0460）提供的支持。E. R. 感谢美国国家科学基金会材料动力学与控制中心提供的支持：该中心是 NSF MRSEC 本科生科研体验项目的一部分，依据第 DMR-1720595 号合作协议开展。本研究部分工作在德克萨斯大学微电子研究中心完成。该中心是国家纳米技术协调基础设施（NNCI）的成员，并由美国国家科学基金会（项目编号 ECCS-2025227）提供支持。作者感谢使用由德克萨斯材料研究所和德克萨斯纳米制造设施部分支持的共享研究设施；该设施由 NSF 项目（编号 NNCI-1542159）提供支持。K. W. 和 T. T. 感谢日本学术振兴会科研费（项目编号 20H00354、21H05233 和 23H02052），以及日本文部科学省的世界顶级国际研究中心倡议（WPI）提供的支持。

注释

作者声明不存在任何竞争性经济利益。

致谢

我们感谢 Jaesuk Kwon 博士在电学测量方面提供的建议。我们感谢德克萨斯大学奥斯汀分校的本科生研究体验计划为 E. R. 提供支持。该计划由材料动力学与控制中心支持，该中心是美国国家科学基金会材料研究科学与工程中心。

参考文献

(1) Radisavljevic, B.; Radenovic, A.; Brivio, J.; Giacometti, V.; Kis, A. 单层 MoS_2晶体管。《自然·纳米技术》 2011年, 6 (3), 147–150。

(2) Schwierz, F. 石墨烯晶体管。《自然·纳米技术》 **2010年**，*5*（7），487–496。

（3）Li, L.; Yu, Y.; Ye, G. J.; Ge, Q.; Ou, X.; Wu, H.; Feng, D.; Chen, X. H.; Zhang, Y. 黑磷场效应晶体管。《自然·纳米技术》 **2014年**，*9*（5），372–377。

（4）Zaumseil, J.; Sirringhaus, H. 有机场效应晶体管中的电子输运与双极性输运。《化学评论》 **2007年**，*107*（4），1296–1323。

（5）Zhang, Y.; Wang, Y.; Gao, C.; Ni, Z.; Zhang, X.; Hu, W.; Dong, H. n型和双极性有机半导体及其多功能应用的最新进展。《化学会评论》 **2023年**，*52*（4），1331–1381。

(6) Zhao, Y.; Guo, Y.; Liu, Y. 25周年综述文章：n型及双极性有机场效应晶体管的最新进展。《先进材料》 2013年, 25 (38), 5372–5391.

(7) Chow, W. L.; Yu, P.; Liu, F.; Hong, J.; Wang, X.; Zeng, Q.; Hsu, C. H.; Zhu, C.; Zhou, J.; Wang, X.; Xia, J.; Yan, J.; Chen, Y.; Wu, D.; Yu, T.; Shen, Z.; Lin, H.; Jin, C.; Tay, B. K.; Liu, Z. 具有可调双极性特性的高迁移率二维二硒化钯场效应晶体管。《先进材料》 2017年, 29 (21), 1–8.

(8) Lin, Y. F.; Xu, Y.; Wang, S. T.; Li, S. L.; Yamamoto, M.; Aparecido-Ferreira, A.; Li, W.; Sun, H.; Nakaharai, S.; Jian, W. Bin; Ueno, K.; Tsukagoshi, K. 双极性 $MoTe_2$晶体管及其在逻辑电路中的应用。《先进材料》 2014年, 26 (20), 3263– 3269.

(9) Ren, Y.; Yang, X.; Zhou, L.; Mao, J. Y.; Han, S. T.; Zhou, Y. 功能应用双极性晶体管的最新进展。《先进功能材料》 2019年, 29 (40), 1– 65.

(10) Ben-Jamaa, M. H.; Mohanram, K.; De Micheli, G. 双极性碳纳米管场效应晶体管逻辑的高效门库。《IEEE计算机辅助设计与集成电路系统汇刊》 2011年，30 (2)，242–255。

(11) Zhu, W.; Yogeesh, M. N.; Yang, S.; Aldave, S. H.; Kim, J. S.; Sonde, S.; Tao, L.; Lu, N.; Akinwande, D. 柔性黑磷双极性晶体管、电路和调幅解调器。《纳米快报》 2015年，15 (3)，1883–1890。

(12) Du, Y.; Liu, H.; Deng, Y.; Ye, P. D. 黑磷场效应晶体管的器件视角：接触电阻、双极性行为和尺度缩小。《ACS纳米》2014年，8 (10)，10035–10042。

(13) Heinzig, A.; Slesazeck, S.; Kreupl, F.; Mikolajick, T.; Weber, W. M. 可重构硅纳米线晶体管. 《纳米快报》 **2012年**, *12* (1), 119–124.

(14) Beddiar, M. I.; Zhang, X.; Liu, B.; Zhang, Z.; Zhang, Y. 超薄二维半导体中的双极性向单极性转换。《小型结构》 2022年, 3 (12), 2200125.

(15) Yi, J.; Sun, X.; Zhu, C.; Li, S.; Liu, Y.; Zhu, X.; You, W.; Liang, D.; Shuai, Q.; Wu, Y.; Li, D.; Pan, A. 用于多功能逻辑电路、阈值电压可全范围调节的双栅 MoS_2 场效应晶体管。《先进材料》 **2021年**，*33* (27), 1–8.

(16) Hu, X.; Abraham, A. S.; Incorvia, J. A. C.; Friedman, J. S. 采用双极性晶体管的混合通路晶体管逻辑。*IEEE* 电路与系统汇刊 *I*：正规论文 **2021年**，*68* (1), 301– 310.

(17) Kenarangi, F.; Hu, X.; Liu, Y.; Incorvia, J. A. C.; Friedman, J. S.; Partin-Vaisband, I. 利用双栅双极性碳纳米管场效应晶体管实现可扩展的机器学习分类。科学报告 **2020**, *10* (1), 1–10.

（18）Yu, M.; Wan, H.; Cai, L.; Miao, J.; Zhang, S.; Wang, C. 全印刷柔性双栅碳纳米管薄膜晶体管：具有可调双极性特性，适用于互补逻辑电路。《ACS纳米》 2018，12（11），11572–11578。

(19) Wu, P.; Reis, D.; Hu, X. S.; Appenzeller, J. 用于安全电路的具有可重构极性的二维晶体管。《自然·电子学》 **2021年**, *4* (1), 45–53.

(20) Resta, G. V.; Sutar, S.; Balaji, Y.; Lin, D.; Raghavan, P.; Radu, I.; Catthoor, F.; Thean, A.; Gaillardon, P. E.; De Micheli, G. WSe_2 双栅晶体管的极性控制。《科学报告》 **2016**，*6*（7月），1–6。

(21) Resta, G. V.; Balaji, Y.; Lin, D.; Radu, I. P.; Catthoor, F.; Gaillardon, P. E.; De Micheli, G. 双维极性可控晶体管实现的无掺杂互补逻辑门。《*ACS*纳米》 **2018**，*12*（7），7039–7047。

(22) Pan, C.; Wang, C. Y.; Liang, S. J.; Wang, Y.; Cao, T.; Wang, P.; Wang, C.; Wang, S.; Cheng, B.; Gao, A.; Liu, E.; Watanabe, K.; Taniguchi, T.; Miao, F. 基于电调二维同质结的可重构逻辑与神经形态电路。《自然·电子学》 《自然·电子学》 **2020**, *3* (7), 383–390.

(23) Zimmermann, R.; Fichtner, W. 低功耗逻辑风格：CMOS 与传输晶体管逻辑。*IEEE*固态电路杂志 **1997**, *32* (7), 1079–1090.

(24) Wang, Y.; Chhowalla, M. 在二维过渡金属二硫属化物上制备洁净电接触。《自然评论：物理》 2022年, 4 (2), 101–112.

(25) Lin, D.; Wu, X.; Cott, D.; Verreck, D.; Groven, B.; Sergeant, S.; Smets, Q.; Sutar, S.; Asselberghs, I.; Radu, I. 具有 120 μS / μm 跨导、2.7μF/cm² 电容和双极性沟道的双栅合成 WS_2 MOSFET。《IEEE国际电子器件会议》 2022年, 3.6.1-3.6.4.

(26) Durán Retamal, J. R.; Periyanagounder, D.; Ke, J. J.; Tsai, M. L.; He, J. H. 二维过渡金属二硫属化物中的电荷载流子注入与输运工程。《化学科学》 2018, 9 (40), 7727–7745.

(27) Zhao, Y.; Xu, K.; Pan, F.; Zhou, C.; Zhou, F.; Chai, Y. 二维层状过渡金属二硫属化物晶体管的掺杂、接触与界面工程。《先进功能材料》 **2017年**，*27*（19）。

(28) Das, S.; Sebastian, A.; Pop, E.; McClellan, C. J.; Franklin, A. D.; Grasser, T.; Knobloch, T.; Illarionov, Y.; Penumatcha, A. V.; Appenzeller, J.; Chen, Z.; Zhu, W.; Asselberghs, I.; Li, L. J.; Avci, U. E.; Bhat, N.; Anthopoulos, T. D.; Singh, R. 基于二维材料的晶体管：面向未来集成电路。《自然·电子学》 **2021年**, *4* (11), 786– 799.

(29) Kim, B. K.; Kim, T. H.; Choi, D. H.; Kim, H.; Watanabe, K.; Taniguchi, T.; Rho, H.; Kim, J. J.; Kim, Y. H.; Bae, M. H. 铟与 MoS_2 之间真正欧姆范德华接触的起源。*npj 2D Mater. Appl.* **2021年**，*5* (1), 1–10.

(30) Zhou, C.; Zhao, Y.; Raju, S.; Wang, Y.; Lin, Z.; Chan, M.; Chai, Y. 通过厚度调控和 MoO_3 层掺杂实现二硒化钨场效应晶体管的载流子类型控制。《先进功能材料》 **2016,** *26* (23), 4223–4230。

(31) Das, S.; Appenzeller, J. 二硒化钨场效应晶体管，具有增强的双极性特性。应用物理快报 **2013年**，*103* (10).

(32) Field-e, W.; Taniguchi, T.; Watanabe, K.; Tutuc, E.; Banerjee, S. K. 双栅结构中的高迁移率空穴. **2015年**, 第10期, 10402–10410.

(33) Illarionov, Y. Y.; Waltl, M.; Bartolomeo, A. Di; Genovese, L.; Illarionov, Y. Y.; Rzepa, G.; Waltl, M.; Knobloch, T.; Grill, A. 电荷俘获在 MoS_2 / SiO_2 和 MoS_2 / 六方氮化硼场效应晶体管中的作用。*2D Mater.* **2016**, *3*, 1–10.

(34) Hattori, Y.; Taniguchi, T.; Watanabe, K.; Nagashio, K. 六方氮化硼的逐层介电击穿。《ACS纳米》 2015年, 9 (1), 916–921.

(35) Li, X.; Liu, Z.; Liu, Y.; Karki, S.; Li, X.; Akinwande, D.; Incorvia, J. A. C. 单层 WSe_2 晶体管中自旋和谷霍尔效应的全电学控制及温度依赖性。*ACS* 应用电子材料 **2022年**，*4* (8), 3930–3937.

(36) Wang, H.; Yu, L.; Lee, Y. H.; Shi, Y.; Hsu, A.; Chin, M. L.; Li, L. J.; Dubey, M.; Kong, J.; Palacios, T. 基于双层 MoS_2 晶体管的集成电路。《纳米快报》 **2012年**，*12* (9), 4674–4680.

(37) Tian, H.; Tan, Z.; Wu, C.; Wang, X.; Mohammad, M. A.; Xie, D.; Yang, Y.; Wang, J.; Li, L. J.; Xu, J.; Ren, T. L. 基于石墨烯-MoS_2 异质结的新型场效应肖特基势垒晶体管。 科学报告 **2014年**, *4*, 1–9.

(38) Friedman, J. S.; Geier, M. L.; Hersam, M. C.; Sahakian, A. V. 互补阈值压降双极性碳纳米管逻辑系统与方法，2020 年。

(39) Chang, T. K.; Lin, C. W.; Chang, S. 用于 AMOLED 的 LTPO 薄膜晶体管技术。*SID* 国际研讨会技术论文集 **2019年**，*50*（第 1 册），545–548。

(40) Yonebayashi, R.; Tanaka, K.; Okada, K.; Yamamoto, K.; Yamamoto, K.; Uchida, S.; Aoki, T.; Takeda, Y.; Furukawa, H.; Ito, K.; Katoh, H.; Nakamura, W. 采用顶栅 n 型氧化物和 p 型低温多晶硅薄膜晶体管的高刷新率、低功耗 AMOLED 面板。《*J. Soc. Inf. Disp.*》 **2020**，*28* (4)，350–359。

(41) Resta, G. V.; Agarwal, T.; Lin, D.; Radu, I. P.; Catthoor, F.; Gaillardon, P. E.; De Micheli, G. 二维极性可控场效应晶体管的尺度缩小趋势与性能评估。《*Sci. Rep.*》 **2017年**，*7*，1–9。