arXiv:2305.01818v1 [cs.ET] 2 May 2023

专题会议：从传统互补金属氧化物半导体到新兴技术的神经形态硬件设计与可靠性

Fabio Pavanello[1], Elena Ioana Vatajelu[2], Alberto Bosio[1],Thomas Van Vaerenbergh[3],Peter Bienstman[4], Benoit Charbonnier[5], Alessio Carpegna[6],Stefano Di Carlo[6],Alessandro Savino[6]1里昂大学、里昂中央理工学院、里昂国立应用科学学院、里昂第一克洛德·贝尔纳大学、里昂化学物理电子学院、法国国家科学研究中心、纳米技术研究所 ´格勒诺布尔-阿尔卑斯大学、法国国家科学研究中心、格勒诺布尔综合理工学院、微电子技术与体系结构实验室，法国格勒诺布尔，邮编38000[3]惠普实验室、HPE比利时，比利时迪赫姆，B-1831 [4]根特大学 - imec，比利时根特[5]法国原子能和替代能源委员会电子与信息技术实验室，法国格勒诺布尔[6]都灵理工大学，控制与计算机工程系，意大利都灵

摘要—近年来，神经形态计算领域发展迅速，研究重点日益转向硬件设计与可靠性。本文作为专题会议论文，概述了神经形态计算的最新进展，重点关注硬件设计与可靠性。我们首先回顾基于传统互补金属氧化物半导体的神经形态硬件设计方法，并指出其在可扩展性、延迟和功耗方面面临的挑战。随后，我们探讨基于新兴技术的替代方法，尤其是 NEUROPULS 项目中的集成光子学方法。最后，我们考察器件变异性和老化对神经形态硬件可靠性的影响，并介绍减轻这些影响的技术。本文旨在为神经形态计算领域的研究人员和从业者提供有价值的参考。

索引词—**增强型硅光子学，神经形态硬件，人工神经网络，脉冲神经网络，可靠性，相变材料**

I. 引言

人工神经网络（ANN）能够执行复杂计算，但训练和推理都需要大量计算资源 [1]。这类网络的主要瓶颈在于，为支持不同任务而传输大量数据。然而，计算领域正逐渐转向边缘设备，例如物联网（IoT），以提高安全性并降低功耗和延迟 [2]。此外，多个领域对强大且节能的加速器需求日益增长，包括微处理器中的故障检测 [3] 和入侵检测系统 [4]。

人工神经网络的设计空间十分广阔，涉及四个基本方面的选择：神经元模型、架构结构、信息编码和训练方法[5]。这些选择会显著影响硬件设计和优化过程。卷积神经网络（CNN）、深度神经网络（DNN）和脉冲神经网络（SNN）是三种常见的人工神经网络，各自具有独特的特点和应用。

卷积神经网络常用于图像识别和处理任务，并依靠卷积层从输入图像中提取空间特征 [6]。另一方面，深度神经网络应用广泛，涵盖从语音识别到自然语言处理和游戏对弈等领域[7]。深度神经网络的特点是由多层神经元构成，能够从输入数据中学习越来越抽象的特征。

传统计算架构的局限性，尤其是存储器与处理器之间的通信瓶颈，以及信息传播和处理的延迟，凸显了采用人工神经网络替代方案的必要性。虽然人工神经网络的软件方法在图形处理器（GPU）等专用硬件上实现时具有优势，但这些局限性依然存在 [8]。

受生物大脑行为的启发，脉冲神经网络作为新一代人工神经网络应运而生，通过脉冲交换信息 [9]。这使计算效率更高、功耗更低；在处理音频、视频和电信号等时间序列时，这一特性尤为重要 [10], [11]。模型的复杂度和内部参数决定了模型对输入数据的适用性：较短的时间常数可检测较短的时间相关性，而较大的时间常数则能捕捉持续时间更长的时间效应。

最终，在设计整个系统时，人工神经网络的韧性至关重要，不容忽视 [12],[13]。从生物学中汲取灵感，人脑天生就能抵御故障和失效。人脑每天会损失约 50000 个神经元，但仍能执行复杂任务、学习新任务，并在剩余神经元之间建立连接。人工神经网络在一定程度上继承了这一特性，但

本项目获得了欧盟“地平线欧洲”研究与创新计划资助，资助协议编号为 101070238。文中表达的观点和意见仅代表作者，不一定反映欧盟的观点。欧盟及其资助机构均不对此承担责任。本项目还获得了法国国家研究署 EMINENT项目（ANR-19-CE24-0001）的部分资助

979-8-3503-4630-5/23/$31.00 ©2023 IEEE

在任务关键型和安全关键型应用中，人工神经网络仍需大幅提升。因此，有必要从这一角度对人工神经网络进行更深入的研究。

神经形态计算在神经元和突触中融合存储与处理单元，并使计算架构更贴近人工神经网络（NN）模型，为解决传统计算架构的局限性提供了一种很有前景的方案 [14]。为开发神经形态硬件，研究人员已探索多种技术，包括互补金属氧化物半导体、忆阻器以及光电子学／全光方案。本文概述了这些方案，并重点介绍其优势与局限性。第 II 节介绍人工神经网络的背景；第 III 节讨论人工神经网络数字实现版本的设计与性能，重点关注脉冲神经网络；第 IV 节探讨硅光子学在人工神经网络中的潜力；第 V 节则介绍人工神经网络应用中的可靠性挑战。

II. 背景

神经元模型、架构结构、信息编码和训练方法的选择，会显著影响每种人工神经网络的硬件设计与优化过程。因此，在设计和实现人工神经网络硬件时，必须仔细考虑这些方面。

卷积神经网络和深度神经网络使用不同的神经元模型。在卷积神经网络中，神经元模型通常基于修正线性单元（ReLU）函数，这是一种深度学习中常用的非线性激活函数。ReLU函数简单且计算效率高，因此成为卷积神经网络的常用选择。ReLU函数为 $f(x) = \max(0, x)$，其中 x是神经元的输入。当输入为负时，ReLU函数的输出为零；当输入为正时，输出等于输入。ReLU函数能够有效减少深度神经网络中的过拟合，并已应用于各种计算机视觉任务，例如目标检测和识别 [15]。

在深度神经网络中，神经元模型通常基于非线性激活函数。Sigmoid函数定义为$f(x) = \frac{1}{1+e^{-x}}$，其中 x 是神经元的输入，是最简单的函数之一。Sigmoid函数的输出介于0和1之间，因此适用于分类等任务。深度神经网络中的另一种常用激活函数是双曲正切函数（tanh），它与Sigmoid函数相似，但输出值介于-1和1之间。激活函数的选择取决于具体任务和神经网络的架构。例如，Sigmoid函数和双曲正切函数曾广泛用于早期的深度神经网络架构，例如多层感知器（MLP） [16] ，但在较新的架构中已基本被ReLU函数取代。不过，Sigmoid函数和双曲正切函数仍用于某些神经网络，例如循环神经网络（RNN）和自编码器 [17]。

最先进的卷积神经网络和深度神经网络实现通常在软件中或采用基于模型的方法时使用 32 位浮点数。然而，由于数据需求庞大、能耗高且内存带宽需求大，在硬件中实现这类算法颇具挑战。为应对这些挑战，人们探索了量化和正则化技术，采用 16 位、8 位或更低精度的定点计算。尽管这些方法降低了突触权重和层间信号的精度，IBM 的 TrueNorth [18] 芯片仅使用五种突触状态便达到了可接受的精度，但设计成本和能耗较高 [19], [20]。

对于脉冲神经网络，神经元模型和架构最为复杂，难以实现，原因在于它们所承载的信息的性质及其处理方式。许多不同的数学模型用于描述和模拟生物神经元的行为，例如 Hodgkin-Huxley模型 [21],Izhikevich模型 [22],漏积分发放（LIF）模型 [23],和积分发放（IF）模型 [24]。这些模型从非常复杂、细致的模型，到简单得多、更适用于机器学习和硬件应用的模型不等，在生物合理性和计算效率方面也各有不同。

脉冲神经网络中的神经元通常被视为漏积分器：输入脉冲经过相应突触加权后，随时间累积并影响神经元状态，通常表现为细胞膜两侧的电势。除 IF 模型外，神经元细胞膜会因内部电荷泄漏而发生去极化；在 IF 模型中，膜电位则保持恒定。当膜电位超过特定阈值时，便会产生新的脉冲，使神经元发放，随后电势骤降至复位状态。

脉冲神经网络的架构也可以非常灵活。文献中报道了全连接前馈脉冲神经网络 [25], 、规则循环结构 [10] 或随机循环架构 [26], , 例如用于储备池计算（RC）。网络可以仅包含权重为正的兴奋性连接，也可以加入权重为负的抑制性连接 [25], ；更精细的模型则会将兴奋性神经元和抑制性神经元分开，这与人脑某些区域的情况相符。

储备池计算是一种高效技术：随机初始化的循环神经网络只需训练各节点信号的线性组合。该技术在包括光子学在内的各种应用中都展现出良好前景 [27]。研究人员利用光子学探索了不同的储备池计算架构，例如空分复用和时分复用。空分复用需要在物理上分隔各个节点，而时分复用则要求更快的采样速度，并需要对读出层进行更复杂的处理。

输入编码的选择会显著影响卷积神经网络或深度神经网络的性能。通常需要仔细考虑并进行实验，才能确定适合给定任务的最佳编码。选择输入编码时需要考虑的因素包括输入数据的性质和复杂度、可用的计算资源以及应用的性能要求。

卷积神经网络最常见的输入编码是原始像素

数值，其中图像中的每个像素都表示为一个数值。相比之下，对于处理非图像数据的深度神经网络，输入编码可能涉及特征工程技术，例如将原始输入数据转换为一组有意义的特征，使其更适合网络学习 [15]。例如，在自然语言处理中，输入编码可能涉及将文本转换为数值表示形式，例如词袋模型或词嵌入。

由于其特性，脉冲神经网络需要更先进的方法来编码和解读信息。主要方法包括频率编码 [28],时间编码 [29], 群体排序编码 [30]。频率编码使用平均脉冲频率来编码信息，适用于静态输入数据。它在脉冲活动方面效率较低，但抗噪性更强。时间编码通过脉冲的精确到达时间或脉冲之间的相对距离来编码信息，处理信息所需的脉冲更少，适用于编码随时间变化的信号。然而，它对噪声更敏感。群体排序编码利用一组神经元的联合活动来处理信息。

训练方法旨在优化模型参数，以最小化卷积神经网络和深度神经网络的给定损失函数。在监督学习中，这包括迭代调整网络的权重和偏置，以减小预测输出与真实标签之间的差异。优化通常使用梯度下降方法，通过计算损失函数相对于模型参数的梯度，并沿负梯度方向更新参数来实现。常用的梯度下降方法包括随机梯度下降（SGD） [31], AdaGrad [32],等。

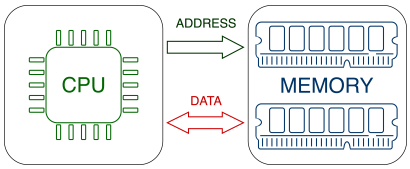
Dropout [33], 等正则化技术常用于防止过拟合并提升泛化能力。此外，还会采用翻转、旋转和裁剪输入图像等数据增强方法，以扩大训练数据集并提升模型的鲁棒性 [34]。

无监督学习方法，例如自动编码器 [17]和受限玻尔兹曼机 [35],，也可用于预训练模型参数。还可以采用迁移学习方法，将预训练网络在具有相似或相关特征的新数据集上进行微调 [36]。最后，也可以使用强化学习来训练卷积神经网络和深度神经网络，让模型根据奖励信号学习采取行动，例如游戏智能体 [37]。

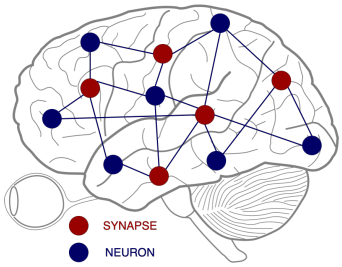
由于神经元的阈值函数不可微，训练脉冲神经网络颇具挑战。经典的反向传播方法无法直接应用，但人们已开发出多种方法，包括有监督训练和无监督训练。在有监督训练中，最常见的方法是将人工神经网络转换为脉冲神经网络：先通过反向传播训练人工神经网络中可微的非线性函数，再将其权重直接用于脉冲神经网络。另一种方法是直接对脉冲神经网络应用通过时间的反向传播（BPTT），在这种方法中，反向传播过程中会用可微函数替代神经元的阈值函数，以提供替代梯度。相比之下，受生物学启发，大多数无监督方法会根据输入与输出之间的相对脉冲时序在局部更新权重，而不依赖于在整个网络中传播的全局误差信号，因此存储器占用和计算开销更低。其中，尖峰时序依赖可塑性（STDP）是最常见的方法 [38]。

III. 数字加速器

如前所述，人工神经网络的架构与脉冲神经网络的架构类似，通常由许多相互独立的神经元组成，因此天然具有很强的并行性。这与常见的基于CPU的计算方式并不匹配，因为其并行能力仅限于几十个性能强大的核心。因此，人工神经网络和脉冲神经网络领域的一项重要研究方向是利用计算平台加速此类算法，使其运行效率更高。其目标是将这些算法推广到更多应用场景，例如对性能、功耗或实时性有要求的任务。



（a）经典冯·诺依曼计算方-式



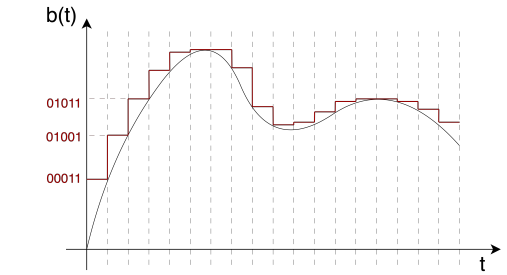
（b）神经网络的计算与存储器共置

在讨论数字域中的加速时，不同解决方案在优化程度、效率和成本方面各不相同。第一种方法已经成为许多人工神经网络模型的主流，即利用 GPU 等通用硬件加速器所提供的计算并行性。对于脉冲神经网络，有多个软件框架原生支持将代码部署到 GPU 上，例如基于 *pyTorch* 的框架，包括 *snnTorch* [39]和 *spikeTorch*，以及采用 CUDA 加速的 C++ 框架，例如 *SLAYER* [40] 和 CARLsim 4 [41]。

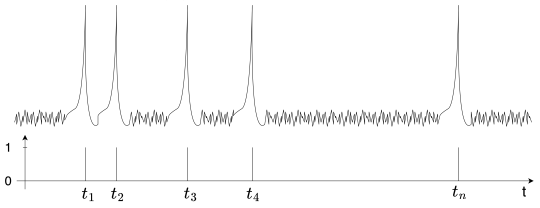
然而，脉冲神经网络有许多特性并不适合在 GPU 上执行。例如，脉冲在数字域中可以表示为单比特事件（有脉冲时为高电平，否则为低电平）。GPU 使用的数值表示

基于 8、16、32、64 位或类似位宽的字，因此效率低下。此外，计算可以基于事件进行：神经元只会在有输入脉冲激活时作出响应，否则保持静息状态。这种更新策略可以利用脉冲神经网络中典型的脉冲稀疏性，大幅降低开关功耗，但 GPU 同样不支持这种策略。

这种不兼容性促使人们开发专用硬件加速器，专门用于支持脉冲神经网络的特性。有趣的是，与其他人工神经网络模型相比，脉冲神经网络本质上更适合用于开发这类加速器。主要原因同样在于脉冲神经网络的信息编码方式：在数字域中，信息对应于单比特信号。这大幅降低了互连和存储器需求。



（a）多比特数字编码



（b）脉冲信息编码

设计硬件加速器时，有两种实现途径：固定硬件或可重构硬件。前者是专用集成电路（ASIC），能够高效地执行专门设计用于完成的特定任务，但无法胜任其他任务。另一方面，专用硬件平台可以多次重新配置，从而实现灵活的架构。现场可编程门阵列（FPGA）便是这类硬件的典型代表。两者之间的选择很大程度上取决于应用类型和约束条件。通常，设计人员在开发专用集成电路时会尽可能集成多种功能，因为硬件一经制成便无法更改。

各家公司和大学都在投资开发可编程芯片，以实现大规模脉冲神经网络的快速仿真。其中，最早的尝试之一是 SpiNNaker [42]。SpiNNaker 的设计理念是采用经典的 CMOS 架构，尤其是 ARM968 RISC 处理器，来模拟神经元的动态特性，并优化神经元之间的路由，以完美适配基于脉冲的通信。为此，该系统采用了一种专门的通信协议，即地址事件表示法（AER）。该协议专为神经形态电路设计，在这类电路中，脉冲通过产生该脉冲的神经元 ID 及相应的生成时间戳来表示。IBM TrueNorth [18] 是一款完全定制的专用集成电路，采用 28 nm CMOS 技术制造。同样，其神经元采用标准 CMOS 数字门电路，但通信方式是异步的。Intel Loihi [43] 采用了介于前两者之间的混合方案。它包含 128 个定制芯片，实现了 1024 个 LIF 基元。定制的互连网格针对脉冲神经元之间典型的稀疏通信进行了优化。此外，Loihi 还集成了专用组件，可直接在芯片上执行学习。它提供了一组可配置参数，以支持不同的局部学习规则，从基本的尖峰时序依赖可塑性（STDP）到更复杂的方案。最后，Tianjic [44] 是一款混合型人工神经网络/脉冲神经网络加速器，其各个核心之间采用了定制互连。

在专用集成电路领域，值得一提的是 ODIN [45]，，这是一个采用 28 nm 全耗尽绝缘体上硅（FDSOI）互补金属氧化物半导体技术实现的小型网络，面向低功耗应用。神经元可配置为实现 LIF 模型，或 20 种可能的 Izhikevich 行为之一。神经元之间的脉冲仍通过 AER 协议进行路由。

表 I 从面积和能效方面对加速器进行比较，能效以每瓦特十亿突触运算（GSOPS）表示。更详细的比较请参见 [46]。

表 I：专用集成电路比较表 [46]

设计	[42]	[18]	[43]	[44]	[45]
神经元数量	18k	1M	128k	39k	256
突触数量	18M	256M	128M	9.75M	64k
面积（mm^2）	88.4	413	60	14.4	0.086
工艺（nm）	130	28	14	28	65
能量（GSOPS/W）	0.033	400	-	649	78.7

设计脉冲神经网络加速器的最后一种方法，是面向可重构硬件平台（如现场可编程门阵列）进行设计。现场可编程门阵列可以承载不同的加速器，这也是许多嵌入式平台开始将其纳入其中的原因。其次，在线可重构性允许系统运行时修改硬件。这样可以在系统部署后添加加速器，在不再需要时将其移除，并修改其功能。

以脉冲神经网络为例，如有需要，可以修改网络架构以适配另一组数据。最后，部分可重构性可以为特定加速器添加或移除功能。例如，可以根据需要启用或停用在线学习，同时启用或禁用相应电路，并以物理方式添加或移除所需硬件部件，从而确保架构最适合所需应用。这正是 [25]，背后的理念：作者开始设计一种微型硬件加速器，使其能够与采用漏积分发放神经元模型的其他组件一同部署在现场可编程门阵列上。

接下来，可以实现第一层可重构性，使加速器在多个方面可编程，例如权重和阈值。然后，通过便于修改硬连线网络的超参数，进一步增加一层灵活性——

表 II：现场可编程门阵列对比表 [47]

设计	[48]	[49]	[50]	[47]	[25]
时钟频率（MHz）	75	120	25	100	100
数据格式	16 位定点	8 位定点	32 位定点	16 位浮点	16 位定点
计算方案	事件驱动	时钟驱动	事件驱动	自适应时钟/事件驱动	时钟驱动
神经元模型	LIF	LIF	LIF	LIF	LIF
FPGA平台	Spartan 6	Virtex 6	Spartan 6	Virtex 7	Artix 7
神经元	1794	1591	1794	1094	1384
突触	647000	638208	647000	177800	313600
Task	MNIST	MNIST	MNIST	MNIST	MNIST
计算时间	$0.53s$/图像	$8.40s$/图像	$0.16s$/图像	$3.15ms$/图像	$215\mu s$/图像
计算时间 @100MHz	$0.40s$/图像	$10.08s$/图像	$40.00ms$/图像	$3.15ms$/图像	$215\mu s$/图像
能量	$0.80J$/图像	$1.12J$/图像	未报告	$5.04mJ$/图像	$13mJ$/图像
能量/突触	$1.2\mu J$/突触	$1.76\mu J$/突触	未报告	$0.028\mu J$/突触	$0.041\mu J$/突触

例如细胞膜时间常数、网络架构、内部位宽等。其他一些研究则致力于更标准但仍可配置的实现，例如 [48], [49], [50], [47]。表 II 对比了不同的加速器。更多详情请参见 [47]。

总的来说，数字加速器有助于大幅提高脉冲神经网络的执行效率。CMOS 技术已有数十年历史，如今已得到广泛应用，成本低廉且经过高度优化。然而，数字器件的内在行为与生物组件所呈现的特性相去甚远，其响应时间和功耗仍是负担。增强型硅光子学平台能够以更高效的解决方案涵盖设计的大部分方面。

IV. 增强型硅光子平台

集成光子学是用于构建神经形态硬件的关键技术之一 [51]–[54]。特别是，基于硅光子学的光子神经网络（ PNNs）已被广泛研究，用于开发轻量级、低延迟、高速且功耗极低的计算硬件 [54]–[57]。

这些特性源于光操控与传播的内在性质，以及当前集成光子平台所能提供的能力。例如，可以利用不同频率的光，将不同数据流分别编码到各个频率上，然后进行并行处理，从而提高计算密度 [53]。这类波长复用方法有助于提高架构的并行化程度。在广播与权重协议中正是利用了这一关键特性：每个频率通道在求和之前（针对每一层）都会被分配一个特定权重，例如可通过光电探测器将其汇总 [58]。在这种方法中，环形谐振器是实现不同频率信号复用（滤波）与加权的关键器件 [54]。

事实上，光子学方法能够操控光（例如应用权重），同时使信号在整个光子网络中以光速传播，因此可实现超低延迟；延迟仅受网络物理尺寸限制，其数值比电子实现低几个数量级 [55]。

光子神经形态系统的另一项重要特征，是能够使用模拟复值信号。这有利于利用神经形态硬件中的非线性特性，例如将复值光场进行电光转换，转化为强度（即光电探测时产生的光电流）；此外，连接矩阵也具有更丰富的自由度 [52], [55], [59]。

此外，光子神经网络的运行速度远高于数字加速器，其主要限制来自电光转换级，例如光子神经网络的读出环节。在该环节中，光电探测器可实现数百 GHz 的运行速度，具体取决于所采用的技术和所需的响应度 [55]。

在已研究的各种集成光子平台中，绝缘体上硅（SOI）平台最受关注，这得益于其有源和无源器件均易于获得，且与折射率对比度较低的平台（如绝缘体上氮化硅（SiNOI））相比，器件占用面积更小。

表 III 对数字加速器、闪存技术以及基于混合激光器、硅光子集成和亚 λ 纳米光子学的三种不同类型光子神经网络，按照不同指标进行了比较。对于后者，由于光场能够被稳健地局域（例如局域于光子晶体腔中），器件占用面积至少缩小了一个数量级。值得注意的是，这类受限光子学方法有望显著降低能耗和延迟。有关具体实现的更多信息，请参见此处 [56]。

具体而言，绝缘体上硅平台可以提供高速调制器，例如采用马赫-曾德尔干涉仪或环形谐振器（RR）结构的调制器，以及高速宽带光电探测器（$>$ 50 GHz）和低传输损耗（$<$ 3 dB/cm） [65]。更具体地说，马赫-曾德尔干涉仪器件能够调制光并改变其振幅（以及相位），从而为实现人工神经网络权重提供一种实用方式 [55]。它们可以按照精确的方式排列成网格，例如实现图3(a)所示的矩阵乘法 [60]。传统上用于调制的物理机制包括：（i）热光效应；（ii）电光效应；（iii）载流子等离子体效应 [66]，如图3(b)所示。对于热光调制方法，干涉仪臂中的一条会由微加热器加热，从而导致该臂的折射率发生变化。在第二种情况下，电极可以建立一个

表 III：光子与电子学方法对比表。延迟是指在给定向量大小下，完成一次矩阵乘法运算所需的时间。速度是连续两次矩阵乘法之间的时间 [56]。

技术	Google TPU [61]	Flash（模拟） [62]	混合激光神经网络 [63]	共集成硅神经网络 [64]	亚-λ Nanophotonics [56]
每次乘加运算能耗 [fJ]	430	7	220	2.7	0.03
计算密度 [TMACs/s/mm^2]	0.58	18	4.5	50	5000
向量大小	256	100	56	148	300
精度 [位]	8	5	5.1+	5.1+	5.1+
延迟/速度 [纳秒]	2000/1.42	15	< 0.1	< 0.1	< 0.05

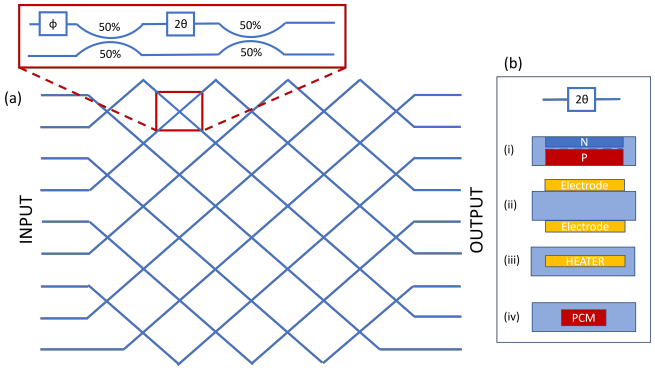


图 3：（a）基于马赫-曾德尔干涉仪（MZI）的 9×9 矩阵乘法网络的光子实现 [60]。插图说明了每个交叉结构的组成，即一个移相器（ϕ）、一个 50/50 分束器、另一个移相器（2θ），以及一个 50/50 合束器。（b）基于（i）热光效应、（ii）电光效应、（iii）载流子等离子体效应和（iv）相变材料（PCM）诱导的相移的波导移相器实现方案俯视图。未出现交叉结构处的蓝线表示光波导。

电场（对于电光材料而言——原生硅平台中并不存在这种材料），从而改变折射率。在第三种情况下，使用 p-n/p-i-n结，通过施加电压改变耗尽区中的载流子浓度，进而通过载流子等离子体效应改变折射率 [66]。所有这些方法都具有研究价值（取决于可用的平台），并已实现用于分类任务的向量-矩阵乘法和光子神经网络 [55]。

然而，在硅平台中，推理过程的主要限制之一是需要耗散能量来保持权重值。对于每个马赫-曾德尔干涉仪，完整 π 相移所需的能量最高可达 10 mW。对于具有两个输出端口的马赫-曾德尔干涉仪，这种相移可以将完整信号从一个输出端路由至另一个输出端（见图 3)(a) 的插图），其初始状态是信号仅从前一个端口输入。

在 [55], 中，作者使用特定的网格器件排列，通过奇异值分解执行矩阵乘法。矩阵元素与网格中的移相器马赫-曾德尔干涉仪之间的映射有明确的定义。与中央处理器和图形处理器等传统电子学设备不同，随着网格规模增大，每次计算（每秒浮点运算次数（FLOP））消耗的能量会降至零（假设权重为非易失性权重）。在

相比之下，传统电子学设备每次 FLOP 都需要固定的能量，而总能耗会随着问题规模呈平方级增长，即对于网格规模由 N 表示的光子神经网络（PNNs），其能耗为 N^2，而不是仅 N。[55] 中的作者还将这些马赫-曾德尔干涉仪用作权重，构建了一个能够分析元音的前馈神经网络（FFNN），模拟准确率达到 90%，与数字计算机的 91.7% 相当。

为避免持续的功率耗散，一种解决方案是使用集成了非易失性材料（如相变材料）的波导设置权重，例如图 3)(b) 中方法 (iv) 所示，将材料置于波导上方。通过电脉冲或光脉冲 [67]，可以设置其响应（晶态与非晶态比例的变化）。由于这类材料对刺激的响应时间极短（小于 1 ns），因此也非常适合实现尖峰时序依赖可塑性，从而能够构建基于环形谐振器的光学可塑性突触和脉冲架构 [54]。

近期启动的“地平线欧洲”计划 NEUROPULS 项目研究了一系列方法，通过在硅光子学平台中添加相变材料和 III-V 族材料，构建更高效的神经形态硬件。

提升卷积神经网络性能的一种方法是使用专为矩阵-向量乘积设计的加速器，例如将调制器网格编程为执行特定的矩阵乘法。奇异值分解可以对矩阵进行分解，从而提高加速器上的计算效率。这种方法还可以处理其他矩阵运算，包括卷积，并针对特定任务优化硬件架构，从而大幅加快训练和推理速度 [55]。

尽管光学元件有助于执行矩阵运算，但其尺寸可能会限制可实现的矩阵大小。为克服这一限制，可以探索其他方法。一种可能的解决方案是采用剪枝技术，移除网络中不必要的连接和权重，从而缩小矩阵的整体规模。这样便可以利用现有光学元件实现更大的系统。

另一种选择是采用分块矩阵分解，即将矩阵划分为较小的块，分别进行处理。这种方法可以用较少的光学元件实现更大的矩阵。各个较小的块可以独立计算，再合并得到最终结果。这种技术还可以与其他优化策略相结合，例如

量化和压缩，从而进一步减小系统的尺寸和复杂性。

[68] 提出的张量列车方法将得到进一步探索。该方法将矩阵表示为低秩张量的乘积，借助光学元件可以更高效地处理这些张量。目标是开发可扩展的光学架构，利用上述方法处理更大的矩阵和更复杂的神经网络。这将有助于利用光子学实现更快速、更高效的神经网络训练。

研究还将探索循环神经网络（RNN）的应用，包括完全可训练的循环神经网络以及储备池计算（RCs）。我们将研究储备池计算在光子学中的各种潜在应用，包括如 [69]所示的电信信号非线性色散补偿。本研究旨在开发将光子学应用于机器学习（ML）及其他领域的新技术和新方法，从而有望显著提升这些系统的性能和效率。

为实现非易失性光学权重，所提出的架构将集成相变材料。先前的研究（如[54] 和 [70],）已探索这些材料，并显示出其在神经形态系统中的巨大潜力。与需要持续驱动或定期刷新的易失性权重相比，采用非易失性权重可显著降低功耗。在所提出的架构中纳入这些材料，对于开发适用于机器学习及其他应用的低功耗、高性能系统至关重要。

然而，除了非易失性之外，相变材料还有另一个优势：其非线性动力学。例如，通过使用脉冲而非连续波激励来激发材料，材料的非线性行为能够实现其他计算范式，例如脉冲神经网络。在此类网络中，神经元通过短暂的脉冲或脉冲信号进行通信，而不是使用连续变化的信号。这为实现高能效且高度并行的神经网络提供了可能。为了生成注入系统的脉冲，可以使用先进的高消光比（ER > 8 dB）调Q脉冲激光器；这些激光器将以单片集成方式集成到同一平台上的III-V族材料中 [71]。这些混合型III-V族硅基脉冲激光器是此前由纯III-V族材料制成的调Q激光器的一种可扩展且经济高效的替代方案。

III-V族硅基脉冲激光器将产生高度精确且受控的光脉冲，这对于众多光子学和机器学习应用至关重要。这些激光器具有多项优势，包括高消光比、低功耗以及与标准硅加工技术的兼容性。

V. 可靠性研究与相关问题

从算法角度来看，人工神经网络凭借其冗余特性，具有内在的容错能力。然而，为部署此类算法而设计的硬件必须经过分析，以评估硬件限制或故障表现对网络功能行为的影响。

由于制造问题，硬件故障可能随机发生，这是由神经元和突触缺陷及精度不足引起的。不过，故障也可能是恶意的，由不同类型的攻击引入（即激光束故障注入或行锤攻击） [72], [73]。 [73] 的作者分析了基于多层感知机的深度神经网络面对源自物理现象的模型时的误分类率。故障神经元行为以随机或确定性方式注入，注入场景考虑了每层存在单个或多个故障神经元的情况。这通常发生在激活函数的执行时间段内，该时间段可能持续数百至数千个周期。结果表明，在某些情况下，即使故障神经元数量相对较少（≈ 10%），也可能导致较高的误分类风险（≈ 62%）。如第二节所述，研究人员针对深度神经网络研究了不同的激活函数。研究结果显示，若要达到更高的误分类率（>50%），给定隐藏层中至少一半的神经元必须出现故障；对于 Sigmoid函数和双曲正切函数而言，情况正是如此。对于修正线性单元，要达到相同的误分类率，至少四分之三的神经元必须出现故障。

近年来，人们投入大量研究来考察和评估人工智能硬件加速器的错误及其容错性。 [74]介绍了前馈神经网络容错技术的概述。本文回顾了用于评估性能的故障类型、模型和度量方法，并根据所利用的原理和机制，对旨在通过被动方式实现容错、增强某些神经模型内在属性的主要技术进行了分类。

在 [75], 中，作者通过考察神经网络对应用级规范、网络拓扑、激活函数以及架构级规范的脆弱性，研究了神经网络加速器寄存器传输级（RTL）模型的故障特征及缓解方法。在 [76], 中，作者对深度神经网络系统（即运行在专用加速器上的深度神经网络软件）在高能粒子引发的软错误下的韧性进行了实验评估。

关于深度神经网络韧性的实证研究可见 [77],，其中介绍了一种名为 Ares 的故障注入框架，可用于全连接和基于卷积神经网络的深度神经网络加速器。该框架采用与技术与环境变异性、存储元件中的单粒子故障瞬态相关的硬件故障模型，以及权重、激活值和隐藏状态中出现失效等算法级故障模型。故障注入既可以在推理过程开始前静态离线执行，也可以在推理执行期间动态进行。

脉冲神经网络的容错性和可靠性分析是一个相对较新的研究领域，因为其硬件实现远晚于经典深度神经网络。对于这些网络的主要应用，目前尚未达成共识。此外，信号到脉冲编码和训练算法的多样性使其特性存在特定的异质性，因此在讨论其容错性和可靠性时应将这一点纳入考量。该领域最早的研究之一， [78], 估算了一个全连接脉冲神经网络的准确率，

该网络采用自旋电子器件设计，能够进行尖峰时序依赖可塑性学习，并受到工艺波动的影响。神经元和突触的行为都受到工艺波动的显著影响；与理想情况相比，在假设存在中等程度的波动时，准确率会下降约 10%。

另一项有趣的研究见 [79], , 其中为脉冲神经网络定义了失效分类体系。研究分析了用于执行 STDP 在线训练的硬件实现脉冲神经网络的准确率，并考察了以下两种假设：(i) 学习和推理均在故障硬件上执行；(ii) 仅推理在故障硬件上执行。该论文表明，直接在故障硬件上进行学习，能够使失效对网络准确率的影响平均降低 15%，在极端情况下甚至可达 30%。此外， [80], 指出，影响信号到脉冲转换层的失效对网络准确率影响最大，紧随其后的是突触固定型故障。这些失效会严重影响学习过程，而这种影响在推理过程中只会进一步加剧。

另一方面，突触延迟激活或侧向抑制固定等失效影响甚微。 [81] 介绍的研究采用了不同的方法。该研究针对一个脉冲神经网络推理加速器开展容错研究：这是一个采用有监督离线学习的多层脉冲神经网络，以 VHDL 设计并在现场可编程门阵列上实现。故障注入实验找出了设计中需要采取失效防护的部分，以及本身具有容错能力的部分。研究结果表明，所选脉冲神经网络类型在失效情况下的行为与人工神经网络相似：在突触值最高有效位中注入的失效，比在不太关键的位中注入的失效，对网络准确率的影响更大；影响最后一层（执行分类的层）的失效，也比影响第一层（计算冗余较高的层）的失效更为重要。此外，作者还表明，与注入信号路由中的失效相比，他们提出的脉冲神经网络实现对注入突触权重或神经元计算中的失效要不敏感得多。

多项研究比较了脉冲神经网络及其对应的人工神经网络，主要关注性能或功耗，而非两者相对的容错性。因此，一项研究评估了这两种网络的故障韧性，并考察了不同权重量化和神经计算方式，以及脉冲神经网络的不同训练场景。该研究比较了拓扑结构和位精度相同的多层感知机与脉冲神经网络的容错性。研究实现了一个 784 X 100 X 10 的网络，用于解决 MNIST分类问题 [6]。多层感知机的所有层均使用 Sigmoid激活函数，经过 20 个训练轮次后，基准准确率为 98%。脉冲神经网络使用频率编码将信号转换为脉冲，并采用了几种训练算法：(i) 影子训练（ST）（基准准确率为 96 %）、(ii) 通过时间的反向传播（基准准确率为 97%）、(iii) 尖峰时序依赖可塑性（基准准确率为 87%）。突触权重的精度为 16、8 和 4 位。图4展示了部分结果，

分析结果表明，脉冲神经网络比多层感知机更具容错性，其中通过时间的反向传播训练的脉冲神经网络在三者中韧性最强。这项研究还展示了训练方式对脉冲神经网络故障韧性的影响：在线训练比离线训练更具韧性。图5中最后两列对应采用尖峰时序依赖可塑性训练的脉冲神经网络；研究分别假设失效仅在推理阶段出现（AT），或在训练和推理阶段均出现（BT），并据此计算网络准确率下降。结果表明，脉冲神经网络的容错性取决于训练机制，在线训练的脉冲神经网络比离线训练的脉冲神经网络更能抵御失效。这些结果表明，脉冲神经网络可能比人工神经网络具有更强的故障韧性，仍需进一步比较两者以巩固这一发现。

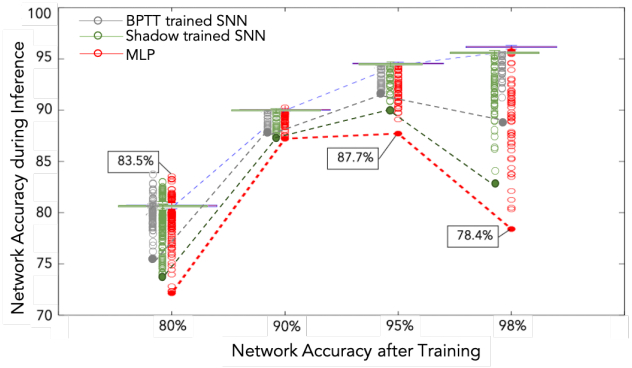


图4：突触故障注入下的网络准确率：多层感知机与脉冲神经网络的对比。突触权重精度为8位，其中 10^{-4} 的突触位被视为发生故障。

	Relative accuracy loss				
	ANN	ST SNN	BPTT SNN	STDP SNN	
				BT	AT
@Max accuracy	20,00%	14,58%	9,28%	3,07%	5,36%
95%	7,68%	6,32%	4,21%	3,17%	3,64%
90%	4,44%	4,00%	3,33%	3,21%	6,50%
80%	10,00%	7,50%	5,00%	3,33%	6,32%

图5：突触故障注入下不同训练场景的最大网络准确率下降：多层感知机与脉冲神经网络的对比。突触权重精度为8位，其中 10^{-4} 的突触位被视为发生故障。AT=表示训练后，BT =表示训练前

VI. 结论

本文介绍了卷积神经网络、深度神经网络和脉冲神经网络的基本原理，并采用标准 CMOS 技术描述了它们的数字实现形式。随后，本文重点讨论了增强型硅光子学的改进，以及人工神经网络的可靠性问题。我们全面分析了每种技术的优缺点，包括其可靠性。分析表明，人工神经网络设计中技术的选择

应取决于具体的应用需求和设计约束。虽然 CMOS 技术拥有成熟的制造工艺和较高的可靠性，但在功耗和可扩展性方面可能存在局限。相比之下，硅光子学具有较高的能效和可扩展性，但其可靠性仍在持续研究中。我们希望本文能为人工神经网络设计领域的研究人员和从业者探索这些新兴技术的潜力提供有价值的参考。

参考文献

[1] A. Marchisio 等，《面向边缘计算的深度学习：当前趋势、跨层优化与开放研究挑战》，载于《2019年IEEE计算机学会年度超大规模集成电路研讨会（ISVLSI）》。IEEE，2019年，第553–559页。[2] M. Shafique 等，《机器学习下一代架构概述：物联网时代的路线图、机遇与挑战》，载于《2018年欧洲设计、自动化与测试会议暨展览会（DATE）》。IEEE，2018年，第827–832页。[3] S. Dutto 等，《探索深度学习在微处理器现场故障检测中的应用》，载于《2021年欧洲设计、自动化与测试会议暨展览会（DATE）》，2021年，第1456–1459页。[4] H. Sedjelmaci 等，《一种面向低资源物联网设备的轻量级异常检测技术：博弈论方法》，载于《2016年IEEE国际通信会议（ICC）》，2016年，第1–6页。[5] C.-W. Zhou 等，《深度神经网络简要综述》，arXiv 预印本 arXiv:1802.08882，2018年。[6] Y. LeCun 等，《基于梯度的学习在文档识别中的应用》，载于《IEEE 论文集》，第86卷，第11期。IEEE，1998年，第2278–2324页。[7] I. Goodfellow 等，《深度学习》，载于《深度学习》。麻省理工学院出版社，2016年，第1–800页。[8] C. D. Schuman 等，《神经形态计算算法与应用的机遇》，《自然·计算科学》，第2卷，第1期，第10–19页，2022年1月，期号：1，出版方：自然出版集团。 [在线]。可访问：https://www.nature.com/articles/s43588-021-00184-y [9] W. Maass，《脉冲神经元网络：神经网络模型的第三代》，《神经网络》，第10卷，第9期，1997年。[10] B. Cramer 等，《用于系统评估脉冲神经网络的海德堡脉冲数据集》，IEEE Transactions on Neural Networks and Learning Systems，第33卷，第7期，第2744–2757页，2022年。[11] A. Amirshahi 和 M. Hashemi，《基于STDP与R-STDP神经网络、用于超低功耗个人可穿戴设备实时监测的心电图分类算法》，IEEE Transactions on Biomedical Circuits and Systems，第13卷，第6期，第1483–1493页，2019年。[12] A. Vallero 等，《Syra：面向微处理器系统存储器阵列跨层软错误韧性的早期系统可靠性分析》，IEEE Transactions on Computers，第68卷，第5期，第765–783页，2019年。[13] A. Ruospo 等，《深度学习韧性评估方法综述》，《计算机》，第56卷，第2期，第57–66页，2023年。[14] C. D. James 等，《神经启发与神经形态计算应用的算法和硬件架构历史综述》，《生物启发认知架构》，第19卷，第49–64页，2017年1月。 [在线]。可访问：https://www.sciencedirect.com/ science/article/pii/S 2212683 16300561 X A. Krizhevsky 等，《使用深度[15]卷积神经网络进行ImageNet分类》，Commun. ACM，第60卷，第6期，第84–90页，2017年5月。

[ ] 10 1145 3065386 在线。可访问：[16]https://doi.org/ 。 / D. E. Rumelhart 等，《通过反向传播误差学习表征》，《自然》，第323卷，第6088期，第533–536页，1986年。[17] G. E. Hinton 和 R. R. Salakhutdinov，《利用神经网络降低数据维度》，Science，第313卷，第5786期，第504–507页，2006年。 [在线]。可访问：https://www.science.org/doi/abs/ 10.1126/science.1127647[18] F. Akopyan 等，《TrueNorth：一款65毫瓦、100万神经元可编程神经突触芯片的设计与工具流程》，IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems，第34卷，第10期，2015年。

[19] S. Draghici，《采用有限精度权重的神经网络能力》，《神经网络》，第 15 卷，第 3 期，第 395–414 页，2002 年。[在线]。可访问：https://www.sciencedirect.com/science/article/pii/S0893608002000321[20]P. A. Merolla 等，《具有可扩展通信网络和接口的百万脉冲神经元集成电路》，Science，第 345 卷，第 6197 期，第 668–673 页，2014 年。 [在线]。可访问：https://www.science.org/doi/abs/ 10 1126 1254642 。/science. A. [21]L. Hodgkin 和 A. F. Huxley，《神经膜电流的定量描述及其在神经传导和兴奋中的应用》，The Journal of Physiology，第 117 卷，第 4 期，第 500–544 页，1952 年。[22] E. Izhikevich，《脉冲神经元的简单模型》，IEEE Transactions on Neural Networks，第 14 卷，第 6 期，第 1569–1572 页，2003 年。[23] C. Teeter 等，《广义漏积分发放模型对多种神经元类型进行分类》，Nature Communications，第 9 卷，709，2018 年 1，第 p. 。[24] A. N. Burkitt，《积分发放神经元模型综述：II. 非均匀突触输入与网络性质》，《生物控制论》，第 95 卷，第 2 期，第 97–112 页，2006 年。[25] A. Carpegna 等，《Spiker：面向脉冲神经网络的 FPGA 优化硬件加速器》，载于 2022 IEEE计算机学会年度超大规模集成电路研讨会（ISVLSI），2022 年，第 14–19 页。[26] F. Corradi 和 G. Indiveri，《用于智能脑机接口的神经形态事件驱动神经记录系统》，IEEE Transactions on Biomedical Circuits and Systems，第 9 卷，第 5 期，第 699–709 页，2015 年。[27] G. V. der Sande 等，《光子储备池计算的进展》，Nanophotonics，第 6 卷，第 3 期，第 561–576 页，2017 年。 [在线]。可访问：https://doi.org/ 10 1515 2016 0132 。/ [28]nanoph- - D. J. Enoka RM，《频率编码与肌肉力量控制》，Cold Spring Harb Perspect Med，2017 年。[29] B. Petro 等，《脉冲神经网络时间脉冲编码方法的选择与优化》，IEEE Transactions on Neural Networks and Learning Systems，第 31 卷，第 2 期，第 358–370 页，2020 年。[30] Z. Pan 等，《用于有效时间分类的神经群体编码》，载于 2019 年国际神经网络联合会议（IJCNN），2019 年，第 1–8 页。[31] L. Bottou，《随机梯度下降与大规模机器学习》，载于 COMPSTAT'2010 论文集，Y. Lechevallier 和 G. Saporta 编。海德堡：Physica-Verlag HD，2010 年，第 177–186 页。[32] J. Duchi 等，《用于在线学习和随机优化的自适应次梯度方法》，J. Mach. Learn. Res.，第 12 卷，第 null 期，第 2121–2159 页，2011 年 7 月。[33] N. Srivastava 等，《Dropout：一种防止神经网络过拟合的简单方法》，J. Mach. Learn. Res.，第 15 卷，第 1 期，第 1929–1958 页，2014 年 1 月。[34] R. Takahashi 等，《Ricap：面向深度卷积神经网络的随机图像裁剪与拼接数据增强》，载于第 10 届亚洲机器学习会议论文集，丛书：Proceedings of Machine Learning Research，J. Zhu 和 I. Takeuchi 编，第 95 卷。PMLR，2018 年 11 月 14–16 日，第 786–798 页。 [在线]。可访问：https://proceedings.mlr.press/v95/takahashi18a.html [35] A. Fischer 和 C. Igel，《受限玻尔兹曼机简介》，载于《模式识别、图像分析、计算机视觉与应用进展》，L. Alvarez 等编。柏林，海德堡：Springer Berlin Heidelberg，2012 年，第 14–36 页。[36] S. J. Pan 和 Q. Yang，《迁移学习综述》，IEEE Transactions on Knowledge and Data Engineering，第 22 卷，1359，2010 年 1345pp. – 。[37] V. Mnih 等，《使用深度强化学习玩雅达利游戏》，2013 年。[38] P. M. Bi GQ，《培养的海马神经元中的突触修饰：对脉冲时序、突触强度和突触后细胞类型的依赖性》，The Journal of Neuroscience，第 18 卷，第 24 期，1998 年。[39] J. K. Eshraghian 等，《借鉴深度学习经验训练脉冲神经网络》，arXiv 预印本 arXiv:2109.12894，2021 年。[40] S. B. Shrestha 和 G. Orchard，《SLAYER：时间脉冲层误差重分配》，载于《神经信息处理系统进展》第 31 卷，S. Bengio 等编。Curran Associates, Inc.，2018 年，第 1419–1428 页。 [在线]。可访问：http://papers.nips.cc/paper/7415-slayer-spike-layer-error-reassignment-in-time.pdf [41] T.-S. Chou 等，《CARLsim 4：用于大规模、生物学细节丰富的脉冲神经网络仿真的开源库，采用异构集群》，载于 2018 年国际神经网络联合会议（IJCNN），2018 年，第 1–8 页。

[42] S. B. Furber 等，《SpiNNaker 项目》，IEEE 论文集，第 102 卷，第 5 期，2014 年。[43] M. Davies 等，《Loihi：一种支持片上学习的神经形态众核处理器》，IEEE Micro，第 38 卷，第 1 期，2018 年。[44] J. Pei 等，《借助混合型天机芯片架构迈向通用人工智能》，《自然》，第 572 卷，第 7767 期，2019 年。[45] C. Frenkel 等，《采用 28 nm 互补金属氧化物半导体、具有 64k 个突触和 256 个神经元、能耗为 0.086-mm² 12.7-pj/sop 且支持在线学习的数字脉冲神经形态处理器》，IEEE Transactions on Biomedical Circuits and Systems，第 13 卷，1，2019 年 no.。[46] A. Basu 等，《脉冲神经网络集成电路：趋势与未来方向综述》，载于 2022 年 IEEE 定制集成电路会议（CICC），2022 年。[47] S. Li 等，《采用自适应时钟/事件驱动计算方案和在线学习的快速节能脉冲神经网络处理器》，IEEE Transactions on Circuits and Systems. I, Regular Papers，第 68 卷，第 4 期，第 1543–1552 页，2021 年。[48] D. Neil 和 S.-C. Liu，《Minitaur：事件驱动型 FPGA 脉冲网络加速器》，IEEE Transactions on Very Large Scale Integration (VLSI) Systems，第 22 卷，第 12 期，第 2621–2628 页，2014 年。[49] Q. Wang 等，《基于 FPGA 的采用近似算术的节能并行神经形态架构》，《神经计算》（阿姆斯特丹），第 221 卷，第 146–158 页，2017 年。[50] D. Ma 等，《Darwin：基于脉冲神经网络的神经形态硬件协处理器》，《系统架构杂志》，第 77 卷，第 43–51 页，2017 年。[51] Y. Paquot 等，《光电子储备池计算》，《科学报告》，第 2 卷，第 1 期，第 287 页，2012 年 2 月。 [在线]。可访问：https://doi.org/ 10 1038 00287 。/srep K. Vandoorne 等，《在硅光子芯[52]片上对储备池计算进行实验演示》，Nature Communications，第 5 卷，第 1 期，第 3541 页，2014 年 3 月，编号：1，出版方：自然出版集团。 [ ] 4541 在线。可访问：[53]https://www.nature.com/articles/ncomms H.-T. Peng 等，《神经形态光子集成电路》，IEEE J. Select. Topics Quantum Electron.，第 24 卷，第 6 期，第 1–15 页，2018 年 11 月。[在线]。可访问：https://ieeexplore.ieee.org/document/8364605/ [54] J. Feldmann 等，《具有自学习能力的全光脉冲神经突触网络》，《自然》，第 569 卷，第 7755 期，第 208–214 页，2019 年 5 月。 [在线]。可访问：http://www.nature.com/articles/ s41586-019-1157-8[55] Y. Shen 等，《利用相干纳米光子电路进行深度学习》，Nature Photon，第 11 卷，第 7 期，第 441–446 页，2017 年 7 月。 [在线]。可访问：http://www.nature.com/articles/nphoton. 2017 93 。M. A. Nahmias[56]等，《神经网络的光子乘累加运算》，IEEE J. Select. Topics Quantum Electron.，第 26 卷，第 1 期，第 1–18 页，2020 年 1 月。 [在线]。可访问：https: //ieeexplore.ieee.org/document/8844098/ [57] J. Feldmann 等，《使用集成光子张量核心进行并行卷积处理》，《自然》，第 589 卷，第 7840 期，第 52–58 页，2021 年 1 月。 [在线]。可访问：http://www.nature.com/articles/ s41586-020-03070-1[58] Y. Nahmias 和 Y. Loewenstein，《Hebbian 可塑性的神经调制：相关性与机制》，《神经生物学新见》，第 69 卷，第 150–159 页，2021 年。[59] M. Abdalla 等，《用于基于延迟的储备池计算的最小复杂度集成光子架构》，Opt. Express，第 31 卷，第 7 期，第 11610 页，2023 年 3 月。 [在线]。可访问：https: //opg.optica.org/abstract.cfm?URI = 31 7 11610 oe- - - W. R. Clements 等，[60]《通用多端口干涉仪的优化设计》，《Optica》，第 3 卷，第 12 期，第 1460 页，2016 年 12 月。 [在线]。可访问：https://opg.optica.org/abstract.cfm?URI = 3 12 1460 optica- - -[61]《数据中心内张量处理单元的性能分析| 第 44 届年度国际计算机体系结构研讨会论文集。》 [在线]。可访问：https://dl.acm.org/doi/10.1145/3079856.3080246[62] M. R. Mahmoodi 和 D. Strukov，《基于 NOR 闪存技术的超低能耗、内部模拟、外部数字向量矩阵乘法器》，载于第 55 届年度设计自动化会议论文集。旧金山，加利福尼亚州：美国计算机协会，2018 年 6 月，第 1–6 页。 [在线]。可访问：https://dl.acm.org/doi/10.1145/3195970.3195989[63] M. A. Nahmias 等，《用于超快速认知计算的漏积分发放激光神经元》，IEEE Journal of Selected Topics in 量子电子学，第19卷，第5期，第1–12页，2013年9月，会议名称：IEEE 量子电子学专题期刊。[64] A. N. Tait等，“硅光调制器神经元”，《物理评论：应用》，第11卷，第6期，第064043页，2019年6月，出版商：美国物理学会。 [在线]。可访问：https://link.aps.org/doi/10.1103/ PhysRevApplied. 11 064043 。N. Margalit等，“硅光子学与电子学未来展望”，[65]《应用物理学快报》，第118卷，第22期，第220501页，2021年5月。 [ ] 10 1063 5 0050117 在线。可访[66]问：https://aip.scitation.org/doi/ 。 / 。W. Bogaerts等，“硅微环谐振器”，《激光与光子学评论》，第6卷，第1期，第47–73页，2012年1月。 [在线]。可访问：https://onlinelibrary.wiley.com/doi/ 10 1002 201100017 。 /lpor。C. Rios等，[67]“通过集成光子学中的倏逝场耦合控制相变材料的切换 [特邀],”，《光学材料快报》，第8卷，第9期，第2455页，2018年9月。 [在线]。可访问：https://opg.optica.org/abstract.cfm?URI = 8 9 2455 ome- - - X. Xiao等，“基[68]于III-V族硅基MOS电容平台的大规模高能效张量化光学神经网络”，《APL光子学》，第6卷，第12期，第126107页，2021年。 [在线]。可访问：https: //doi.org/ 10 1063 5 0070913 。 / 。S. Sackesyn等，“用于非线性光纤[69]失真补偿的集成光子储备池计算实验实现”，《光学快报》，OE，第29卷，第20期，第30 991–30 997页，2021年9月，出版商：Optica出版集团。 [在线]。可访问：https://opg.optica.org/oe/abstract.cfm?uri = 29 20 30991 oe- - - M.[70]Miscuglio等，“使用基于GSST的光子集成存储器实现具有记忆功能的人工突触”，载于《2020年国际应用计算电磁学会研讨会（ACES）》，2020年，第1–3页。[71] K. Mekemeza-Ona等，“基于全光调Q激光器的脉冲神经元”，《物理学前沿》，第10卷，2022年。 [在线]。可访问：https://www.frontiersin.org/articles/ 10 3389 2022 1017714 。 /fphy. 。Y.[72]Liu等，“针对深度神经网络的故障注入攻击”，载于《2017年IEEE/ACM国际计算机辅助设计会议（ICCAD）》，2017年，第131–138页。[73] J. Breier等，“Deeplaser：针对深度神经网络的实用故障攻击”，2018年。[74] C. Torres-Huitzil和B. Girau，“神经网络中的故障与误差容忍：综述”，IEEE Access，第5卷，第17 322–17 341页，2017年。[75] B. Salami等，“关于RTL神经网络加速器的韧性：故障表征与缓解”，载于《2018年第30届计算机体系结构与高性能计算国际研讨会（SBAC-PAD）》，2018年，第322–329页。[76] G. Li等，“理解深度学习神经网络（DNN）加速器中的误差传播及其应用”，载于《SC17：高性能计算、网络、存储与分析国际会议》，2017年，第1–12页。[77] B. Reagen等，“Ares：量化深度神经网络韧性的框架”，载于《2018年第55届ACM/ESDA/IEEE设计自动化会议（DAC）》，2018年，第1–6页。[78] E. I. Vatajelu和L. Anghel，“工艺波动下基于STT-MTJ的全连接单层脉冲神经网络”，载于《2017年IEEE/ACM国际纳米尺度架构研讨会（NANOARCH）》，2017年，第21–26页。[79] E.-I. Vatajelu等，“特别专题：硬件实现的脉冲神经网络（SNN）的可靠性”，载于《2019年第37届IEEE超大规模集成电路测试研讨会（VTS）》，2019年，第1–8页。[80] A. Bosio等，“重启计算：测试与可靠性面临的挑战”，载于《2019年IEEE超大规模集成电路与纳米技术系统缺陷与容错国际研讨会（DFT）》，2019年，第8138–8143页。[81] T. Spyrou等，“脉冲神经网络硬件加速器的可靠性分析”，载于《2022年欧洲设计、自动化与测试会议暨展览会（DATE）》，2022年，第370–375页。