ROBIN：面向提升 STT-MRAM 缓存可靠性的增量式斜交交错纠错码

Elham Cheshmikhani*、Hamed Farbeh†和 Hossein Asadi*
*谢里夫理工大学计算机工程系，伊朗德黑兰
†阿米尔卡比尔理工大学计算机工程系，伊朗德黑兰
*{elham.cheshmikhani, asadi}@sharif.edu; †farbeh@aut.ac.ir

arXiv:2601.00456v1 [cs.AR] 1 Jan 2026

摘要——自旋转移矩磁随机存取存储器（STT-MRAM）是片上缓存中静态随机存取存储器的有前景替代方案。尽管 STT-MRAM 具有诸多优势，其较高的错误率仍是限制其应用于片上缓存的一大因素。本文首先进行了全面分析，揭示传统纠错码（ECC）会因数据相关错误模式而丧失效率；随后提出一种高效的 ECC 配置，称为*ROBIN*，以提升纠错能力。评估结果表明，传统 ECC 的低效使缓存错误率平均增加 151.7%，而 ROBIN 将这一数值降低了 28.6 倍以上。

I. Introduction

自旋转移矩磁随机存取存储器 （STT-MRAM）近年来引起了广泛的研究兴趣并取得了诸多研究成果 [1, 2, 3]。非易失性、近乎为零的漏电功耗、高密度以及对辐射诱发粒子撞击的免疫性，使设计人员倾向于在末级缓存（LLC）中使用 STT-MRAM 替代传统的静态随机存取存储器技术 [2, 4, 5]。除 STT-MRAM 技术的上述优势外，它还存在三种错误类型：写入失败 （即写入操作期间存储单元翻转未成功）、读取扰动 （即读操作期间存储单元发生非预期翻转）以及保持失效 （即存储单元空闲时间间隔内发生随机存储单元翻转） [1, 2, 6, 7, 8]。为了使 STT-MRAM 技术能够在片上缓存中实现商业化，设计人员应认真应对这些可靠性挑战。

采用纠错码 (ECC) 是克服 STT-MRAM 末级缓存写入失败最常见的方案，也是本研究的重点 [9, 10, 11,12, 13]。通常，每个N位缓存块会划分为若干k位数据字，每个数据字均由r位纠错码保护。将缓存块中的存储单元划分为$(k+r)$位码字时，常见的配置有两种。在逐字 纠错码配置中，由k 个连续位位置生成一个码字；而在交织纠错码配置中，间隔为N/k 的位位置共同生成每个码字。

由于写入失败仅 可能发生在写入操作中需要翻转的缓存存储单元上，因此写入失败速率与所需的转换次数成正比。当将一个块划分为多个码字，且每个码字都能够纠正单比特错误时，正确写入操作的概率主要取决于转换次数最多的码字。为最大限度地提高纠错码效率，应将这一转换次数降至最低；而将总转换次数均匀分配到各个码字之间即可实现这一目标。无论是逐字纠错码还是交织纠错码，都没有解决这种均匀性问题。为了提高纠错码的效率并提供更强的纠错能力，应根据 STT-MRAM 的错误模式重新设计纠错码配置，并针对其特性和需求进行定制；然而，现有研究均未解决这一问题。

本文首先展示现有 ECC 配置的低效性，随后提出一种高效的 ECC 配置，可有效提高 STT-MRAM 末级缓存的可靠性。第一项贡献是深入研究写操作期间缓存块各码字之间状态转换的分布情况，并观察到无论采用逐字配置还是交错配置，不同码字的转换次数都存在较大差异，导致可靠性显著下降。第二项贡献是提出 *Incremental Oblique Interleaved* (ROBIN) ECC 配置，使状态转换均匀分布在各码字之间。ROBIN 选择每个码字的数据位，使缓存块中的所有字节以及所有字节中的所有位位置都能均匀地分配到各码字中。同时，对每个字中各字节的位位置进行移位，使所有字中不同字节位置的比特都能均匀地分配到各码字中。ROBIN 实现的均匀性显著提高了 ECC 的效率，并增强了纠错能力。

我们使用 gem5 周期精确模拟器 [14] 评估 ROBIN，并将其与逐字纠错码和交织纠错码进行比较。评估结果表明，逐字纠错码和交织纠错码的错误率高于最优ECC的错误

率，分别高出 151.7% 和 42.3%；而采用 ROBIN 后，错误率降至 5.3%（分别提升 28.6 倍和 8.0 倍）。这些显著改进并未增加纠错码的开销和复杂度。

本文其余部分安排如下。第二节介绍自旋转移矩磁随机存取存储器的基础知识及写入失败。第三节阐述研究动机并介绍所提出的方法。第四节给出仿真框架和结果。最后，我们在第五节总结全文。

II. STT-MRAM Basics

自旋转移矩磁随机存取存储器由一个访问晶体管和一个磁隧道结（MTJ）组成。磁隧道结包含三层：参考层，其磁化方向固定；自由层，其磁化方向可改变并决定存储的数据；以及中间的氧化物势垒层，用于隔开这两个铁磁层。由于自旋极化电流的流动，自由层的磁化方向可以与参考层的自旋方向相同或相反。两层的平行和反平行状态分别使磁隧道结呈现低电阻和高电阻，在存储单元中分别表示逻辑值“0”和“1” [15]。

通过施加具有预定脉冲宽度的写入电流（I_{write}），可将数据写入 STT-MRAM 存储单元。电流的方向会改变自由层的磁场方向，并在磁隧道结中产生高电阻或低电阻。将方向从平行态切换至反平行态（或反之）是一个随机过程。这意味着，施加写入电流后，存储单元可能不会发生翻转。这种未成功的写入操作称为写入失败 [9, 11, 16]。STT-MRAM 存储单元发生写入失败的概率由式（1）给出：

$$P_{Write-Failure} = 1 - P_{write} = exp(-t_{write} \times \frac{2 \times \mu_\beta \times p \times (I_{write} - I_{C_0})}{c + \log_e(\pi^2 \times \Delta/4) \times (e \times m \times (1 + p^2))}) \quad (1)$$

其中，P_{write} 是存储单元状态转换的概率，I_{write}是写入电流，c 是欧拉常数，e 是电子电荷，m 是自由层的磁矩，p 是隧穿自旋极化率，μ_β 是玻尔磁子，t_{write} 是写入脉冲宽度。

为提高比特翻转的概率并降低写入失败率，先前研究会增大写入脉冲的幅度和/或宽度 [17, 18]。除了带来较高的延迟和能耗开销外，这些技术还会增加自旋转移矩磁随机存取存储器存储单元发生氧化物势垒击穿的概率。另一种方法是在每次写入操作后执行读操作，将写入的存储单元与输入值进行比较；若不匹配，则重复写入操作 [19]。在这种技术中，额外的读操作会增加读取扰动发生的概率，而额外的写入操作则会带来更高的动态能耗操作。一些研究尝试通过对输入数据进行编码，或写入与其汉明距离最小的缓存块，来减少写入操作中的比特翻转次数 [13, 20]。这些技术会使设计复杂化，并提高读取扰动率。

克服写入失败最常见且应用最广泛的方案是在缓存块中使用 ECC [9, 10, 11, 12, 13]。ECC 数十年来一直用于 SRAM 缓存，也是现代处理器中占主导地位的保护方案。STT-MRAM 缓存沿用了这一方案，已有多项研究采用 ECC 来克服写入失败。对于受 ECC 保护的 STT-MRAM 缓存块，只要因写入失败而出错的存储单元数量不超过可纠正错误的数量，写入操作就能成功。

III. Motivation and Proposed Method

受纠错码保护的末级缓存块通常被划分为M 个码字，每个码字由一个k位逻辑数据字和由该数据字生成的r位纠错码组成，能够纠正多达t 比特错误。当码字中$k+r$位里的写入失败数小于或等于t 时，该码字即为写入正确；当且仅当缓存块中的所有码字均写入正确时，该缓存块的写入操作才算成功。本节将对采用现有纠错码方案保护的自旋转移矩磁随机存取存储器缓存的正确写入操作概率进行建模，并基于我们的观察和研究，说明这些方案在纠正写入失败方面的不足。

A. 问题表述

在当今的处理器中，一个缓存块通常由八个64位数据字组成，每个数据字都由单错纠正、双错检测 （SEC-DED (72, 64)）码进行保护。为简化讨论，下文将仅考虑上述结构。然而，本文的公式、讨论、配置和所提方法普遍有效且适用，并不限于这一结构。

对于包含 512 比特数据的缓存块，有两种配置可用于生成八个 SEC-DED(72, 64) 码。第一种配置称为逐字纠错码，将连续的八个数据字节分组，以生成一个 SEC-DED 码。第二种配置称为交织纠错码，所有 64 个字节中位置相同的比特共同参与生成每个 SEC-DED 码。交织纠错码能够通过避免将相邻数据位分组到同一个逻辑数据字中，纠正静态随机存取存储器缓存中的多位翻转(MBUs)。逐字和交织 SEC-DED(72, 64) 的配置分别如图 1(a) 和图 1(b) 所示。

逐字纠错码和交织纠错码均适用于 STT-MRAM 末级缓存，而近期研究中没有任何一项从纠错能力方面区分这两种配置。交织纠错码相较于逐字纠错码在静态随机存取存储器末级缓存中纠正

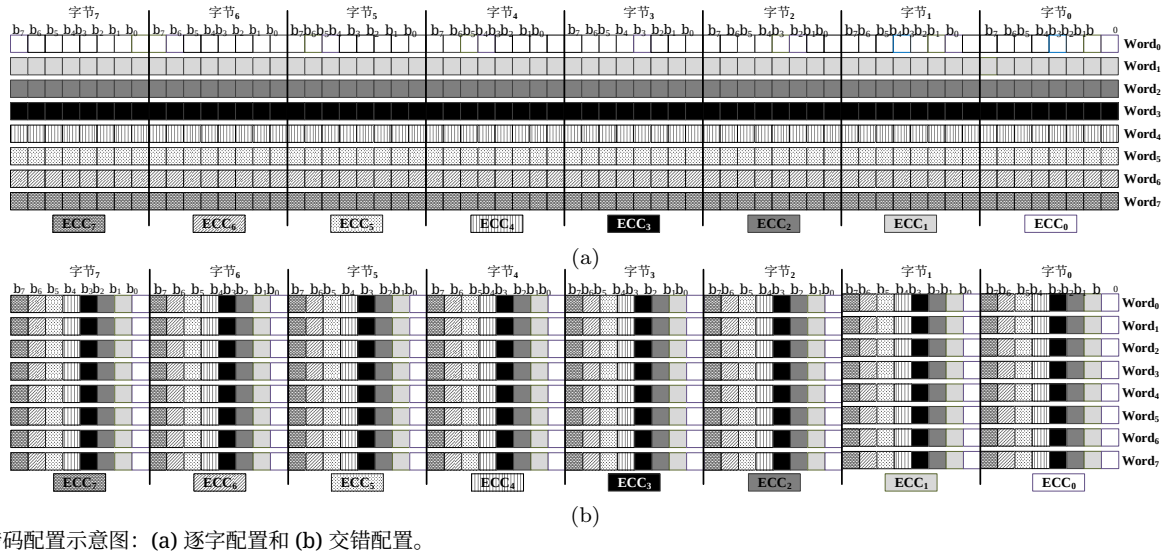


图 1. 纠错码配置示意图：(a) 逐字配置和 (b) 交错配置。

多位翻转的优势并不适用于 STT-MRAM 末级缓存，因为存储单元中的写入失败与存储单元的邻接关系无关。如果没有任何比特发生写入失败，或者仅 有一个比特发生写入失败，码字就能正确写入。假设 64 位数据字由 8 位单错纠正双错检测码保护，则正确执行写入操作的概率根据式（2）计算：

$$P_{word} = p_{write}^{k} + \binom{k}{1} \times p_{write}^{(k-1)}(1 - p_{write}) \qquad (2)$$

其中， P_{write} 是单比特成功转换的概率（按式 (1) 计算），k 是码字中必须翻转的比特数。写入缓存块时，必须正确写入所有码字。块的写入操作成功概率根据式 3 计算：

$$\begin{aligned} P_{block} &= P_{w0} \times P_{w1} \times ... \times P_{w7} \quad = \prod_{i=1}^{7} P_{wi} \\ &= \prod_{i=1}^{7} [P_{write}^{k_i} + \binom{k_i}{1} \times P_{write}^{(k_i-1)}(1 - P_{write})] \end{aligned} \qquad (3)$$

其中， w_i 是块中的码字i， k_i 是 w_i中的转换次数。

P_{block} 取决于目标块所需的转换总次数，以及这些转换在各码字之间的分布情况。转换次数越多，和/或转换分布的差异越大，写入操作成功的概率就越低。前者取决于数据内容和应用行为，后者则取决于数据位在各码字之间的划分，这由 ECC 配置直接决定。

当块中所需的总状态转换次数（$K = \sum_{i=1}^{7} k_i$）固定时，很容易证明，式 (3) 中的 P_{block} 最大值（即所有码字成功写入概率的乘积）在所有 $k_i s$ 相同且等于 $K/8$ 时取得。因此，码字之间的总状态转换分布越均匀， P_{block} 就越高；该分布的方差越大， P_{block} 就越低。

表 I
CONFIGURATION OF ON-CHIP CACHES

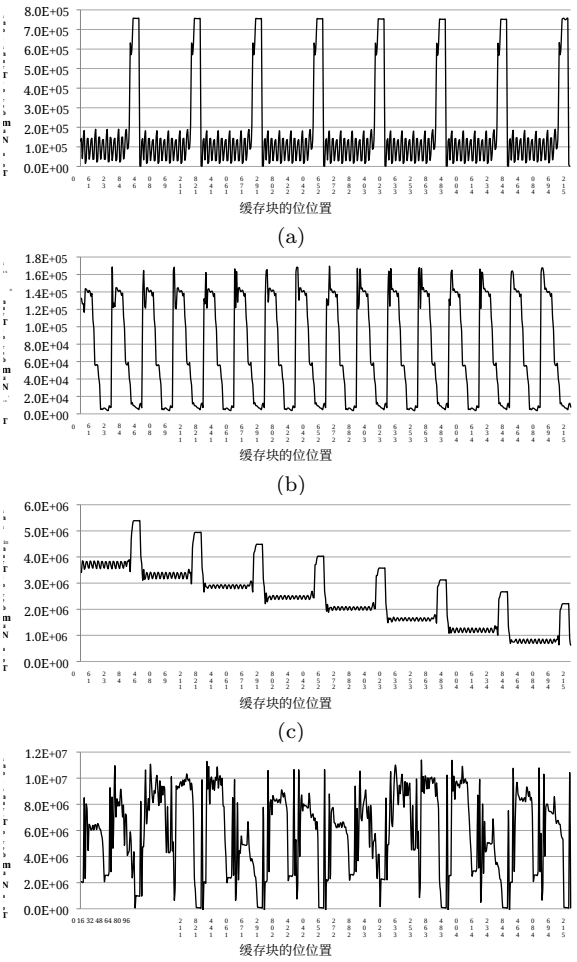
一级缓存	32KB，四路组相联，64B 块大小，**写回，**静态随机存取存储器
L2 缓存	1MB，8 路组相联，64B 块大小，写回，自旋转移矩磁随机存取存储器

B. 观察与动机

为了研究逐字纠错码和交织纠错码配置将块内状态转换均匀分配到各自码字中的能力，我们使用 gem5 周期精确模拟器 [14]，针对 SPEC CPU2006 基准测试套件进行了一系列模拟。模拟详情见表 I。图 2 展示了工作负载执行期间，缓存块所有位位置上写入操作的状态转换总次数。以图2(a)中$bwaves$ 工作负载的状态转换为例，每个 64位字上部 20% 区域的状态转换次数是每个字下部区域的 4 倍。另一方面，全部八个 64位字中的状态转换模式几乎相同。对于具有这种写入模式的工作负载（浮点工作负载即属此类），逐字纠错码中的状态转换分布可能比交织纠错码中的分布更加均匀。

图2(b)展示了另一种写入模式，其中每个 32 位数据都呈现出相似的行为。在这种模式中，对应于以$calculix$ 为整数 型的工作负载，转换次数急剧下降，低位部分的活跃程度比高位部分高 14 倍。图2(c)中每个 64 位数据的写入模式与图2(a)中的几乎相似，但不同字中的转换次数差异很大。在此工作负载中，随着字的位置编号增加，以及块中包含无效数据的比例增大，块中存在有效数据的概率会降低。对于mcf 工作负载，图2(d)所示的写入模式呈现出不规则行为。在这种模式中，转换次数几乎是随机分布的。即使在这种随机模式下，也可以观察到位位置接近 32、64、96 等处的转换次数急剧下降。

逐字纠错码和交织纠错码配置的能力



）图 2。缓存块所有位位置的状态转换次数：（a）bwaves、（b）calculix、（c）cactusADM 和（d）mcf 工作负载。

并不容易预测，而且很大程度上取决于每种写入模式。最优ECC配置能够使正确写入操作的概率最大化，其特点是在所有写入模式下，均匀地将状态转换分布到各个码字中。为了说明状态转换分布的非均匀性如何降低缓存可靠性，我们计算了逐字纠错码和交织纠错码配置下的缓存错误率，并与最优配置的错误率进行比较。图3展示了上述三种ECC配置的归一化错误率。结果表明，逐字纠错码和交织纠错码配置的错误率分别比最优配置高出151.7%和42.3%。逐字纠错码的这一数值在$cactus\ ADM$ 工作负载下高达544.0%，在$astar$ 工作负载下则低至10.5%。交织纠错码的最坏情况错误率为225.1%，出现在 $h264ref$ 工作负载下。

C. 所提方法

不同应用中的写入模式各不相同，甚至同一应用中的不同写入访问也各不相同。我们已经观察到，这种变化会导致比特翻转分布不均，并使逐字纠错码和交织纠错码在纠正错误时效率低下。最优

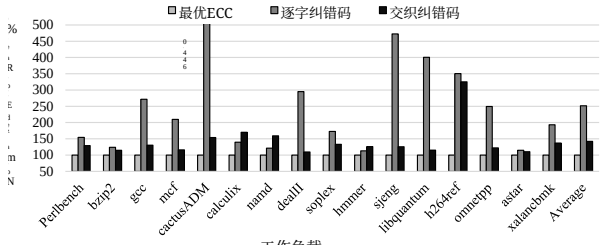


图3. 按字和交织纠错码配置的缓存错误率，归一化至最优ECC。

纠错码能够在所有写入访问中，将状态转换总数均匀分配到各个码字，从而最大限度地降低缓存错误率并提供最高可靠性。

如图3所示，对于大多数工作负载，按字和交错配置的错误率都显著高于最优配置。高效的纠错码应能在所有工作负载以及每个工作负载中的所有写入访问下，提供接近最优的错误率。我们提出的纠错码配置，称为 $Incremental\ Oblique\ Interleaved$ (ROBIN) ECC，通过特定方式生成码字，使工作负载行为的变化对纠错码效率的影响降至最低，且其错误率不超过最优ECC的110%。

在解释 ROBIN 的架构细节之前，我们先详细说明各种工作负载行为如何导致不同的状态转换分布。本讨论阐明了 ROBIN 背后的核心思想，并突显其在各种写入模式中均匀分布状态转换的能力。写操作的状态转换模式取决于数据；除了内容不同，不同的数据类型也会产生不同的模式。例如，在浮点应用中，指数部分的状态转换次数显著多于尾数部分。我们对$bwaves$ 和$c\ actusADM$ 工作负载在图2(a)和图2(c)中的观察结果证实了这一判断。

考虑整数应用时，缓存块包含多个 32 位数据字，其中低位的状态转换概率高于高位。大多数整数数据都是窄位宽值 [21], ，这印证了我们的直觉：低位的转换次数更多。我们已在图2(b)中观察到 $calculix$工作负载呈现这一行为。字符串数据类型占比较大的应用具有独特的写入模式，且该模式很大程度上取决于字符编码标准。除数据类型外，缓存块中各字的有效性也会影响转换模式。有些块中的所有字都包含有效数据，例如图 2(a)中的 $bwaves$ 工作负载；而有些块则包含若干无效字，例如图 2(c) 所示的 $cactusADM$ 的一些已写入块。

高效的 ECC 配置应能够将总状态转换均匀地分配到所有码字之间。为此，ROBIN 对数据位进行分区，使块中的所有 64位字以及这些字的全部八个字节都参与生成所有 ECC字。此外，所有字节的所有位位置

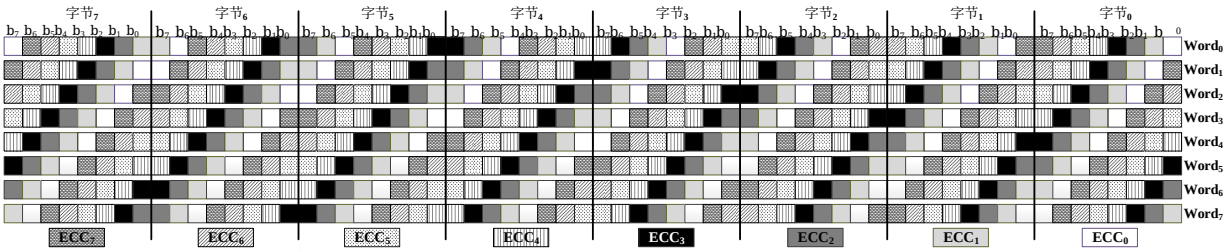


图 4。 ROBIN 纠错码的纠错码配置示意图。

在一个字中的贡献也应在每个码字中保持一致。

图 4 展示了 ROBIN 在构造码字和生成纠错码时所采用的策略。考虑一个由八个 64 位数据字组成的 512 位缓存块，每个数据字中的八个位都会参与生成每个纠错码。从另一方面看，全部 64 个字节都会参与生成所有纠错码（每个纠错码从每个字节中取一位）。此外，字中每八个字节的八个位位置也会以相同方式分配到各个纠错码中。对于 $byte_0$ 中的字，每个位位置 b_0、 b_1..... b_7 都从 $byte_0$ 中的一个独特字中选取，并归入同一组。为平衡字内不同字节的位位置差异，每个字的每个字节都会选取一个独特的位位置来生成每个纠错码。用数学方式表示，每个纠错码字 ECC_n （n $\in$ {0, ,1, ...7}）都是根据式 (4) 从 64 个数据位中选取得到的函数：

$$ECC_n = f(\{b_{i,j,(i+j+n)} | \ \forall i,j\{0,1,...,7\}\}) \qquad (4)$$

其中，$b_{i,\ j,\ (i+j+n)}$ 是 $byte_j$ 中 $word_i$的第（$i+j+n$）mod（8）位位置上的一个数据位。采用这种策略对数据位进行分组以生成 ECC，ROBIN 能够在数据字之间、每个字的字节之间以及每个字节的位位置之间分散状态转换变化。为清晰起见，我们重点研究了由八个 8 位单错纠正双错检测码保护的 512 位缓存块。然而，ROBIN 的配置通常与数据和 ECC 大小以及编码方案无关。它可随块大小扩展，也适用于其他 ECC。该方法不会影响 ECC 编码器/解码器逻辑的复杂度，其开销也几乎与交织纠错码相同。

IV. Simulation Setup and Results

为评估所提出 ROBIN 纠错码的效率，我们将其实现于 gem5 周期精确模拟器 [14]中，并使用 SPEC CPU2006 基准测试套件作为工作负载。前 1 亿条指令被跳过，作为预热阶段；随后提取接下来 10 亿条指令的结果。仿真细节如表 I 所示。我们根据转换分布和错误率，将 ROBIN 与按字纠错码和交织纠错码进行比较。结果均以最优ECC 为基准进行归一化。

图 5 展示了缓存块中状态转换总次数的变化情况。对于工作负载中的所有写入访问，我们对一个块中八个码字的状态转换次数进行排序，并将这些数值的总和归一化为码字状态转换次数的平均值（即最优ECC中的状态转换次数）。图 5 展示了逐字、交错和 ROBIN 配置下，状态转换次数最少和最多的码字的状态转换次数。

以均匀分布（最优）下码字中的转换次数为基准进行归一化后，结果表明，逐字纠错码的码字转换次数平均在41.1%至208.8%之间。对于交织纠错码，该区间更小，码字中的最小和最大转换次数分别为43.6%和169.2%。ROBIN通过将码字中的转换次数平均限制在73.7%至128.4%之间，显著缩小了这一差距。值得注意的是，在最坏情况下，ROBIN中码字的最小转换次数大于61.8%，最大转换次数小于146.1%。逐字纠错码对应的数值分别为7.4%和390.4%，而交织纠错码对应的数值分别为17.8%和222.2%。码字转换次数之间的差距越大，表明非均匀性越高；与均匀分布（最优纠错码）相比，这会导致更高的缓存错误率。

图 6 展示了三种评估过的 ECC 配置下的缓存错误率。结果表明，与最优 ECC 相比，状态转换分布的非均匀性会导致缓存错误率上升。平均而言，逐字 ECC 和交织纠错码分别使错误率增加 151.7% 和 42.3%。在 ROBIN 中，这一数值降至 5.3%。因此，ROBIN 分别将逐字 ECC 和交织纠错码因状态转换非均匀性导致的错误率增加幅度降低了 28.6 倍和 8.0 倍。对于某些工作负载，逐字 ECC 的错误率增幅甚至超过 300%，例如 $cactusADM$、$sjeng$ 和 $libquantum$。在最坏情况下，交织纠错码使 $h264ref$ 的错误率增加了 225.1%。对于所有工作负载，ROBIN 的错误率增幅均低于 10%。对于某些工作负载，这一数值甚至低于 1%，例如 $cactusADM$、 $namd$、$sjeng$ 和 $astar$，几乎与最优 ECC 相同。

V. Summary and Conclusions

写入失败是新兴自旋转移矩磁随机存取存储器缓存面临的主要可靠性挑战。数据依赖性以及块内不同码字的差异，会显著降低传统 ECC 的效率。本文 1）研究了常用的逐字和交织纠错码，并发现这些方案会使缓存错误

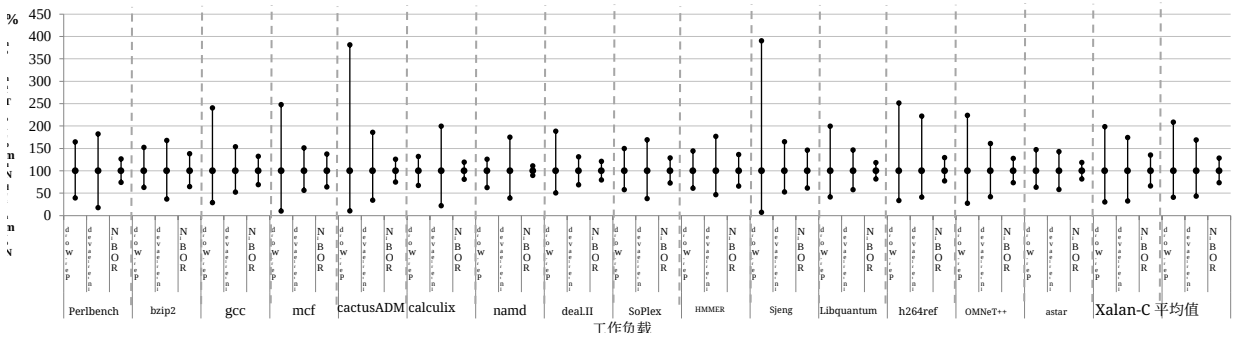


图 5。Vari 缓存块码字之间状态转换次数的变化（最小值、平均值和最大值 ）.

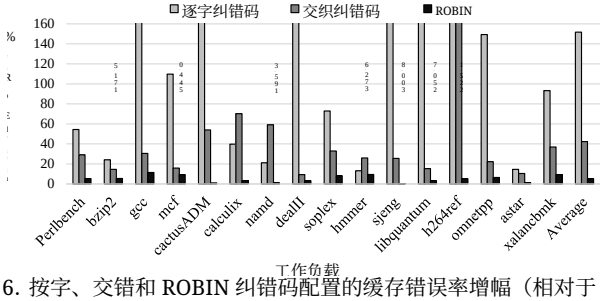


图 6. 按字、交错和 ROBIN 纠错码配置的缓存错误率增幅（相对于最优ECC归一化）。

率分别增加 151.7% 和 42.3%；2）提出了高效的 ROBIN 纠错码，可将缓存错误率降低至仅 5.3%。这一缓存可靠性的显著提升并未增加纠错码开销。ROBIN 是传统逐字配置和交织配置的一种有前景的替代方案，可提高新兴自旋转移矩磁随机存取存储器缓存中 ECC 的效率。

Acknowledgment

本研究部分得到*Iran National Science Foundation* (INSF)资助，项目编号为 96006071，另有 *National Elites Foundation* 资助。

References

[1] H. Naeimi *et al.* *Intel*，《自旋转移力矩磁阻随机存取存储器缩放与保持失效》，，卷号，页码–。[2] E. Cheshmikhani、H. Farbeh、S. G. Miremadi 和 H. Asadi，《Ta-lrw：一种用于降低自旋转移矩磁随机存取存储器缓存错误率的替换策略》，*IEEE Trans. Comput.*，即将出版，2018 年。[3] R. Salkhordeh 和 H. Asadi，《混合动态随机存取存储器-非易失性存储器架构中的一种操作系统级数据迁移方案》，载于 *Proc. Des., Autom. & Test Euro. Conf. & Exh.* EDA Consortium，2016 年，第 936–941 页。[4] A. Chen，《新兴非易失性存储器（NVM）技术及应用综述》，*Elsevier Solid-State Electron.*，第 125 卷，第 25–38 页，2016 年。[5] E. I. Vatajelu *et al.*，《新兴存储器测试中的挑战与解决方案》，*IEEE Trans. Emerging Topics Comput.*，2017 年，即将出版。[6]J. Choi 和 G.-H. Park，《用于芯片多处理器混合缓存架构的 NVM 路分配方案，以减少 NVM 写入》，*IEEE Trans. Paral. Dist. Syst.*，第 28 卷，第 10 期，第 2896–2910 页，2017 年。[7] S. Mittal，《非易失性存储器软错误缓解技术综述》，*Computers*，第 6 卷，第 1 期，第 8 页，2017 年。

[8] A. Chintaluri、H. Naeimi、S. Natarajan 和 A. Raychowdhury，《嵌入式自旋转移矩（STT）磁随机存取存储器阵列中缺陷与变化的分析》，*IEEE J. Emerg. Sel. Top. Circ. Syst.* 6, 3, 319 329, 2016，卷号，页码–。[9] Z. Azad、H. Farbeh、A. M. H. Monazzah 和 S. G. Miremadi，《一种针对多核处理器末级自旋转移力矩随机存取存储器缓存的高效保护技术》，*IEEE Trans. Paral. Dist. Syst.* 28, 6, 1564 1577, 2017，卷号，页码–。[10] H. Farbeh、H. Kim、S. G. Miremadi 和 S. Kim，《Floating-ECC：通过动态重新定位纠错码位延长自旋转移力矩随机存取存储器的寿命》，*IEEE Trans. Comput.*，第 65 卷，第 12 期，第 3661–3675 页，2016 年。[11] Z. Azad、H. Farbeh、A. M. H. Monazzah 和 S. G. Miremadi，《AWARE：通过自适应路分配为可重构纠错码提供保护自旋转移力矩磁随机存取存储器缓存写入错误的方案》，*IEEE Trans. Emerging Topics Comput.* 2017，即将出版。[12] X. Guo、M. N. Bojnordi、Q. Guo 和 E. Ipek，《Sanitizer：缓解高昂纠错码检查对基于自旋转移矩磁随机存取存储器的主存储器的影响》，*IEEE Trans. Comput.*，2017 年，即将出版。[13] W. Wen *et al.*，《CD-ECC：用于应对非易失性存储器非对称操作错误的内容相关纠错码》，载于 *Proc. Int. Conf. Comput.-Aided Des.*，2013 年。[14] N. Binkert *et al.* 5 *ACM SIGARCH*，《Gem 模拟器》，，卷号，页码–。[15] S. Asadi、A. M. H. Monazzah、H. Farbeh 和 S. G. Miremadi，《Wipe：通过磨损感知模式消除提高基于非易失性存储器的缓存耐久性》，载于 *Proc. IEEE Asia South Pacific Des. Automat. Conf.* 2017，。

[16] E. Eken *et al.*，《一种用于提升自旋转移力矩随机存取存储器读写可靠性的新型自参考技术》，*IEEE Trans. Mag.*，第 50 卷，第 11 期，第 1–4 页，2014 年。[17] H. Sun *et al.*，《通过架构探索为基于自旋转移力矩随机存取存储器的缓存实现充足的磁隧道结器件写入裕量》，*IEEE Trans. Mag.* 48, 8, 2346 2351, 2012，卷号，页码–。[18] Y. Lakys *et al.*，《用于自旋转移矩磁随机存取存储器及逻辑的自使能无错误切换电路》，*IEEE Trans. Mag.*，第 48 卷，第 9 期，第 2403–2406 页，2012 年。[19] C. Yang，《通过电路级技术和错误控制编码提高非易失性存储器技术的可靠性》，*EURASIP J.Adv. Sig. Proc.*，第 1–24 页，2012 年。[20] A. M. H. Monazzah、H. Farbeh 和 S. G. Miremadi，《LER：新兴自旋转移力矩随机存取存储器缓存的最低错误率替换算法》，*IEEE Trans. Device Mater. Rel.*，第 16 卷，第 2 期，第 220–226 页，2016 年。[21] M. Imani、A. Rahimi、Y. Kim 和 T. Rosing，《利用窄位宽值的低功耗混合磁性缓存架构》，载于 *Proc IEEE Non-Vol. Mem. Syst. App. Symp.*，2016 年。