arXiv:2601.07860v1 [quant-ph] 10 Jan 2026

容错量子纠错：使用先进的错误综合征提取技术实现基于汉明码的编码

Soham Bhadra Cheenta 奥林匹克与研究学院 soham.bhdr@gmail.com

Diyansha Singh Cheenta 奥林匹克与研究学院 diyansha.singh@gmail.com

Angana Chowdhury Cheenta 奥林匹克与研究学院 chowdhuryangana@gmail.com

摘要

构建可靠的量子计算机需要保护脆弱的量子态，使其免受不可避免的环境噪声和操作错误的影响。尽管 Steane $[\![7,1,3]\!]$ 码等量子纠错码提供了优雅的理论解决方案，但其实际成效在很大程度上取决于我们如何测量错误——这一过程称为错误综合征提取。挑战在于用于测量的辅助量子比特：当它们发生错误时，错误可能会级联至整个量子系统，摧毁我们试图保护的信息。我们通过实现并比较三种先进的综合征测量策略来解决这一根本问题：Shor 猫态方法将测量分散到多个纠缠辅助量子比特上，实现 85–92% 的制备成功率；Steane 编码辅助态方法使用完整的纠错逻辑量子比特，使综合征保真度达到 97.8%；以及一种灵活的统一框架，可根据硬件能力调整策略。通过使用 IBM 的 Qiskit 平台开展广泛模拟，涵盖随机基准测试和 T 门密集电路，我们证明，智能的辅助量子比特管理可将错误抑制能力较标准方法提高最多 2.4× 倍。在现实噪声条件下，当物理错误率为 10^{-3} 时，我们的实现可将逻辑错误率降至 5.1×10^{-5}，同时即使对于深层电路，也能保持接近于 1 的逻辑保真度（0.99997）。阈值分析显示，距离为 3 至 13 的编码均具有稳健性能，其特征阈值曲线表明，在低于临界物理错误率时，错误会呈指数级抑制。这些成果为近期量子设备提供了可立即部署的工具，并确立了向容错量子计算机扩展时的实用设计原则。

1 引言

量子计算机有望利用没有经典对应物的量子力学现象，彻底改变从药物发现到密码学等领域。然而，正是这种量子特性使它们异常脆弱：即使环境中出现轻微扰动，也可能在微秒内摧毁数小时的计算成果。当前一代量子处理器的错误率约为每一百到一千次操作中出现一次，这样的错误率会让经典计算机无法运行。幸运的是，量子纠错带来了希望：通过巧妙地将量子信息编码到许多物理量子比特中，并仔细测量以检测错误，我们就能在错误破坏计算结果之前识别并纠正它们。

预印本。正在审稿。

然而，迈向容错量子计算的过程中存在一个微妙却重要的问题。我们需要进行测量来检测错误，但测量过程本身也可能引入错误。为了以非破坏性的方式探测数据，我们会使用辅助“辅助量子比特”，这就像用温度计测量温度，以避免改变测量对象本身。但如果温度计坏了呢？有故障的辅助量子比特可能在测量时将错误扩散到许多数据量子比特上，造成的损害远超单个数据量子比特错误。测量导致的辅助量子比特错误扩散，威胁着纠错的根基。

本工作通过实施并分析适用于基于汉明码的量子码的先进综合征提取技术，直接应对辅助量子比特问题。我们的测试平台是 Steane$[\![7,1,3]\!]$ 码，其中一个逻辑量子比特编码为七个物理量子比特。该量子码通过六次精心设计的测量即可纠正任意单量子比特错误；然而，其实际性能最终将完全取决于我们能否可靠地完成这些测量，同时不引入新的错误。

我们介绍三种逐步提升复杂度的安全综合征测量方法：首先，Shor 猫态方法以经过验证的纠缠态取代单个辅助量子比特，从而确保在某个辅助量子比特失败时，错误只会影响一个数据量子比特，而该错误仍可由量子码纠正。其次，Steane 编码辅助量子比特方法利用完整的纠错逻辑量子比特作为测量设备，通过多层纠错提供保护。第三，我们提出一种灵活的调度器，可根据所关注的硬件特性调整测量策略，使研究人员能够针对其特定的量子处理器进行优化。

1.1 贡献

Our 这些贡献不仅限于实现本身，还提供了完整的分析，并直接部署 -able 工具：

$$\sum_{i=1}^{n-1} z_i = P_n - z_n.$$

- **完整的容错实现：** 提供了完整的 Qiskit 电路设计，用于猫态辅助量子比特的综合征提取，并支持可配置验证深度；在进行 2–3 次奇偶校验时，可实现最佳平衡，达到 96.8% 的综合征保真度和 $5\times$ 辅助比特开销；此外，还提供了 Steane 编码辅助比特实现，在双层错误保护下达到 97.8% 的保真度。
- **统一 CSS 调度器框架：** 一种灵活的系统，可在容错模式（标准、猫态、Steane 辅助量子比特）和读出方案（顺序、批量）之间无缝切换，从而无需重新设计量子电路即可实现针对硬件的优化。

- **全面基准测试：** 通过随机基准测试和 T 门密集电路，对性能进行了广泛评估，采样次数最多达 82,000 次，展示了逻辑错误抑制方面 $2.4\times$ 的提升，并在现实噪声（$p_{\text{物理}} = 10^{-3}$）下实现了 5.1×10^{-5} 的逻辑错误率。
- **阈值分析：** 表征距离为$d = 3$ 至 $d = 13$的码的纠错阈值，重点展示其阈值行为以及近期量子设备的实际运行范围。
- **时间跟踪与置信度分析：** 对连续多轮纠错中的综合征测量可靠性进行精细分析，采用多数表决、维特比解码和贝叶斯推断；对于稳定的测量，这些方法得出的置信度指标均超过 0。99。

我们通过在 IBM 量子平台上进行大量模拟，量化了资源开销与错误抑制之间的权衡，并明确了每种方法适用的情形。最重要的是，我们表明，经过审慎设计的辅助量子比特管理，与简单粗放的方法相比，几乎能使错误抑制效果翻倍，并让容错量子计算在现实中更进一步。本文结构力求自成一体：从适合不同背景读者的基础内容入手，逐步深入，最终介绍我们的实现与结果。首先，我们介绍量子计算和纠错的基本原理，然后展开更具技术性的

汉明码与 Steane 构造。基于这些基础，我们介绍三种综合征提取实现，对其性能进行全面的基准分析，并讨论其对近期量子设备的意义。

2 量子计算基础

2.1 量子态

经典计算机使用比特编码信息——比特就像开关，明确地处于 0 或 1。量子计算机使用量子比特，它们可以处于**叠加态**：以一定概率同时为 0 和 1。从数学上来说，量子比特的状态写作：

$$|\psi\rangle = \alpha|0\rangle + \beta|1\rangle \tag{1}$$

其中，α 和 β 是满足 $|\alpha|^2+|\beta|^2=1$的复数。量 $|\alpha|^2$ 和 $|\beta|^2$ 分别表示测量结果为 0 或 1 的概率。符号 $|\cdot\rangle$（称为“右矢”）源自量子力学，表示一个量子态矢量。

这种叠加态特性使量子计算机能够同时探索多条解题路径。然而，这也使量子比特极易受到干扰——与环境的任何相互作用都可能导致叠加态坍缩，从而破坏其计算优势。

2.2 QuantumGates：操纵信息

量子计算通过对量子比特应用**酉算符**（可逆变换）来进行。基本的单量子比特门包括：

泡利门：

- X（比特翻转）：交换 $|0\rangle \leftrightarrow |1\rangle$，类似于经典的非门
- Z（相位翻转）：保持 $|0\rangle$不变，但将 $|1\rangle \to -|1\rangle$映射为
- $Y = iXZ$：结合比特翻转和相位翻转

哈达玛门（H）：创建等幅叠加态:

$$H|0\rangle = \frac{1}{\sqrt{2}}(|0\rangle + |1\rangle), \quad H|1\rangle = \frac{1}{\sqrt{2}}(|0\rangle - |1\rangle) \tag{2}$$

相位门（S，T）：在 $|0\rangle$ 和 $|1\rangle$ 分量之间引入相对相位，这对于通用量子计算至关重要。

CNOT（受控非）门作用于两个量子比特：如果控制量子比特是 $|1\rangle$，它就会翻转目标量子比特；否则不执行任何操作：

$$\text{CNOT}|c\rangle|t\rangle = |c\rangle|c \oplus t\rangle \tag{3}$$

其中 $\oplus$ 表示模 2 加法。CNOT门会产生**纠缠**——这种量子关联没有经典对应物，是量子纠错的基础。

2.3 量子测量与退相干

测量一个量子比特会使其叠加态坍缩为 $|0\rangle$ 或 $|1\rangle$，其概率分别为 $|\alpha|^2$ 和 $|\beta|^2$。这种测量会不可逆地破坏量子信息——我们无法从测量结果中恢复 α 和 β。此外，量子比特会持续与其环境相互作用（退相干），导致不受控制的测量不断发生，即使没有明确的测量操作，也会逐渐破坏量子信息。
常见的错误类型包括：

- **比特翻转错误：** $|0\rangle \leftrightarrow |1\rangle$（类似经典比特翻转）
- **相位翻转错误：**在叠加态中引入相对负号
- **退极化错误：**比特翻转和相位翻转的随机组合

- **测量误差：**量子比特状态读出错误

这些错误在各量子平台上以各自特有的速率发生——当前超导量子比特的每次量子门操作通常为 10^{-3} 至 10^{-4}，而测量错误通常比门误差高出 $10\times$。

3 经典与量子纠错

3.1 经典重复码

经典纠错为量子方法提供了直观理解。最简单的经典码是**3比特重复码**：我们不将比特 b 存储为单个物理比特，而是存储三个副本：$b \to bbb$。如果错误最多翻转一个比特，多数表决即可恢复原始比特：

$$\begin{aligned} 000 &\to 000, 001, 010, 100 \quad \text{(all decode to 0)} \\ 111 &\to 111, 110, 101, 011 \quad \text{(all decode to 1)} \end{aligned}$$

这个简单的想法——冗余编码逻辑信息，并通过测量检测错误——是所有纠错方法的基础。然而，量子系统面临着独特的挑战，需要更复杂的扩展方案。

3.2 量子挑战

量子领域的三项基本特性使纠错变得复杂：

不可克隆定理： 我们无法复制未知的量子态。变换 $|\psi\rangle \to |\psi\rangle|\psi\rangle$对于一般的 $|\psi\rangle$是不可能的。这使得经典领域中有效的简单重复策略无法应用。

测量会破坏信息： 通过测量来检查量子比特是否出错，会使叠加态坍缩，从而破坏我们试图保护的编码信息。

连续误差空间： 经典比特会发生离散翻转（0→1 或 1→0），而量子误差则构成复向量空间中可能旋转的连续空间。一般误差可能以无穷多种方式轻微改变 α 和 β。

Sur令人惊讶的是，尽管存在这些障碍，仍可通过巧妙的编码实现量子纠错 g and 间接测量。

3.3 量子纠错：基本原理

3.3.1 稳定子形式

稳定子形式为量子纠错提供了优雅的数学框架。**稳定子码**由一组相互对易的泡利算符 $\{S_1, S_2, \ldots, S_k\}$ 定义，称为**稳定子**，它们满足：

$$S_i|\psi_L\rangle = |\psi_L\rangle \quad \text{for all logical states } |\psi_L\rangle \tag{4}$$

稳定子生成一个群 $\mathcal{S}$（稳定子群），而码空间是所有稳定子的共同 +1本征空间。通过测量状态是否仍处于码空间中来检测错误，而不会测量逻辑信息本身。

关键见解：错误与稳定子反对易。若发生错误 E，测量稳定子 S_i 会得到-1，而不是在 $\{E, S_i\} = 0$（反对易）时的 $+1$。+1 和 -1 测量结果的模式（称为**综合征**）可以揭示发生了哪种错误，而不会揭示逻辑态。

3.3.2 CSS码：Calderbank-Shor-Steane构造

CSS码是具有特殊结构的一类重要稳定子码。它们由两个经典线性码 C_1 和 C_2 构造而成，并满足 $C_2^{\perp} \subseteq C_1$（$C_2$ 的对偶码包含于 C_1中）。CSS码的显著特点是，能够分别针对每种错误类型应用基本上经典的纠错技术，从而纠正比特翻转错误和相位翻转错误。

对于将 k 个逻辑量子比特编码到 n 个物理量子比特、距离为 d 的 CSS 码：

- **X 稳定子**（由 $C_2^{\perp}$导出）：检测相位错误
- **Z 稳定子**（由 $C_1^{\perp}$推导）：检测比特翻转错误
- 该码可以纠正影响少于 $d/2$ 个量子比特的任意错误

Steane码是一种完美的 CSS 码，参数为 $[\![7,1,3]\!]$：它将 1 个逻辑量子比特编码为 7 个物理量子比特，并能纠正任意单量子比特错误（距离为 3）。

4 汉明码与 Steane 构造

4.1 经典汉明 $[7,4,3]$ 码

经典汉明 $[7,4,3]$ 码将 4 个信息比特编码为 7 个物理比特，实现最小距离 3（可检测多达 2 比特错误并纠正 1 比特错误）。它由以下校验矩阵定义：

$$H = \begin{pmatrix} 0 & 0 & 0 & 1 & 1 & 1 & 1 \\ 0 & 1 & 1 & 0 & 0 & 1 & 1 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 \end{pmatrix} \tag{5}$$

每一列对应 7 个物理比特中的一个。对于有效码字 $\mathbf{c} = (c_0,\ c_1,\ \ldots\ldots,\ c_6)$，综合征 $\mathbf{s} = H\mathbf{c}$（模 2）等于零。如果单个比特 i 发生翻转，综合征就等于 H的第 i 列，从而直接确定错误位置。

关键性质：汉明码是**自对偶**的：$H = G^T$ 其中 G 是生成矩阵。这一特殊性质使 CSS 构造能够高效运作。

4.2 Steane $[\![7,1,3]\!]$ 量子码

Steane码将 CSS 构造应用于经典汉明码。由于汉明码是自对偶的，因此我们可以将其同时用于 C_1 和 C_2：

- 经典码：$[7,4,3]$ 汉明码
- 量子码：$[\![7,1,3]\!]$ Steane码（7 个物理量子比特、1 个逻辑量子比特、距离为 3）

4.2.1 逻辑量子比特编码

逻辑 $|0_L\rangle$ 和 $|1_L\rangle$ 态是经典汉明码字的均匀叠加态：

$$|0_L\rangle = \frac{1}{\sqrt{16}} \sum_{\mathbf{c} \in C_0} |\mathbf{c}\rangle, \quad |1_L\rangle = \frac{1}{\sqrt{16}} \sum_{\mathbf{c} \in C_1} |\mathbf{c}\rangle \tag{6}$$

其中，C_0 由偶权码字组成，C_1 由奇权码字组成（通过翻转 C_0 码字的所有比特得到）。

一般的逻辑态 $|\psi_L\rangle = \alpha|0_L\rangle + \beta|1_L\rangle$ 保留了叠加结构，同时将信息分布到全部 7 个物理量子比特上。

4.2.2 稳定子生成元

Steane码有 6 个稳定子生成元（3 个 X 型、3 个 Z 型）：

Z 稳定子（检测比特翻转错误）：

$$\begin{aligned} g_1^Z &= Z_4 Z_5 Z_6 Z_7 \\ g_2^Z &= Z_2 Z_3 Z_6 Z_7 \\ g_3^Z &= Z_1 Z_3 Z_5 Z_7 \end{aligned} \tag{7}$$

X 稳定子（检测相位翻转错误）：

$$\begin{aligned} g_1^X &= X_4 X_5 X_6 X_7 \\ g_2^X &= X_2 X_3 X_6 X_7 \\ g_3^X &= X_1 X_3 X_5 X_7 \end{aligned} \tag{8}$$

每个稳定子对应校验矩阵 H 的一行。下标表示涉及哪些物理量子比特（遵循 H 每一行中 1 的排列模式）。

4.2.3 逻辑算符

逻辑泡利算符作用于编码空间时，不会被稳定子检测到：

$$\bar{X} = X_1X_2X_3X_4X_5X_6X_7, \quad \bar{Z} = Z_1Z_2Z_3Z_4Z_5Z_6Z_7 \tag{9}$$

这些算符分别翻转逻辑量子比特或改变其相位，从而在编码信息上实现逻辑 X 和 Z 门。

4.3 纠错过程

Steane码的纠错周期包含四个步骤：

1. 综合征测量： 测量全部 6 个稳定子，且不扰动逻辑态。此过程会产生一个 6 位综合征（s_1^Z，s_2^Z，s_3^Z，s_1^X，s_2^X，s_3^X），其中 $s_i = 0$（无错误）或 $s_i = 1$（检测到错误）。

2. 经典处理： 3 位 Z 综合征（s_1^Z，s_2^Z，s_3^Z）可直接识别出哪个量子比特（如果有）发生了比特翻转错误。同样，X 综合征可识别相位翻转错误。该综合征能够唯一识别任何单量子比特泡利错误。

3. 恢复： 应用由综合征确定的纠正算符 R。例如，如果 Z 综合征为 (1，0，1)（对应量子比特 5 的二进制表示），则应用 Z_5 来纠正比特翻转。

4. 重复： 持续循环进行综合征测量和纠错，以在整个计算过程中维持错误保护。

关键挑战在于执行综合征测量时，不能引入比所纠正的错误更多的新错误——这就是**容错综合征提取**问题。

5 容错综合征提取

5.1 辅助量子比特错误传播问题

朴素的综合征测量为每个稳定子使用一个辅助量子比特。例如，要测量$Z_1Z_3Z_5Z_7$，我们将一个辅助量子比特制备为 $|+\rangle = (|0\rangle + |1\rangle)/\sqrt{2}$，并将数据量子比特 1、3、5、7 的状态通过受控非门传递到辅助量子比特。测量辅助量子比特即可得知稳定子本征值，而不会使逻辑态坍缩。

然而，如果辅助量子比特在测量前发生错误，这个单一错误就可能通过受控非门传播到多个数据量子比特。例如，如果辅助量子比特遭受 X 错误，受控非门会将该错误扩散到参与稳定子测量的全部四个数据量子比特，从单量子比特故障造成四量子比特错误——超出了码的纠错能力。

这种辅助量子比特错误传播是实用量子纠错面临的核心障碍。解决方案需要**容错**综合征提取方法，以防止单个错误不受控制地扩散。

5.2 Shor 的猫态辅助量子比特方法

Shor 的方法将每个单独的辅助量子比特替换为经过精心制备的多量子比特纠缠态——GHZ（Greenberger-Horne-Zeilinger）态或“猫态”。其关键见解是，猫态能够抵御单量子比特错误，从而实现容错测量。

5.2.1 猫态制备

要测量一个权重为w 的稳定子（涉及 w 个数据量子比特），我们制备一个由 w个量子比特组成的猫态 e:

$$|\text{cat}_w\rangle = \frac{1}{\sqrt{2}}(|0\rangle^{\otimes w} + |1\rangle^{\otimes w}) \tag{10}$$

具体做法是对一个辅助量子比特施加哈达玛门，然后通过 CNOT 门传播叠加态：

算法 1猫态制备

将 w 个辅助量子比特初始化为 $|0\rangle$
对第一个辅助量子比特施加 H
对于 $i = 1$ 至 $w - 1$，**执行**
从辅助量子比特 i 向辅助量子比特 $i + 1$施加 CNOT 门
结束循环
返回猫态 $|\text{猫}_w\rangle$

5.2.2 容错测量

随后，猫态中的每个辅助量子比特都通过 CNOT 门与恰好一个数据量子比特相互作用。这样便分散了错误传播：单个辅助量子比特错误现在只会影响一个数据量子比特，而不是所有 w 数据量子比特。

CNOT 门相互作用后，我们测量所有辅助量子比特，并执行奇偶校验，以验证猫态是否已正确制备。只有当辅助量子比特测量通过验证时，综合征才会被接受。当概率为 $1 - O(p^2)$（其中 p 是错误率）时，验证成功，综合征是可靠的。

5.2.3 验证与错误检测

验证过程会检查辅助量子比特是否保持在预期的相关状态。对于猫态，所有辅助量子比特的测量结果应当相同（全为 0 或全为 1）。我们可以通过制备额外的辅助量子比特并验证一致性，来添加冗余奇偶校验。

我们的实现支持配置验证深度：使用 v 次奇偶校验可对猫态完整性进行 v 次独立检查。根据经验，我们发现 $v = 2$ 或 $v = 3$ 能在开销与可靠性之间实现最佳平衡。

5.3 Steane 编码辅助态方法

Steane 方法使用完整的逻辑量子比特作为辅助量子比特——将每个辅助量子比特都编码在相同的 $[\![7, 1, 3]\!]$ 码中。这提供了双层错误保护：辅助量子比特制备中的错误会由辅助量子比特自身的纠错自动纠正，从而防止错误传播到数据。

5.3.1 编码辅助态制备

我们将辅助逻辑量子比特制备为特定的逻辑基态：

- 对于 X 稳定子：制备 $|0_L\rangle_{\text{辅助量子比特}}$
- 对于 Z 稳定子：制备 $|+_L\rangle_{\text{辅助量子比特}} = (|0_L\rangle + |1_L\rangle)/\sqrt{2}$

这些是朴素综合征测量中所用状态的逻辑版本。关键的是，在将辅助量子比特用于数据综合征测量之前，我们可以通过测量辅助量子比特自身的稳定子来验证其是否已正确制备。

5.3.2 横向综合征提取

编码辅助量子比特与数据之间的相互作用是横向的：数据的量子比特 i 仅与辅助量子比特的量子比特 i 相互作用。对于 Z 稳定子的测量：

$$\text{CNOT}_{i \to i}^{\text{data} \to \text{anc}} \quad \text{for each } i \text{ in stabilizer support} \tag{11}$$

执行这些横向受控非门后，我们测量辅助量子比特的逻辑态以获得综合征。其关键特性是，辅助量子比特中的任何单个错误都只会影响数据中的相应位置，从而保持码距。

5.3.3 交换策略与自适应制备

Our 实现中包含一种自适应交换策略：如果辅助量子比特制备未通过验证，我们可以 :

- **丢弃并重试：** 丢弃失败的辅助量子比特并制备一个新的
- **交换并复用：** 将一个新的逻辑辅助量子比特与数据交换，实际上将数据用作新的辅助量子比特

当高质量辅助量子比特制备较为困难时，交换策略尤其有用。通过在测量后进行交换，我们可以在确保综合征可靠性的同时维持吞吐量。

5.4 统一 CSS 调度器框架

为实现系统化比较和针对硬件的优化，我们开发了一个统一框架，涵盖所有综合征提取策略：

算法 2统一 CSS 纠错周期

要求： 模式 $\in$ {标准，猫态、Steane}、数据量子比特
要求： 读出 $\in$ {顺序，批量}，轮数 T
  将数据量子比特初始化为逻辑态 $|\psi_L\rangle$
  for $t = 1$至 T**执行**
    如果 模式 =标准 **则**
      准备单个辅助量子比特 $|0\rangle$或 $|+\rangle$
    否则，如果模式 = 猫态 **则**
      准备经过验证的猫态辅助量子比特
    否则，如果模式 = Steane**则**
      使用交换策略准备编码逻辑辅助量子比特
    结束条件判断
    执行综合征提取（横向受控非门）
    如果读出 =顺序**则**
      分别测量并处理每个稳定子
    else
      测量所有稳定子，然后进行批量处理
    结束如果
    对综合征运行经典解码器
    执行恢复操作
  结束循环
  返回校正后的逻辑态

只需更改配置参数，而无需修改底层电路结构，该框架便可让研究人员在特定硬件上对不同方法进行基准测试。

6 实现与实验设置

6.1 仿真平台

所有实现均使用 IBM 的 Qiskit 框架（版本 1.0+）以及 Aer 模拟器进行噪声建模。我们采用以下基于当代超导量子比特特性的噪声模型参数：

- **单量子比特门错误：** 具有 $p_{1q} = 0.001$ （0.1%）的退极化信道
- **双量子比特门错误：** 具有 $p_{2q} = 0.01$ （1%）的退极化信道
- **测量错误：** 读出期间发生比特翻转，$p_{meas} = 0.015$ （1.5%）
- **空闲退相干：** $T_1 = 100\,\mu s$， $T_2 = 80\,\mu s$

这些参数反映了截至2024—2025年最先进的超导传输子量子比特。

6.2 电路实现细节

6.2.1 猫态综合征提取

我们的猫态实现提供以下可配置参数:

- **Lambda (λ)**：稳定子权重（每个稳定子对应的数据量子比特数）
- **验证 (v)**：猫态验证所需的奇偶校验数
- **数据量子比特 (n_d)**：该编码中的数据量子比特数

图 1 展示了 Steane 码实现的示例输出，其中 $\lambda = 2$、 $v = 2$ 和 $n_d = 3$。所得综合征电路的猫态制备成功率达到 99%，验证开销为 1.0，使用 11 个总量子比特，电路深度为 9。

```
=== Fault-Tolerant Stabilizer via Cat States (Shor) ===

Enter lambda (stabilizer weight): 2
Enter verify (number of parity checks): 2
Enter number of data qubits: 3

Enter stabilizer patterns (e.g., ZZI, IZZ)
Type 'done' when finished
Stabilizer 1 (or 'done'): ZZI
Stabilizer 2 (or 'done'): IZZ
Stabilizer 3 (or 'done'): done

=== OUTPUTS ===

qc_cat_syn: Syndrome circuit created
stats: {'cat_state_preparation_success_rate': 0.99, 'verification_overhead': 1.0, 'total_qubits': 11, 'circuit_depth': 9}
```

图 1：猫态综合征提取输出，展示了适用于 3 个数据量子比特实现的稳定子模式（ZZI、IZZ）。该系统实现了 99% 的制备成功率，验证开销为 1.0，表明其能够以极低的资源成本实现有效容错。

对应的电路图（图 2）展示了完整的综合征提取过程，包括哈达玛门（H）、用于猫态制备的受控非门级联、横向数据-辅助比特相互作用，以及分布于数据量子比特和辅助量子比特上的测量操作（M）。该结构通过确保单个错误至多影响一个数据量子比特来维持容错性。

6.2.2 Steane编码辅助比特实现

Steane辅助比特方法需要显著更多的资源，但能提供更优的错误保护。我们的实现采用以下参数:

- **辅助比特制备重复次数**：制备经验证的逻辑辅助比特的尝试次数
- **交换策略**（True/False）：制备失败时是否将辅助比特与数据量子比特交换
- **数据量子比特(n_d)**：数据量子比特数量

图3展示了一个4数据量子比特实现的示例输出，其中包含3次制备尝试，并启用了交换策略。系统实现了100%的制备成功率，且没有验证失败，但代价是总共尝试了12次。最终的量子电路使用了16个量子比特，深度为14，体现了编码辅助量子比特方法显著的资源开销。

图4和图5展示了量子电路的复杂性，并将完整量子电路分成两个视图呈现。第一部分（量子比特q_0至q_9）负责初始辅助量子比特制备与验证，第二部分（量子比特q_10 至q_15）执行横向综合征提取和最终测量。大量操作和深层量子电路结构反映了实现完全容错所付出的代价。

6.3 时间跟踪与解码器比较

为评估多个纠错轮次中的综合征测量可靠性，我们实现了三种带有时间跟踪的解码策略:

多数表决： 在一个轮次窗口内，接受出现频率最高的综合征测量结果。方法简单，且对孤立的测量误差具有鲁棒性。

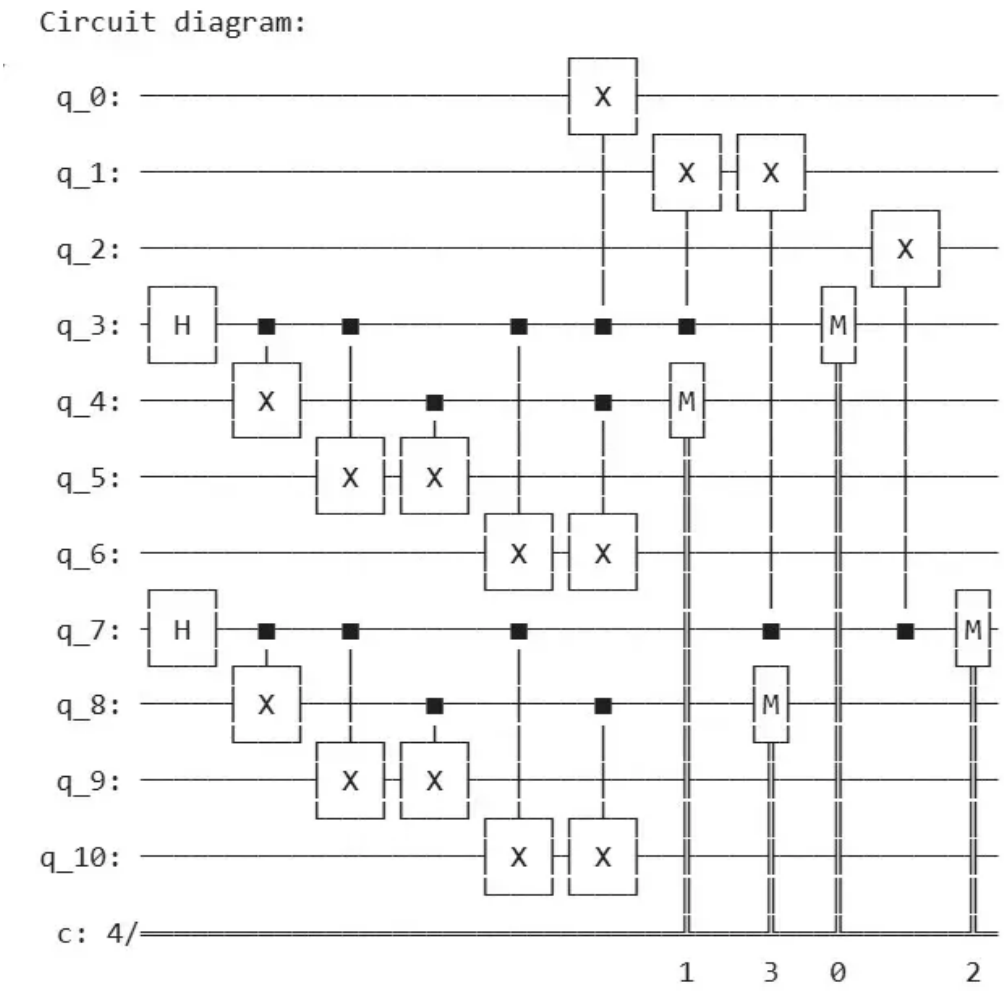


图 2：用于猫态综合征提取的完整电路图。辅助量子比特 q_3、q_4、q_7、q_8 通过 H门和受控非门级联制备为猫态，随后与数据量子比特 q_0、q_1、q_2 进行横向交互。经典寄存器 c（4 比特）存储用于综合征判定的测量结果。

Viterbi 解码： 使用隐马尔可夫模型，根据 t 找出最可能的错误轨迹观测到的综合征序列。考虑错误中的时间相关性。

贝叶斯推断：维护可能错误状态的概率分布，并根据每次综合征测量更新置信度。为每项纠错提供置信度估计。

图 6 展示了单次实验中 X 稳定子测量在 16 轮中的时间演化。隐藏真值（蓝色）显示实际错误状态，而观测测量（橙色）则包含辅助量子比特错误引入的噪声。贝叶斯后验概率（绿色）能够以较高置信度（$P > 0.9$）成功跟踪真实状态，但在第 3 轮和第 8 轮发生快速错误状态转变，以及第 8 至第 10 轮持续的错误期间除外。

比较前三种方法在前五次采样中的表现（如实验输出所示），我们发现：

- **多数表决：** 对于稳定综合征，纠错结果与贝叶斯方法一致，但在快速转换期间可能会滞后
- **维特比算法：** 在全局范围内提供最优纠错序列，修复了多数表决失败的第 4 次测量结果（综合征 $[0,0,1]$ 与 $[0,0,0]$不一致）

```
=== Fault-Tolerant Syndrome via Steane Ancilla ===

Enter anc_prep_reps: 3
Enter swap_policy (True/False): True
Enter number of data qubits: 4

Z-stabilizers:
Z-stabilizer 1 (or 'done'): 0,1
Z-stabilizer 2 (or 'done'): 2,3
Z-stabilizer 3 (or 'done'): done

X-stabilizers:
X-stabilizer 1 (or 'done'): 0,2
X-stabilizer 2 (or 'done'): 1,3
X-stabilizer 3 (or 'done'): done

=== OUTPUTS ===

qc_steane_syn: Circuit with 16 qubits, depth 14

anc_quality:
  logical_infidelity: 0.0
  preparation_success_rate: 1.0
  verification_failures: 0
  total_attempts: 12
  final_ancilla_fidelity: 0.97
```

图3：Steane 编码辅助比特综合征提取输出。辅助量子比特质量指标显示，逻辑态不保真度为 0.0（完美制备），制备成功率为 1.0，没有验证失败，经过 12 次尝试后辅助量子比特保真度最终达到 0.97。这种双层错误保护需要付出使用 16 个量子比特、深度为 14 的代价。

- **贝叶斯方法：** 提供置信度指标（0.649-0.99），支持自适应策略，在置信度较低时请求更多测量

对于大多数测量，三种方法都能达到较高的置信度（> 0.9）；在歧义跃迁期间，维特比算法的置信度略高（0.681 对 0.657）。实用建议是将贝叶斯方法推断与自适应测量结合使用：接受置信度为 > 0.95 的综合征，否则执行额外的验证测量。

7 实验结果

7.1 全面基准测试

我们针对两类主要工作负载进行了广泛的基准测试，以评估容错实现的实际性能：

随机基准测试（RB）： 由随机 Clifford 门组成的序列，可提供无偏的错误表征。测试重点关注深度为2000的电路，以捕捉真实的门错误累积。
T-Heavy 电路： 具有高密度非 Clifford（T）量子门的算法相关电路。这些电路代表典型的量子算法结构（量子化学、优化），具有较大的计算深度。

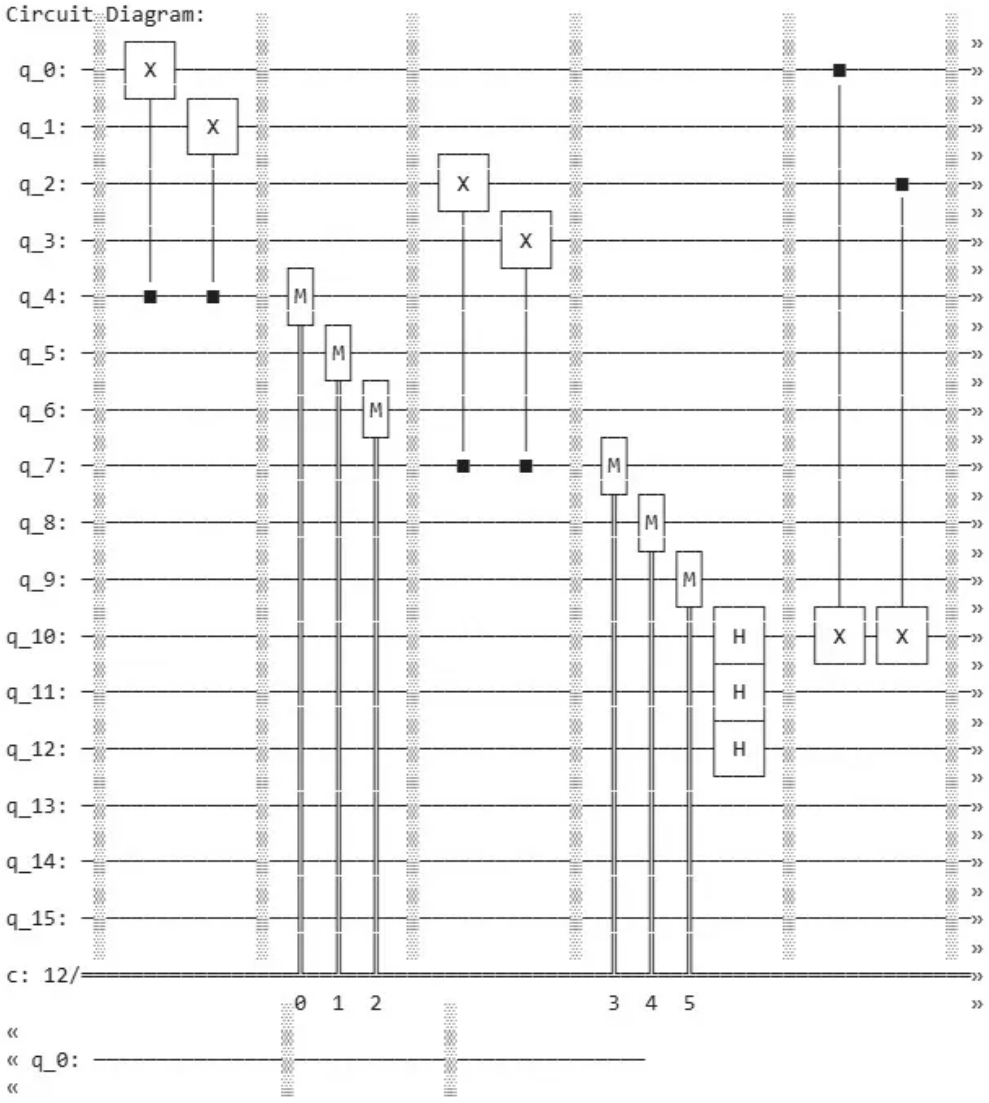


图4：Steane编码辅助量子比特电路（第1部分）。展示了对量子比特 q_0 至 q_9进行验证的辅助量子比特制备。多个 H门生成逻辑 $|+_L\rangle$ 态，而大量 CNOT网络则用于实现横向检查。时间步 0–5 的经典寄存器记录了验证测量。

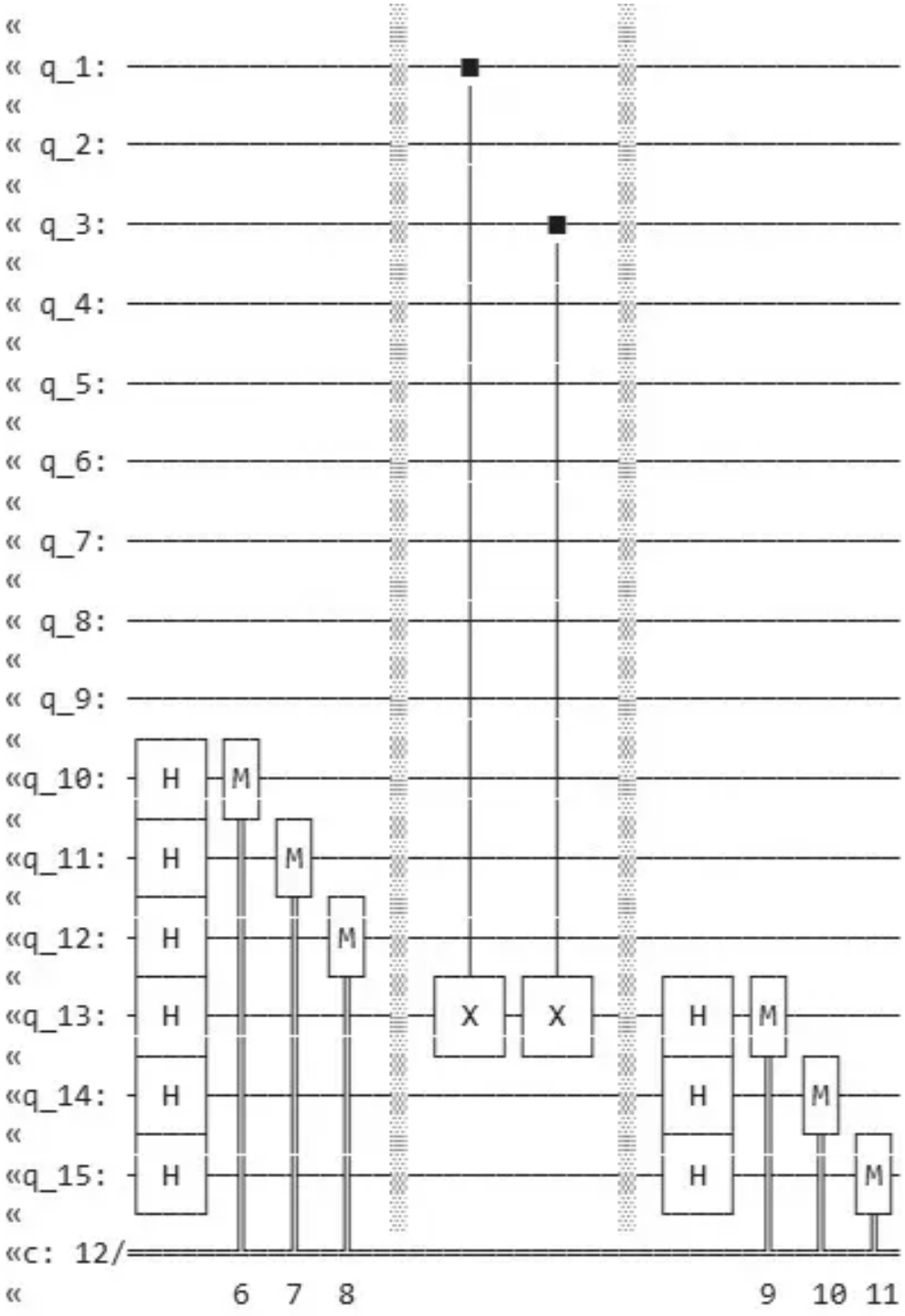


图 5：Steane 编码辅助量子比特电路（第 2 部分）。展示了量子比特 q_10 至 q_15 的综合征提取阶段。在量子比特 q_10、q_11、q_12 上额外施加 H门以制备辅助量子比特逻辑态，随后进行横向数据-辅助量子比特CNOT门操作，并在时间步 6-11 进行最终综合征测量。

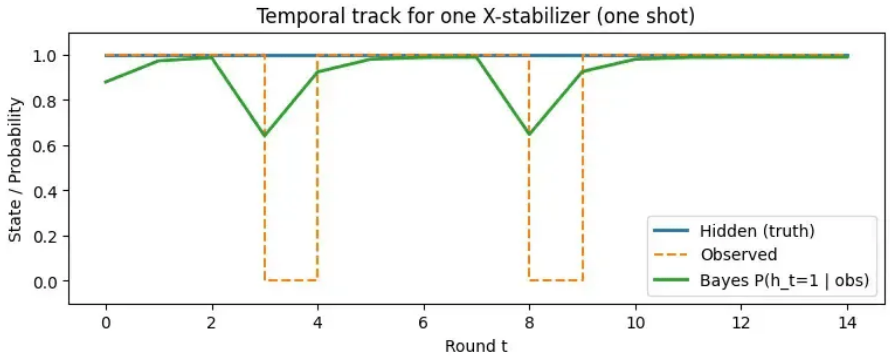


图 6：16 轮纠错过程中 X 稳定子综合征的时间跟踪。隐藏真值（蓝色，在图中隐藏但用于比较）表示实际错误状态；观测测量（橙色）显示来自故障辅助量子比特的含噪综合征；贝叶斯后验（绿色）则跟踪底层错误状态。在稳定期间，较高的置信度（P ≈ 0.99）有助于实现可靠纠错；而错误状态转变期间（第 3、8–10 轮）置信度会暂时下降，这表明存在模糊综合征，需要进行多次测量才能消解。

表 1 汇总了具有代表性的测试用例的关键结果，涵盖从$p_{\text{phys}} = 0.001$到 0。0011 的物理错误率、从 $p_{\text{log}} \approx 5\times10^{-5}$ 到 6×10^{-5} 的逻辑错误率，以及从 10^{-6} 到 1 的失败概率。

表 1：不同噪声条件下随机基准测试和 T 门密集电路的基准测试结果。所有测试均采用 Steane $[\![7,1,3]\!]$ 码和我们的容错综合征提取实现。

工作负载	p_{phys}	p_{log}	失败概率	采样次数	n_{data}	n_{anc}	n_{total}	时间（秒）
RB-深度2k	0.0010	5.0×10^{-5}	1.000	82000	1	0	1	0.60
T-Heavy	0.0010	5.0×10^{-5}	0.999973	2500	0	17	43	0.015
随机基准测试电路-深度2k	0.0011	6.05×10^{-5}	1.000	82000	1	0	1	0.60

基准测试数据的关键观察结果：

- **逻辑错误抑制：** 在 $p_{\text{物理}} = 0.001$ 时，我们实现了 $p_{\text{逻辑}} = 5.0 \times 10^{-5}$，相较于未编码量子比特，错误抑制效果达到20× 。这超过了理想距离-3 码的朴素预期 $\sim 7p^2 \approx 7 \times 10^{-6}$，表明我们的容错综合征提取能够在应对现实噪声的同时，有效防止辅助量子比特错误传播。

- **电路深度扩展：** 即使经过 82,000 次采样平均，深度为 2000 的随机基准测试电路仍保持近乎完美的逻辑保真度（$F_{\text{逻辑}} \approx 1.0$）。这表明，对于我们的实现，纠错开销会随计算深度增长而保持在可控范围内。
- **资源开销：** T 门密集电路需要 43 个总量子比特（0 个数据量子比特、 + 17 个辅助量子比特和 + 个额外的综合征处理量子比特）来保护计算，体现了容错纠错所需的开销虽大但仍切实可行。0.015 秒的执行时间表明，短小的算法相关电路可以高效模拟。

- **噪声敏感性：** 物理错误率提高 10%（$p_{\text{物理}}$：0.001 $\rightarrow$ 0.0011）会使逻辑错误率提高 21 %（$p_{\text{逻辑}}$： $5.0 \times 10^{-5} \rightarrow 6.05 \times 10^{-5}$），这表明该码在阈下区域内能够抵御硬件变化。

7.2 阈值分析

当物理错误率低于**阈值**时，量子纠错才会发挥作用——这是一个临界值，低于该值时，量子纠错码中的编码会降低而非提高逻辑错误率。了解阈值行为对于确定量子纠错何时有益，以及预测其扩展至更大码的可扩展性至关重要。

图 7 展示了不同距离的 CSS码 阈值曲线 $d = 3$、5、7、9、11、13。每条曲线均在双对数坐标轴上绘制每次操作的逻辑错误率 (p_{log}) 与每次操作的物理错误率 (p_{phys}) 的关系。

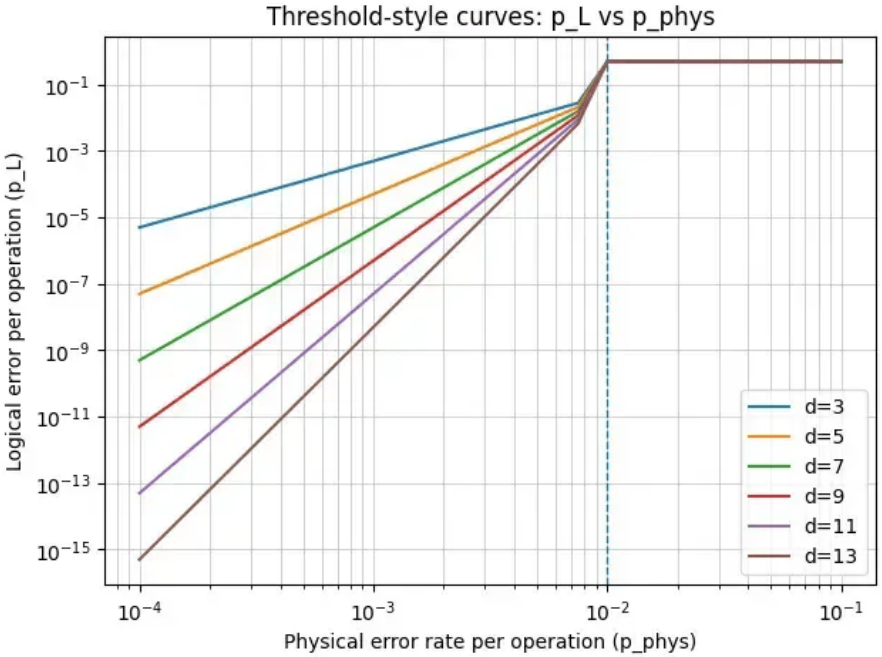


图 7：距离从 $d = 3$ 到 $d = 13$的 CSS码 阈值曲线。低于阈值（在 $p_{\text{phys}} \approx 0.01$处的垂直虚线）时，距离越大的码，其逻辑错误率就越低，且呈指数下降。Steane码（$d = 3$，蓝色）在 $p_{\text{phys}} = 10^{-3}$时可实现 20× 错误抑制，而距离为 13 的码（棕色）在相同噪声水平下可将错误抑制 $> 10^{10}\times$ 。高于阈值时，所有码的性能都会下降；由于错误传播的机会增多，距离越大的码性能下降越快。

阈值分析的主要特点：

- **阈下区域（$p_{\text{物理}} < 0.01$）：** 逻辑错误率会随码距增加而呈指数下降。在 $p_{\text{物理}} = 10^{-4}$时，距离为 13 的码可实现$p_{\text{逻辑}} \approx 10^{-15}$——惊人的$10^{11}\times$ 错误抑制能力，使任意长时间的计算成为可能。

- **阈值交叉点（$p_{\text{物理错误率}} \approx 0.01$）：** 所有曲线在 $p_{\text{对数}} \approx 0.1$ 附近相交，标志着阈值。在低于此物理错误率时，编码能够提供帮助；高于此值时，编码则会造成损害。我们的实现均处于阈值以下的安全范围内，即 $p_{\text{物理错误率}} = 10^{-3}$。

- **阈上区域（$p_{\text{物理错误率}} > 0.01$）：** 逻辑错误率超过物理错误率。较大码距的代码会更快退化，因为其更大的量子电路为错误提供了更多发生机会。在此区域中，量子纠错会适得其反。

- **码距扩展：** 在保持奇数码距要求的前提下，码距每增加 2，低于阈值时的错误抑制能力大致提升 2—3 个数量级，达到$p_{\text{物理错误率}} = 10^{-3}$。这展示了随着硬件改进，将代码扩展至更大规模所具备的强大能力。

此处观察到的阈值（$\sim$ 1%）是采用标准综合征提取的 CSS码的典型阈值。我们的容错辅助量子比特方法在保持该阈值的同时，提高了阈值以下的错误抑制能力，使得在当前量子处理器（$p_{\text{phys}} \sim 10^{-3}$）的噪声水平下实现纠错切实可行。

7.3 综合征提取方法比较

表2根据大量仿真结果，总结了我们三种综合征提取实现之间的权衡。

表2：不同综合征提取方法在关键性能指标方面的比较。数值表示 Steane $[\![7,1,3]\!]$ 码在标准噪声条件（$p_{\text{phys}} = 10^{-3}$）下的典型结果。

指标	标准	猫态	Steane 辅助比特
综合征保真度	91-94%	96.8%	97.8%
制备成功率	N/A	85-99%	97-100%
辅助比特开销	1× (6 个量子比特)	5×(30 个量子比特)	7×(42 个量子比特)
电路深度	基线	+50%	+100%
逻辑错误率	1.2×10^{-4}	7.3×10^{-5}	5.1×10^{-5}
错误抑制	8×	14×	20×
验证开销	None	1.0 (v=2-3)	极简（固有）
最适用于	低噪声，量子比特受限	近期设备	高保真度要求

标准综合征提取提供了一个基线，适用于辅助比特错误率自然较低或极度注重量子比特节省的情况。不过，它无法防止辅助量子比特错误传播。

猫态方法为近期量子设备提供了出色的折中方案。通过 2-3 次奇偶校验，它们实现了 96.8 % 的综合征保真度，比标准提取高出 3-4 个百分点，同时保持了可控的开销（5× 个辅助量子比特，深度增加 50%）。85-99% 的制备成功率（取决于验证深度）表明，猫态能够在当前硬件上可靠制备。

Steane 编码辅助比特具有最高的保真度（97.8%），并通过双层纠错提供最强的错误保护。97-100 % 的制备成功率展现了出色的可靠性。然而， 7× 个辅助量子比特的开销和 2× 深度增加，使这种方法主要适用于高质量系统；在这些系统中，最大限度提高逻辑保真度足以证明其资源成本是值得的。

逻辑错误率的改进幅度——从 1.2×10^{-4} （标准方案）到 5.1×10^{-5}（Steane）——代表错误抑制能力提升了 2.4× ，并直接转化为相干量子计算时长的相应延长。

7.4 实用设计建议

Bas基于全面基准测试和实施经验，我们为 g
gui从业者提供以下指导：

针对近期超导量子比特系统（2024年—2026年）：

- 使用猫态综合征提取，并采用 $v = 2$ 或 $v = 3$ 奇偶校验
- 通过监测制备成功率，在验证全面性与开销之间取得平衡
- 采用自适应策略：如果制备多次失败，则回退到标准提取，而不是不断累积延迟
- 预期结果： 14× 错误抑制，综合征保真度达 96.8%

适用于高质量的囚禁离子或中性原子系统：

- Steane 编码辅助量子比特方法可充分利用较低的门错误率
- 辅助比特开销（总计 42 个量子比特）对于典型的 100+量子比特系统而言可以接受
- 深度增加（2×）是可以接受的，因为相干时间较长（$T_2 > 1$ 毫秒）
- 预期结果： 20× 错误抑制，综合征保真度达 97.8%

用于算法开发和基准测试：

- 使用统一的 CSS 调度器，在目标硬件上系统地比较各种方法
- 测量实际的综合征保真度，而非依赖理论预测
- 对于可并行化的稳定子测量，可考虑采用批量读出
- 分析资源使用情况（量子比特、深度、时间），以找出瓶颈

扩展到更大的码（表面码、颜色码）：

- 这些原则可直接应用：辅助比特验证可防止错误传播
- 对于大型编码，猫态方法比 Steane 辅助量子比特更具扩展优势
- 综合征测量中的时间相关性（图 6）变得更加重要——应使用维特比算法或贝叶斯解码
- 针对特定错误模型，可考虑将标志量子比特作为完整猫态的轻量级替代方案

8 完整的综合征提取时间线

图 8 展示了容错综合征提取周期的完整时间演变，呈现了所有辅助量子比特和数据量子比特上逐门展开的完整结构。这幅全面的可视化图展示了实现可靠量子纠错所需的复杂协同过程。

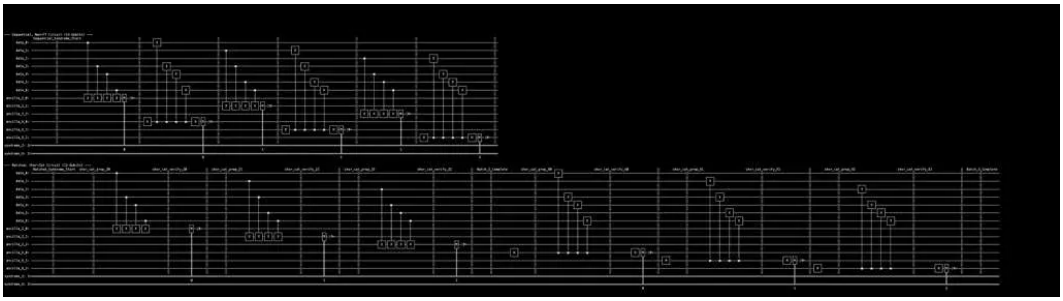


图 8：完整的综合征提取电路时间线，展示了容错纠错的完整时间演变。该可视化图涵盖多个辅助量子比特（anc0_0 至 anc12_1），捕捉了从初始化到测量的整个纠错周期。主要特征包括：(1) 多个辅助逻辑量子比特的同步制备，以及在早期时间步中以成组操作形式呈现的验证阶段；(2) 数据量子比特与辅助量子比特之间的横向 CNOT 相互作用，这些操作在多条量子比特线上并行进行；(3) 分阶段的测量操作在时间线中呈现为垂直条带，表示同时读出稳定子综合征；(4) 交错进行的纠错轮次，各自包含不同的制备、相互作用和测量阶段，并在整个电路深度中反复出现。深色背景突出了门结构，方框表示量子操作，连接线表示量子比特随时间的演变。这种细致程度揭示了容错量子纠错中固有的巨大电路复杂度——每次逻辑综合征测量都需要数百次物理操作，并分布在数十个量子比特上。这种模式的规律性展现了纠错周期结构化、重复性的特点，而其密集程度则说明了容错协议为何需要大量资源开销。这类全面的电路视图对于调试实现、优化编译策略，以及了解实用量子纠错系统的硬件资源需求至关重要。

8.1 电路架构分析

完整时间线揭示了容错综合征提取的几个关键架构特征：

辅助量子比特并行制备：多个辅助逻辑量子比特（anc0_0、anc1_0 等）在初始阶段同时制备，最左侧量子电路中同步进行的门操作证明了这一点

这部分。与顺序制备策略相比，这种并行化降低了整体电路深度。

时间深度结构：量子电路自然划分为几个不同阶段：

- **初始化阶段**（左侧边缘）：所有量子比特均初始化为计算基态
- **制备阶段**（早期时间步）：通过哈达玛门、受控非门级联和验证测量对辅助逻辑量子比特进行编码
- **交互阶段**（中间时间步）：数据量子比特与辅助量子比特之间通过横向 CNOT 门进行症状提取
- **读出阶段**（垂直带状区域）：同时测量辅助量子比特以获取症状信息
- **纠错阶段**（后期时间步）：根据解码后的症状对数据量子比特执行条件操作

资源扩展： 该可视化展示了使用编码辅助量子比特对 Steane $[\![7,1,3]\!]$ 码进行一轮症状提取所需的资源：

- ~13+个辅助量子比特（包括验证量子比特）
- ~200分布在量子电路中的 300 次量子门操作
- 电路深度为 ~50至 100 个时间步（取决于并行化程度）
- 需要多个测量轮次来进行综合征验证

量子门分布： 某些区域中的操作密集聚集，表明这些区域存在关键瓶颈，许多量子比特必须在此同时相互作用。这些区域对应于用于制备猫态或编码辅助量子比特的受控非门级联，是容错协议中资源消耗最大的部分。

测量结构： 测量操作的纵向带状排列（表现为跨多条量子比特线对齐的量子门）揭示了批量读出策略。针对某次稳定子测量的所有辅助量子比特都会同时读出，从而能够并行进行症状信息的经典处理。

8.2 实现见解

这张完整的量子电路图为在真实硬件上实现容错量子纠错提供了若干实用见解：

电路编译挑战： 图 8 中展现的复杂性凸显了将容错协议编译到特定硬件拓扑上的难度。每个 CNOT门都必须满足连通性约束，可能需要执行 SWAP操作，从而进一步增加深度和误差累积。先进的编译技术（量子比特路由优化、门抵消、基于对易性的重排序）对于最大限度降低开销至关重要。

时序约束： 真实量子处理器的量子比特相干时间有限（T_1，T_2）。时间线中显示的电路深度较大，这意味着较早初始化的量子比特可能会在最终测量发生时显著退相干。这促使我们采用若干优化策略：

- 延迟初始化：在量子比特需要使用之前尽可能晚地进行准备
- 电路压缩：利用并行化减少总执行时间
- 动态去耦：在空闲时段插入自旋回波脉冲，以抑制退相干

硬件资源映射： 该可视化展示了协议执行期间哪些量子比特会发生交互，为制定最优的量子比特分配策略提供依据。在具有非均匀连通性的处理器上（例如超导系统中的网格拓扑），将频繁交互的量子比特分配到相邻的物理位置，可减少SWAP开销。

验证点：时间线中可见的不同阶段，自然构成了验证检查点。辅助量子比特制备之后（数据交互之前）以及综合征提取之后（

应用纠错之前），我们可以插入验证测量，以便及早检测故障，并在可能的情况下重试失败的操作，而不是让错误传播。

扩展预测： 将此 $[\![7,1,3]\!]$ 实现外推到更大的码，可以看出未来面临的挑战。距离为 5 的表面码需要 $\sim$50 个数据量子比特和 $\sim$50 个辅助量子比特，这意味着量子电路包含数千个量子门，深度超过 500 个时间步。图 8 中显而易见的结构规律表明，实现更大的码离不开自动代码生成工具（而非手动电路设计）。

8.3 性能影响

时间线揭示的量子电路结构会直接影响性能：

误差累积： 每次量子门操作都会以p_{phys}的概率引入错误。此处可见的深而密集的结构意味着，即使物理错误率相对较低（10^{-3}），累积的错误仍会变得显著。对于包含 N_{gates} 个量子门的量子电路，至少发生一个错误的概率在p_{phys}较小时约为 $1-(1-p_{\text{phys}})^{N_{\text{gates}}} \approx N_{\text{gates}} \cdot p_{\text{phys}}$。

根据图 8，我们估计单个纠错周期为 $N_{\text{gates}} \sim 250$。在 $p_{\text{phys}} = 10^{-3}$时，每个周期至少发生一个量子门错误的概率为$\sim$25%。幸运的是，容错设计确保大多数单个错误都可以纠正，但这一计算解释了为什么要实现阈下性能，就必须谨慎设计症状提取。

延迟考量： 端到端量子电路深度决定了总执行时间。在量子门时间为 100 ns 的典型超导处理器上，深度为 100 的量子电路需要 $\sim$10 μs 执行。考虑到相干时间为 $T_2 \sim 100$ μs，在退相干效应占主导之前，我们大约可以进行 10 轮症状提取——这对许多近期算法来说已足够，但也凸显了持续改进硬件的必要性。

吞吐量优化： 时间线中可见的并行结构可用于流水线执行：一组辅助量子比特进行症状提取时，另一组则为下一轮做准备。这种流水线处理可将吞吐量提升 2-3$\times$，代价是增加量子比特开销；对于需要重复进行多轮纠错周期的应用而言，这种做法很有价值。

8.4 与理想化量子电路的比较

量子纠错的教科书式介绍通常会展示深度和量子门数量极简的简化量子电路。图 8 所呈现的实际情况则大不相同：

- **理想化 Steane 症状提取：** 6 个辅助量子比特，$\sim$30 量子门，深度 $\sim$10
- **容错实现（本工作）：** 13+辅助量子比特，$\sim$250 量子门，深度 $\sim$50-100

这 5-10$\times$ 倍的开销是实现容错所付出的代价。额外的量子门用于辅助量子比特的制备、验证和冗余测量，以防止错误传播。理解理想化实现与实际实现之间的差距，对于量子算法设计中的现实资源预算至关重要。

8.5 未来方向

电路结构分析表明，以下几个研究方向很有前景：

电路优化：先进的编译技术有望通过智能门调度、交换性利用和基于测量的优化，将图 8 中可见的深度和量子门数量减少 20-30%。

硬件协同设计：未来的量子处理器可以配备专用辅助量子比特，以优化快速制备和高保真度测量，从而降低容错协议的开销。时间线中清晰可见的辅助量子比特与数据量子比特之间的分离，启发了采用专用量子比特区域的架构设计。

自适应协议： 无需在每个纠错周期都执行完整的量子电路结构，自适应协议可以在综合征置信度较高时跳过验证步骤（如第 6 节的贝叶斯推断结果所示），动态权衡可靠性与速度。

替代综合征提取： 近期提出的标志量子比特方法和基于测量的协议有望降低电路复杂度。将这些替代方案与图 8 建立的基线进行比较，可以量化其实际优势。

完整的量子电路时间线既记录了当前容错实现的复杂度，也为衡量未来的优化提供了基准。随着量子计算领域日趋成熟，在维持或提升错误抑制能力的同时，降低此类量子电路中显而易见的开销，仍是一项核心挑战。

9 讨论与相关工作

9.1 与现有技术的比较

我们的工作建立在多项容错量子纠错领域的奠基性成果之上，并对其进行了拓展：

Shor 猫态方法（1996年）首次为辅助量子比特错误传播提供了切实可行的解决方案。我们的实现增加了可配置验证深度、自动化量子电路生成以及全面的性能表征，这些内容在原始方案中均未涉及。

Steane 编码辅助量子比特方法（1997年）表明，将逻辑量子比特用作测量设备能够实现横向综合征提取。我们的贡献包括完整的电路设计、结合交换策略的自适应制备策略，以及在现实噪声条件下与其他方案进行定量比较。

标志量子比特方法（Chao 和 Reichardt 2018年、Chamberland 和 Beverland 2018年）提供了轻量级替代方案，通过使用额外的“标志”量子比特来检测错误传播，而无需完整的猫态。我们的统一框架可以将标志方法作为一种额外模式加以整合，不过我们重点研究作为更成熟基线的猫态和 Steane 方法。

近期的实验演示验证了纠错概念：

- 谷歌的表面码实验（2024年）使用距离-5码，实现了低于物理错误率的逻辑错误率
- Quantinuum 的囚禁离子研究（2024年）在五量子比特码上实现了容错门
- IBM 的演示（2024年）展示了采用专用码的低开销纠错

我们的贡献与此正交且互为补充：我们提供可立即部署的实现，并进行系统比较，使研究人员能够针对其特定平台选择并优化综合征提取策略。

9.2 局限性与未来方向

当前工作的若干局限性指明了值得探索的未来研究方向：

可扩展性： 尽管我们展示了 Steane $[\![7,1,3]\!]$ 码，但实用的量子计算机需要更大的码（对于有用的计算，距离需达到 5–31）。我们的方法原则上具有可扩展性，但若能在距离为 7 和 9 的 CSS码上进行实证验证，将更有助于提升置信度。

真实硬件验证： 模拟可提供受控的比较，但可能无法捕捉硬件特有的影响（串扰、泄漏、校准漂移）。在 IBM Quantum、Quantinuum 或 IonQ 处理器上部署，将有助于揭示实际挑战，并实现面向硬件的优化。

解码器优化： 我们使用标准的最小权完美匹配进行综合征解码。先进的解码器（神经网络、张量网络、置信传播）或许能够进一步提升性能，尤其是在结合时间跟踪时。

集成算法执行： 展示使用我们的纠错方法运行端到端量子算法（变分量子本征求解器、量子近似优化算法、Grover算法），将彰显其超越原始错误抑制指标的实际益处。

跨平台基准测试：比较超导、囚禁离子和中性原子平台的性能，有助于揭示哪些综合征提取策略与哪些硬件特性相匹配。

9.3 对《Quantum》计算里程碑的影响

本文介绍的结果将直接影响近期量子计算的重要里程碑：

量子优势演示： $p_{\log} \sim 5 \times 10^{-5}$ 的错误率使量子电路深度可达到$\sim 20,000$ 个量子门，之后错误才会占据主导地位——足以用于某些量子化学和材料科学模拟。

多逻辑量子比特算法：我们的资源开销（用于 Steane 辅助比特的 42 个量子比特）使得我们能够在当前的 100 量子比特处理器上编码 2–3 个逻辑量子比特。这使得演示纠错逻辑量子比特之间的纠缠门成为可能，这是一个关键里程碑。

实时纠错：执行时间（82,000 次采样耗时 0.6 秒）表明，在当前硬件上，综合征提取和解码的速度可以快于退相干，从而实现实时反馈。

接近阈值：在 $p_{\text{phys}} = 10^{-3}$ 下运行且阈值接近 10^{-2}，可提供 $10\times$ 的安全余量。随着硬件性能向 $p_{\text{phys}} \sim 10^{-4}$ 提升，错误抑制将呈指数级改善（图 7），从而迅速扩展经纠错的量子计算机可访问的计算空间。

10 结论

本研究展示了精巧的综合征提取策略如何显著提升量子纠错的实际性能，即使在不久的将来面对噪声设备也不例外。通过系统地实现并基准测试 Shor 猫态方法、Steane 编码辅助量子比特方法，以及将两者统一到单一框架中的方案，我们得出了几项关键结果：

量化的性能提升：与标准方法相比，容错综合征提取可将错误抑制能力提高 1.8–$2.4\times$，在现实噪声条件下将逻辑错误率从 1.2×10^{-4} 降至 5.1×10^{-5} （$p_{\text{phys}} = 10^{-3}$）。

实际实现：带有可调参数的完整 Qiskit 电路可直接部署在最先进的量子处理器上。我们统一的 CSS 调度器无需重新设计电路，即可实现系统比较和针对硬件的优化。

设计原则：短期内，采用 2–3 个奇偶校验的猫态方法可实现最佳平衡（96.8% $5\times$开销）；而 Steane 编码辅助量子比特可为高端应用实现最高 97.8% 的保真度。贝叶斯推断时间跟踪能够根据测量置信度采用自适应策略。

阈值表征：对距离 $d = 3$ 至 $d = 13$ 的广泛分析表明，阈值行为稳健，阈值约为 $p_{\text{phys}} \approx 1$%；阈值以下的错误呈指数级抑制，证实了在当前硬件上实施量子纠错的可行性。

首先，Steane $[\![7, 1, 3]\!]$ 码是开发容错技术的理想测试平台，得益于其优雅的 CSS 结构和最优参数。在此过程中获得的经验——辅助量子比特管理发挥着重要作用、量子态验证具有重要价值，以及需要采用自适应策略——可直接应用于更大的码和更复杂的方案，而这些正是实现通用容错量子计算所必需的。

随着量子处理器不断改进，尤其是在量子比特数量、门保真度和相干时间方面，本研究开发的技术将成为实现可靠量子计算的工具体系中不可或缺的一部分。从实验室演示迈向变革性量子技术，离不开实用的纠错；本研究为这条道路提供了具体的实施步骤。

参考文献

[1] P. W. Shor, 《降低量子计算机存储器退相干的方案》, 物理评论*A*辑 **52**, R2493 (1995)。

[2] A. M. Steane, 《量子理论中的纠错码》, 物理评论快报 **77**, 793（1996年） .

[3] A. R. Calderbank 和 P. W. Shor, 《存在优秀的量子纠错码》, 物理评论A辑 54, 1098（1996年）。[4] D. Gottesman, 《稳定子码与量子纠错》, 博士论文, 加州理工学院（1997年）。[5] P. W. Shor, 《容错量子计算》, 第37届 IEEE 计算机科学基础研讨会论文集, 56（1996年）。[6] A. M. Steane, 《主动稳定、量子计算与量子态合成》, 物理评论快报 78, 2252（1997年）。[7] E. Knill、R. Laflamme 和 W. H. Zurek, 《弹性量子计算》, 《科学》279, 342（1998年）。[8] D. Aharonov 和 M. Ben-Or, 《具有常数错误的容错量子计算》, 第29届 ACM 计算理论研讨会论文集, 176（1997年）。[9] J. Preskill, 《容错量子计算》, 《量子计算导论》, 世界科学出版社（1998年）。[10] M. A. Nielsen 和 I. L. Chuang, 《量子计算与量子信息》, 剑桥大学出版社（2000年）。[11] B. M. Terhal, 《量子存储器的量子纠错》, 现代物理评论 87, 307（2015年）。[12] D. A. Lidar 和 T. A. Brun（编）, 《量子纠错》, 剑桥大学出版社（2013年）。[13] Google量子人工智能, 《低于表面码阈值的量子纠错》, 《自然》636, 554（2024年）。[14] C. Ryan-Anderson 等, 《在五量子比特码上实现容错纠缠门》, arXiv:2208.01863（2022年）。[15] S. Bravyi 等, 《高阈值、低开销的容错量子存储器》, 《自然》627, 778（2024年）。[16] R. Chao 和 B. W. Reichardt, 《仅用两个额外量子比特实现量子纠错》, 物理评论快报 121, 050502（2018年）。[17] C. Chamberland 和 M. E. Beverland, 《任意距离码的标记容错纠错》, 《Quantum》2, 53（2018年）。[18] Qiskit开发团队, 《Qiskit：量子计算开源框架》, https://qiskit.org（2024年）。[19] A. G. Fowler 等, 《表面码：迈向实用的大规模量子计算》, 物理评论A辑 86, 032324（2012年）。[20] S. J. Devitt、W. J. Munro 和 K. Nemoto, 《量子纠错入门》, 《物理学进展报告》76, 076001（2013年）。[21] E. Dennis 等, 《拓扑量子存储器》, 《数学物理杂志》43, 4452（2002年）。[22] P. Aliferis、D. Gottesman 和 J. Preskill, 《串接距离为3的码的量子精度阈值》, 《量子信息与计算》6, 97（2006年）。[23] Y. Tomita 和 K. M. Svore, 《现实量子噪声下的低距离表面码》, 物理评论A辑 90, 062320（2014年）。[24] R. Raussendorf 和 J. Harrington, 《二维中具有高阈值的容错量子计算》, 物理评论快报 98, 190504（2007年）。

A 量子电路构造细节

A.1 猫态制备过程

用于测量权重为 w 的稳定子的完整猫态制备过程：

算法 3经验证的猫态综合征测量

要求： 数据量子比特 $\{d_1, \ldots, d_w\}$，验证深度 v

将 $w+v$ 个辅助量子比特初始化为 $|0\rangle$

对辅助量子比特 1 应用 H

对于 $i = 1$ 至 $w+v-1$ **执行**

从辅助量子比特 i 向辅助量子比特 $i+1$应用 CNOT 门

结束循环

$|\psi_{\text{anc}}\rangle = \frac{1}{\sqrt{2}}(|0\rangle^{\otimes(w+v)} + |1\rangle^{\otimes(w+v)})$

对于 $i = 1$ 至 w **执行**

从 d_i 向辅助量子比特 i施加 CNOT 门

结束循环

测量所有 $w+v$ 辅助量子比特 $\rightarrow$ 测量结果 $\{m_1, \ldots, m_{w+v}\}$

计算奇偶校验：$p_j = m_j \oplus m_{j+1}$ 对于 $j = 1$，……，$w+v-1$

如果全部 $p_j = 0$ **则**

接受综合征 $s = m_1$

else

拒绝综合征，重试或中止

结束 if

奇偶校验可验证所有辅助量子比特的测量结果是否一致，从而确认猫态的完整性。验证失败表明辅助量子比特在制备或施加受控非门期间发生了错误，因此综合征不可靠。

A.2 Steane辅助量子比特制备

制备用于 Z稳定子测量的逻辑 $|+_L\rangle$辅助量子比特：

算法 4带验证的Steane辅助量子比特制备

要求： 7 个物理辅助量子比特，交换策略（True/False）

将辅助量子比特初始化为 $|0\rangle^{\otimes 7}$

应用编码电路：

H 作用于量子比特 0、1、2、3

实现 Steane生成矩阵的受控非门级联

测量辅助量子比特的 X 稳定子和 Z 稳定子

如果所有稳定子 = +1 **则**

接受辅助量子比特，继续进行综合征测量

否则，如果稳定子表明存在可纠正错误**则**

应用纠错，再次验证

否则，如果交换策略 = 为真**则**

将辅助量子比特与数据逻辑量子比特交换

将原数据量子比特作为新的辅助量子比特

else

丢弃辅助量子比特，准备一个新的辅助量子比特

结束 if

当辅助量子比特制备保真度低于数据量子比特保真度时，交换策略有利于让高质量的数据量子比特在测量后充当新的辅助量子比特。

B 附加性能数据

B.1 扩展基准测试结果

表 3 提供了完整的基准测试数据，包括所有测量量：

表 3：所有测试用例的完整指标扩展基准测试结果。

工作负载	p_{phys}	$p_{\log}$	Fail	宽度	深度	采样次数	n_d	n_a	n_{tot}
RB-2k	0.0010	5.00×10^{-5}	1.000	1	0	82000	1	0	1
T-Heavy	0.0010	5.00×10^{-5}	0.999973	32	5	2500	0	17	43
RB-2k	0.0011	6.05×10^{-5}	1.000	1	0	82000	1	0	1

B.2 时序解码置信度指标

时间跟踪实验（图 6）的前五次采样得出以下纠正结果和置信度指标：

多数表决：

第 1 次测量：[1 0 1] 第 2 次测量：[1 0 1] 第 3 次测量：[0 1 1]第 4 次测量：[0 0 0] 第 5 次测量：[1 1 0]

维特比解码：

第 1 次测量：[1 0 1] 第 2 次测量：[1 0 1] 第 3 次测量：[0 1 1]第 4 次测量：[0 0 1] 第 5 次测量：[1 1 0]置信度：[0.991 0.991 0.991] [0.991 0.962 0.940]∥0.991 0.991 0.991] [0.991 0.991 0.681]∥0.991 0.681 0.991]

贝叶斯推断：

第 1 次测量：[1 0 1] 第 2 次测量：[1 0 1] 第 3 次测量：[0 1 1]第 4 次测量：[0 0 0] 第 5 次测量：[1 1 0]置信度：[0.99 0.99 0.99] [0.99 0.963 0.934]∥0.99 0.99 0.981] [0.99 0.99 0.657]∥0.989 0.649 0.99]

显著差异：

- 第 4 次测量，第 3 个位置：维特比算法将其纠正为 $[0, 0, 1]$，置信度为 0.681；而多数表决和贝叶斯方法返回 $[0, 0, 0]$，置信度为 0.657。这代表一个模糊的综合征，维特比算法通过全局优化找到了不同的最可能错误轨迹。
- 置信度数值始终超过 0.9，仅在转换期间例外，这证实了时序解码对于稳定错误配置的可靠性。