基于FPGA的AI引擎技术增强的量子态判别

Anastasiia Butko 劳伦斯伯克利国家实验室 美国加利福尼亚州伯克利
AButko@lbl.gov

David I. Santiago 劳伦斯伯克利国家实验室 美国加利福尼亚州伯克利
David.I.Santiago@lbl.gov

Artem Marisov
System View Inc 美国加利福尼亚州圣马特奥
marisov.av@gmail.com

Irfan Siddiqi 劳伦斯伯克利国家实验室 美国加利福尼亚州伯克利
IASiddiqi@lbl.gov

arXiv:2601.08213v1 [quant-ph] 13 Jan 2026

摘要

识别量子比特的状态（量子比特），即量子态判别，是量子计算中的一项关键操作。然而，它一直是超导量子处理器上最容易出错、最耗时的操作。由于严格的时序约束和较高的算法复杂度，大多数量子比特状态判别方法都需要离线执行。本文提出一种利用基于现场可编程门阵列的 AI 引擎技术增强的实时量子态判别系统。我们开发并在 AMD Xilinx VCK190 FPGA 平台上实现了一个多层神经网络，从而能够准确地进行原位状态判别，并支持针对多个量子比特的电路中测量实验。我们的方法利用架构研究与设计领域的最新进展，采用专用的人工智能/机器学习加速器来优化量子实验，同时减少现场可编程门阵列资源的使用。

美国计算机协会参考文献格式：
Anastasiia Butko、Artem Marisov、David I. Santiago 和 Irfan Siddiqi。. 基于现场可编程门阵列 AI 引擎技术增强的量子态判别。载于 。美国计算机协会，纽约，美国，8 页。

1 引言

在过去几十年中，量子计算因其解决经典计算机难以处理的复杂问题的巨大潜力而受到广泛关注。量子计算的应用涉及多个领域，包括密码学、优化、药物发现和材料科学 [17]。

各种量子技术正逐步走向实际应用，其中超导量子比特在相干时间、可扩展性以及与成熟制造工艺的集成方面处于领先地位 [6]。超导量子比特技术的最新进展体现在多个重要里程碑上，例如谷歌展示量子霸权 [3] 、IBM 在提升量子体积方面取得进展 [13],，以及纠错码领域持续不断的创新 [5]。然而，尽管取得了这些成就，要充分发挥量子计算的潜力，仍有许多重大挑战需要克服。

其中一个挑战在于量子控制架构主要依赖经典硬件。近期文献指出，量子系统存在诸多固有问题，包括需要同时控制具有独特属性的各个量子比特、对延迟和时钟速度的严格要求、量子比特相干性的短暂性，以及纠错和解码所涉及的复杂性 [18]。这些挑战要求开发新颖的量子专用解决方案，而经典计算领域尚未对此进行广泛探索。

量子计算中的一项关键功能是电路中测量（MCM） [8], ，这是一种能够在量子计算过程中的不同阶段测量量子比特状态的技术。该能力对于实施自适应量子算法和增强错误缓解策略至关重要，使系统能够根据测量结果动态作出响应。量子态判别是电路中测量过程不可或缺的一部分，因为它能够以高速度和高效率准确确定量子比特的状态，从而提高计算的整体保真度。

近期研究在超导量子比特中实现电路中测量方面取得了重大进展。一些研究着重于开发用于在 FPGA 逻辑上执行的定制寄存器传输级（RTL）设计，另一些研究则探索旨在应对量子态判别独特挑战的加速技术。这些技术能够在速度、准确性和资源利用率方面实现良好的权衡，同时还具备扩展至更大规模量子系统的潜力。

在本研究中，我们专注于利用近期的专用加速器技术（例如 AMD AI Engine [2]）来改进量子态判别。在量子计算框架中集成基于 FPGA 的 AI 引擎，为克服量子系统扩展和资源利用率相关的控制复杂性提供了一个有前景的方向。

本文作出以下技术贡献：

- 全新实现：本文介绍了一种利用 Versal AI平台实现实时量子态判别的新颖实现方案。
- 神经网络架构映射：本文详细介绍了如何将神经网络架构映射到 AI 引擎的向量单元上。
- 实践演示：本文通过实践演示展示了所提方法的可行性和有效性。

通讯作者：Anastasiia Butko（abutko@lbl.gov）。

,

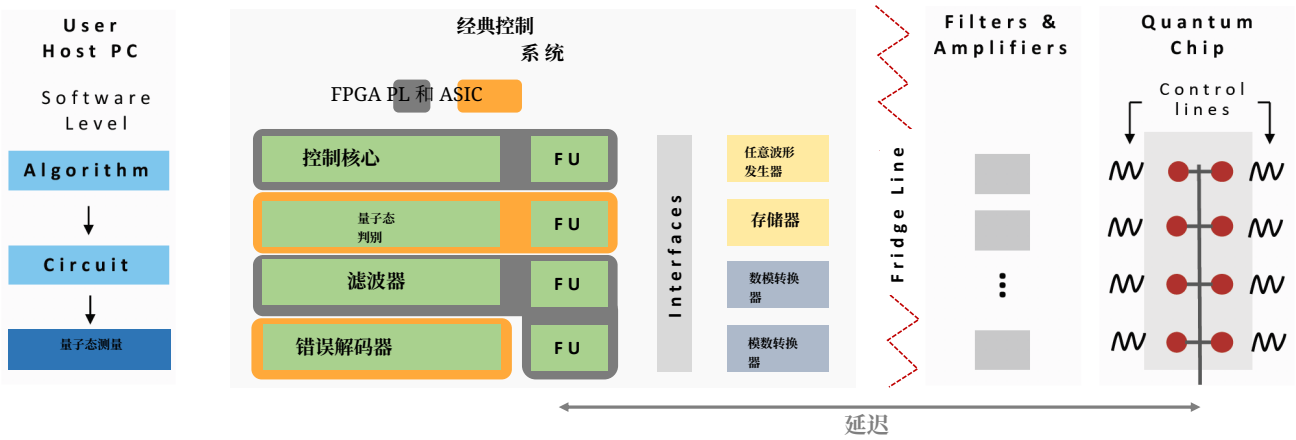


图1：经典控制系统架构：左侧的用户主机电脑展示了软件层面的交互流程，从高级算法到电路表示和量子汇编语言（QASM）。中央部分展示了经典控制系统的架构，包括控制核心和功能单元（FU）、量子态判别器（QSD）、滤波和错误解码。各接口负责与不同组件通信。右侧展示了下游组件，例如任意波形发生器（AWG）、存储器模块（MEM）、数模转换器（DAC）和模数转换器（ADC）。这些组件与滤波器和放大器交互，之后连接到量子芯片。

- 效率与资源利用率：结果表明，该方法的处理时间与最先进的解决方案相比具有竞争力，同时仅使用少量可用资源，因此具备显著的优化和扩展潜力。

本文其余部分安排如下。第2节介绍实时控制架构的背景，以及量子态判别的作用。第3节介绍相关工作。第4节阐述所提出实现的细节。第5节报告评估方法和比较结果。最后，第6节总结本文并介绍未来工作。

2 背景

超导量子比特控制硬件通过生成精确的微波脉冲并执行高速读出，弥合经典指令与量子处理器之间的差距。现场可编程门阵列（FPGA）凭借并行处理信号且延迟低于微秒级的能力，成为此类系统的标准配置。

商用控制堆栈提供集成式“实验室一体化”解决方案，优先考虑可靠性、高通道密度和易用的软件抽象。开源平台则为研究实验室提供了经济实惠且高度可定制的替代方案 [19]。

2.1 实时控制架构

图1展示了基于FPGA的经典控制系统架构的高层框图。中央部分重点呈现了在数字和模拟层级运行的各种控制组件。通常，FPGA系统包含三种主要资源：处理系统（PS）、可编程逻辑（PL）以及其他加速器，具体配置可能因板卡配置而异。

PS 通常由微处理器或嵌入式 CPU 组成，负责管理高级任务和系统编排。它负责执行控制算法、与外部系统通信，以及处理无需实时执行的数据处理任务。PS 充当系统的主控制单元，有助于与图 1 左侧所示的软件组件无缝集成。

PL 由可重构硬件资源构成，可用于实现特定功能，例如信号处理和自定义控制算法。PL 可以进行配置和调整，以满足量子实验的具体要求，包括实时信号采集和控制任务。

根据板卡配置，可以将额外的加速器（例如专用 AI 引擎或数字信号处理器）集成到系统中，以提升性能。这些加速器针对特定任务进行了优化，例如机器学习推理或复杂数值计算，从而显著提高系统整体效率并降低处理延迟。

在量子实验中，必须合理利用并分配单个现场可编程门阵列上的资源。至关重要的是，要确定哪些任务最适合由可编程逻辑执行，哪些任务可以卸载到额外的加速器上。即使控制的芯片仅有 8 到 16 个量子比特，对可编程逻辑的需求也可能相当高，可能使系统难以在高时钟频率下满足时序要求。

本文提出将量子态判别任务卸载到人工智能引擎，而非使用会消耗宝贵 PL 资源的功能模块 [20]。如果这一方案成功，将（i）释放 PL 资源，（ii）提升处理更多任务的可扩展性，

表1：量子态判别技术的权衡

技术	优点	挑战（缺点）
赫尔斯特伦界	确立了.....的基本理论极限 两个状态之间的最小错误判别。	作为数学基准，而非 针对实验信号的直接实现。
线性判别分析（线性）	计算延迟极低，资源占用少 开销；对于分离良好的 IQ 簇。	当状态 分布呈现不等协方差或高度 重叠。
QDA（二次）	通过适应非对称噪声分布来 允许非线性决策边界。	参数估计要求增加；更高的 经典计算成本，相较于线性 方法。
机器学习	能够捕捉复杂的非线性特征的 原始信号数据，以最大限度提高读出保真度。	需要大量训练数据；推理必须 经过优化，以便实时集成到反馈回路中。

并且（iii）提高准确性，因为 FPGA PL 实现通常需要进行全面优化，而这有时会损害状态判别的质量。

不过，仍需解决一些潜在挑战，包括如何高效地将从量子比特采集的数据流式传输至 AI 引擎，以及如何确保将响应传回可编程逻辑组件，以继续执行电路中测量算法。这是一项艰巨的工程挑战，因为包括读出在内的量子操作，其时间尺度短至 15–100 纳秒 [11]。

2.2 量子态判别

使用色散读出来测量量子比特时，得到的信号是复电压，可以绘制在二维图上（IQ 平面）。图 2 展示了量子比特状态在 IQ 平面上的读出 [7]。

高维系统。从二元（量子比特）转向多值量子系统，是提升量子处理器效率和稳定性的主要研究方向 [10]。量子三能级比特（量子三元）是量子信息的一个单位，有三种可能状态（|0 |1、和 |2），并且可以处于叠加态。量子多能级比特（量子多元）是一个广义的 d 维量子系统，其中 $d > 2$。因此，测量量子三能级比特时，IQ 平面可视化会呈现三个簇，而不是两个。

为二能级系统实现高效的状态判
统采用神经网络和定制专用集成电路实现高效的状态判别，将提供高速、可扩展的分类框架，以便在未来的量子架构中解析更高维量子三能级系统和量子多能级系统日益复杂且彼此重叠的信号簇。

判别技术。为了将特定测量结果（IQ 平面中的一个点）分配给某个状态，研究人员会使用各种数学“线”或边界来分隔这些簇。

选择量子态判别技术需要在准确性（保真度）、速度（延迟）和计算复杂度之间进行权衡。理想方法在很大程度上取决于具体的硬件、噪声水平以及待分类的状态数量。

- **赫尔斯特伦界**：这是关于两个非正交态（由这些簇表示）能够被区分到何种程度的理论基本极限 [12]。
- **线性判别分析（LDA）**：在两个簇之间绘制一条直线，以最大限度地提高区分度 [16]。

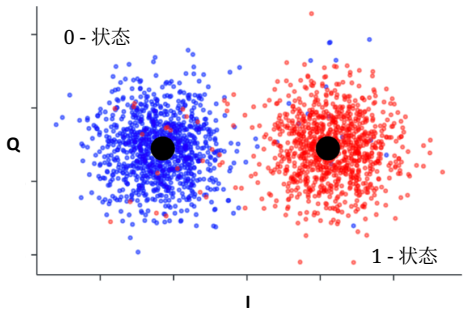


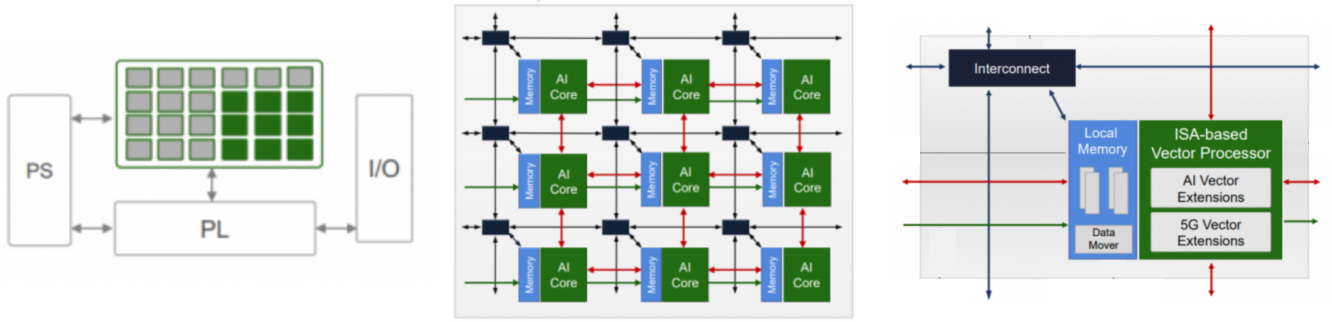
图 2：IQ 平面中量子比特状态读出的可视化结果。该图显示了数据点簇，代表测量量子比特状态期间读出信号的同相（I）和正交（Q）分量。蓝色点对应 0 态，红色点对应 1 态。每个簇都以一个均值为中心，黑点表示该均值，展示了两种量子态测量结果的不同分布。

- **二次判别分析（QDA）**：使用曲线边界；如果簇的形状或分布范围不同，这种方法会更有效 [9]。
- **机器学习（ML）**：当数据簇复杂或彼此重叠时，常使用支持向量机（SVM）或神经网络等技术进行高保真度判别 [14]。

表 1 总结了量子态判别技术的优势与挑战。过去几年，机器学习技术已从理论探索发展为高保真度状态判别的重要工具。

3 相关工作

近期关于机器学习状态判别的研究，重点在于克服硬件噪声、通过边缘计算降低读出延迟，以及应对多量子比特串扰。近期研究优先考虑



a）AI 引擎接口　　b）AI 引擎瓦片阵列　　c）AI 引擎计算单元

图 3：AI 引擎架构概览：(a) AI 引擎接口，展示处理系统（PS）、可编程逻辑（PL）和输入/输出（I/O）之间的连接；(b) AI 引擎瓦片的配置，包含相互连接的 AI 核心和存储器资源；(c) AI 引擎核心的详细结构，展示本地存储器、基于 ISA 的向量处理器，以及用于数据传输和向量处理功能的互连结构 [22]。

将机器学习模型部署在更靠近量子硬件的位置，以实现量子纠错（QEC）所需的亚微秒级延迟。

Lienhard 等人证明，在五量子比特系统中，深度神经网络（DNNs）的性能显著优于传统的箱形滤波器和线性判别器 [15]。Baumer 等人针对电路中途测量提出了一种动态解耦策略。然而，该方法需要更长的读出时长（1.2 us）和 650 ns 的前馈时间 [4]。QubiCML 框架 [20] 通过在 RFSoC FPGA（Xilinx ZCU216）上部署多层神经网络，展示了硬件加速判别的有效性。该架构实现了 98.5% 的分类准确率，同时将推理延迟降至最低，仅为 54 ns，从而支持实时电路中途测量所需的低延迟反馈。

在 QubiCML 所取得成果的基础上，本研究探讨了利用 AIE 技术实现高保真度状态判别。我们认为，随着量子处理器规模不断扩大，传统可编程逻辑固有的资源限制将促使系统转向异构架构。通过将计算密集型分类任务卸载到 AIE，我们旨在实现资源利用率与处理吞吐量之间更具扩展性的权衡，直接应对下一代量子控制系统面临的硬件瓶颈。

4 实现

AI 引擎专为满足人工智能应用的高吞吐量需求而设计，尤其适用于向量运算；向量运算是神经网络、数据处理和数学计算中多种算法的基础。

在 AIE 上实现算法需要应对各种复杂性。开发者必须考虑如何有效管理数据、分配资源以及规划存储器访问模式，以确保获得最佳性能。妥善对齐数据结构可以提高吞吐量，而高效利用片上资源则能最大限度地减少延迟和瓶颈。

4.1 AI 引擎架构

在 AIE 上实现量子态判别，意味着从传统的基于现场可编程门阵列的编程方式，转向大规模并行的超长指令字（VLIW）架构。与可编程逻辑（PL）的细粒度位级控制不同，AIE 是由多个高性能 RISC处理器组成的平铺阵列，专为数字信号处理（DSP）和定点/浮点向量运算而优化。

图3展示了 AIE 架构。AI 引擎接口（图1a）建立了多个系统组件之间的连接，例如处理系统、可编程逻辑和输入/输出（I/O）模块。在 VCK190评估板上， [21], AIE 阵列通过复杂的内部接口网络与其他系统域交互。片上网络（NoC）是数据流的主要骨干，负责管理 AIE 阵列与外部存储器（DDR4/LPDDR4）或高性能处理系统之间的通信。可编程逻辑与 AIE 之间的通信由高速流式接口和存储器映射AXI连接提供支持，使可编程逻辑能够充当“数据搬运器”。它可以将来自板载外设（如 HDMI 或 SFP28）的原始数据直接送入 AIE，以加速处理。最后，VCK190最多支持32路 GMIO输入和32路 GMIO输出。这些通道直接连接 AIE 与 NoC，能够高带宽访问系统存储器，同时不占用可编程逻辑资源。

图 3 b) 所示的 AIE瓦片阵列是由 400 个高性能向量处理器组成的二维网格。这些计算瓦片以网格形式排列，通常为 8 行 50 列。这 400 个计算瓦片中的每一个都是一个自包含的计算单元，由三个主要模块组成，即 AIE核心、存储器模块和互连模块（图 3 c)）。该核心是一个 7 路超长指令字和单指令多数据（SIMD）处理器，包含一个标量单元和一个功能强大的向量单元，能够执行定点和浮点运算。

在数据存储和传输方面，每个计算瓦片都包含32 KB的本地数据存储器，并划分为八个存储体。不过，一项关键的架构优势是，每个核心都能直接访问四个基本方向上紧邻的计算瓦片的存储器，从而形成共享的

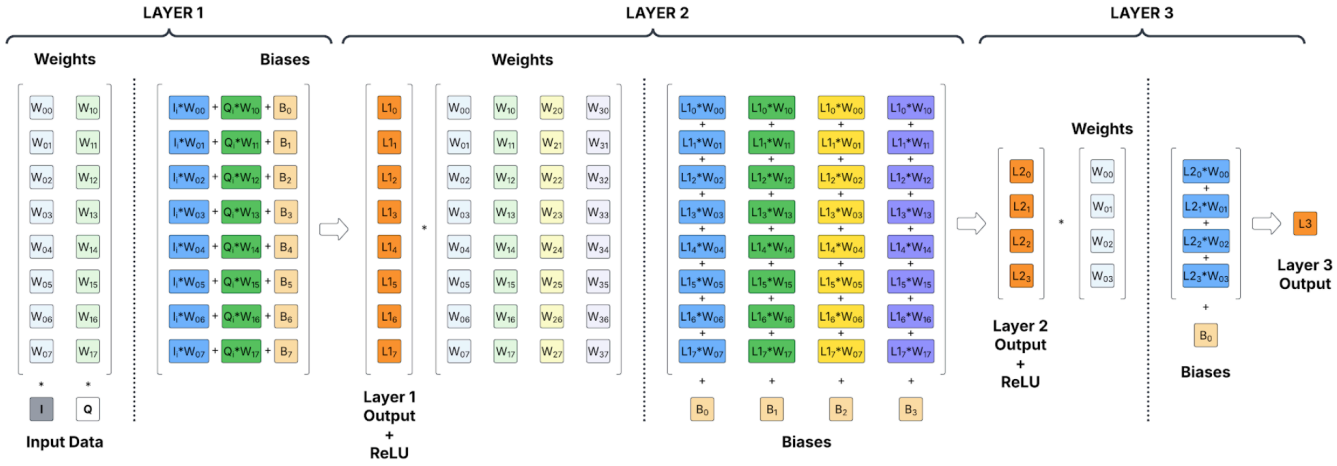


图 4：多层神经网络的架构。在第 1 层中，输入数据表示为同相（I）和正交（Q）分量的组合。数据经过加权连接和偏置处理，并在应用修正线性单元激活函数后得到第 1 层的输出。第 2 层接收第 1 层的输出，再使用自身的一组权重和偏置进行处理，最终得到第 2 层的输出。最后，第 3 层进一步处理该输出，生成最终输出 L_3，并使用自身的权重和偏置。各层展示了神经网络如何通过加权求和和激活函数计算输出，阐释了神经网络架构的基本原理。

本地内存池。除了这种本地共享外，复杂的互连模块还通过支持电路交换和分组交换路由的AXI4-Stream交换机来处理全局数据传输。此外，专用级联流可让计算瓦片将累加器结果直接传递给相邻计算瓦片；在串接复杂滤波器或矩阵运算时，这种方式尤其高效，且不会占用主流传输架构的资源。

4.2 神经网络架构

图 4 展示了基于 [20] 中 FPGA 实现的多层神经网络架构。每一层都包含一组权重和偏置，这些参数对于转换在网络中传递的输入数据至关重要。

第 1 层 接收输入数据，记为 Q，并使用相应的权重（W_{ij}）和偏置（B_i）进行线性变换。该层的输出记为 L_1，通过矩阵运算计算得出：将输入数据与相应的权重相乘，再加上偏置。随后，该输出经过修正线性单元（ReLU）激活函数，引入非线性。

第 2 层 的运作方式与此类似，它将第 1 层的输出作为输入。该过程包括将本层的权重（W_{ij}）与第 1 层的输出相乘，并加上本层特有的偏置（B_j）。所得结果记为 L_2，再次经过 ReLU 激活函数，使网络能够捕捉数据中更复杂的模式。

第 3 层（最后一层）以相同方式处理第 2 层的输出。此转换过程包括乘以与第 3 层相关的权重并加上偏置，从而得到最终输出 L_3。此时，网络可以提供预测或分类结果，并有效利用通过每个前置层所应用的转换来处理学得的特征。

总的来说，多层架构能够逐步进行更深入的特征提取，每一层都使输入数据的抽象表示更加深入。这种设计是神经网络学习复杂关系并做出准确预测的基础。

将神经网络（NN）架构映射到 AIE架构上，可利用向量运算优化计算效率和性能。在我们的实现中，利用 AIE 的向量能力执行层的前向传播。首先，将输入数据和权重表示为向量，以便并行同时处理多个元素。关键操作是将输入向量与权重向量相乘，通过向量化乘法运算完成。这种方法使 AIE 能够一次处理多次乘法运算，从而加快计算速度，显著优于传统的标量方法。

5 评估结果

我们使用 AMD Vitis 仿真工具对 AMD VCK190评估板上的设计进行了评估。为实现高效的数据传输，我们在可编程逻辑（PL）中实现了一条流式流水线，通过 AXI Stream 接口在片外 DDR 内存与 AI 引擎之间传输数据。该流水线由存储器映射到流（MM2S）和流到存储器映射（S2MM）模块组成，可持续地向 AI 引擎传输数据并从中接收数据。实验结果是在 AIE 以 1250 MHz 运行时获得的。

延迟： 图 5 展示了状态判别应用的实测执行延迟。应用程序的执行分为三个逻辑阶段。初始化阶段执行

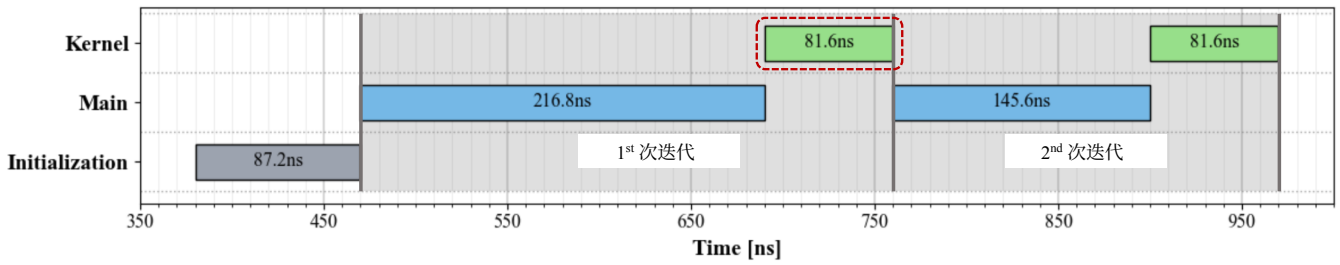


图 5：AI 引擎上各函数的执行时间线。初始化阶段之后，主程序运行两次迭代，每次都会调用神经网络内核。图中显示了初始化、主程序执行和神经网络运行的实测执行时间。

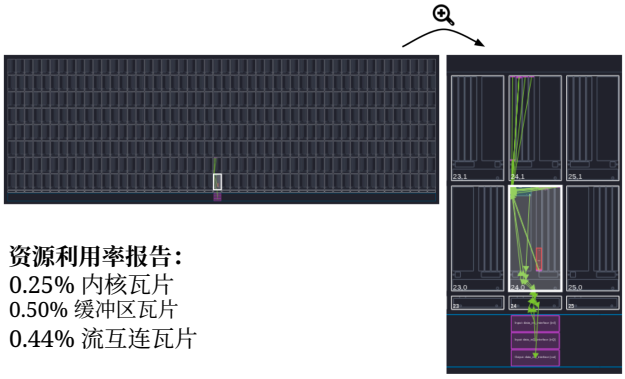


图6：映射到 AMD VCK190 器件上的状态判别神经网络内核的 AI 引擎资源利用率。图中显示了内核、缓冲区和流互连瓦片在 AI 引擎阵列中的布局。仅使用了少部分可用资源，凸显了所提设计的紧凑占用。

一次性设置操作，例如配置 DMA 引擎、初始化数据结构，以及在存储器中准备输入和输出缓冲区。主函数充当应用程序的控制循环：它管理迭代级执行，启动 DDR 存储器与可编程逻辑之间的数据传输，并触发 AI 引擎内核的执行。内核代表映射到 AI 引擎上的神经网络计算，其中执行了大部分算术运算。与初始化和控制逻辑不同，内核在专用 AI 引擎硬件上执行，并且在各次迭代中的执行延迟保持一致。

我们强调，与相关基于机器学习的方法进行性能比较时，重点关注的是**内核执行延迟**，因为内核直接对应于神经网络（NN）的推理计算。具体而言，QubiCML [20]报告的 NN 推理延迟为 54 ns，与我们在实现中测得的 81.6 ns 内核延迟相当。虽然我们的内核延迟较高，但值得注意的是，该结果是在完全可编程的 AI 引擎流水线中实现的，并且包含确定性的执行行为。

主函数中观察到的额外开销主要来自控制逻辑和数据编排。我们预计，在流水线执行模型中，可以通过让控制执行与数据流传输重叠来大幅隐藏这部分开销，例如，在等待内核结果的同时启动流式传输操作。这种重叠在流式架构中十分常见，并能显著降低有效的端到端延迟。

我们方法的一项关键优势是，**随着数据集大小或神经网络架构扩展，内核延迟预计将保持不变**。这是因为我们在 AI 引擎上采用了向量级并行，使神经网络计算能够随可用向量资源扩展，而非随输入大小扩展。因此，所提设计非常适用于更大的量子比特系统，并且可自然扩展至更高维的量子态，例如量子三能级比特和量子多能级比特，而不会增加内核延迟。

不过，我们注意到，要完全隐藏控制和数据移动开销，还需要开展更多工作。具体而言，需要更紧密地协调数据流传输、内核执行与周边控制系统组件，以最大限度地增加重叠并尽量减少显露的延迟。我们将对这些优化进行详细探索，留待未来工作。

资源利用率：图6展示了所提出的状态判别神经网络内核的 AIE 资源利用率。该实现占用了 AMD VCK190 器件上**0.25% 的内核瓦片**、**0.50% 的缓冲区瓦片**和**0.44% 的流互连瓦片** 。布局视图显示，该设计仅限于 AIE 阵列中的一个局部区域，大部分计算瓦片未被使用。

较低的资源占用表明，所提出的内核轻量且具有很强的可扩展性。AIE 资源消耗有限，因此可以实例化更多内核或更大型的神经网络，而不会超出设备容量。此外，未使用的计算瓦片也为未来的扩展提供了空间，例如采用更深的模型、并行内核复制或多通道处理，以进一步提高吞吐量。

总体而言，资源利用率结果表明，所提设计能够高效利用 AIE 架构，同时保留了充足的余量，可扩展至更大规模的问题或更复杂的量子态表示。

功耗： 使用 AMD Vitis功耗分析工具估算功耗。结果表明，

所提设计在 AIE 上执行神经网络内核时的功耗为 **0.593W** 。功耗主要来自**动态功耗**，其中**0.092 W** 归因于 AIE 核心计算，**0.501 W** 归因于片上存储器活动。整体功耗较低，这与该设计紧凑的资源占用相符：它仅使用一个 AI 引擎核心（可用核心的 0.25%），并且仅占用极少的可编程逻辑或 NoC资源。

虽然功耗并非量子控制和读出流水线的首要优化目标，但仍是一项重要的次要指标。在许多量子计算平台中，经典控制硬件运行于低温环境之外，其功耗预算限制不如量子比特硬件本身严格。在此背景下，所报告的亚瓦级功耗并非部署的限制因素。

然而，随着量子系统规模扩大、对更高程度的并行经典处理需求增加，功耗效率变得愈发重要，例如在控制更多量子比特，或执行实时反馈和解码时。我们在实现中观察到的低功耗表明，所提出的方法能够扩展，而不会在经典控制侧引入显著的热量或能量开销。

6 结论与未来工作

在本研究中，我们提出了一种基于神经网络的低延迟状态判别流水线，并在 AMD AI Engine 上实现。通过采用流式执行模型，我们展示了确定性的内核执行：在 1250 MHz 下测得的延迟为 81.6 ns，同时保持了紧凑的资源占用和亚瓦级功耗。结果表明，神经网络内核占据了主要计算负载，并在各次迭代中提供稳定的延迟，因此适用于实时量子计算控制和读出应用。

未来的工作将着重于通过加强流式流水线与控制逻辑之间的协调，使控制执行和数据传输与内核执行重叠，从而进一步降低端到端延迟。我们还计划扩展该设计，以支持更大型的神经网络架构和更高维度的量子系统，包括量子三能级系统和量子多能级系统，并利用 AI 引擎的向量并行性。此外，我们打算通过真实量子比特硬件实验验证所提出的方法，将基于 AI 引擎的推理流水线集成到完整的量子控制堆栈中，以评估其在实际运行条件下的性能。最后，我们将探索扩展该设计以支持多内核并行性和闭环反馈，从而实现更先进的实时量子控制场景。

未来工作的一项重要方向是研究新兴硬件平台，例如近期发布的 AMD Versal RF 系列自适应SoC [1] ——该平台在单块板卡上集成了高性能人工智能加速和射频数据转换。这种集成可免去在多块板卡之间传输数据的需求，从而降低系统复杂性、通信延迟和同步开销。

7 致谢

本研究由劳伦斯伯克利国家实验室的实验室定向研究与开发计划资助，依据美国能源部合同编号 DE-AC02-05CH11231。

参考文献

[1]超威半导体公司 2023年。AMD推出Versal RF系列自适应SoC，凭借集成直接射频采样转换器，在单芯片器件中提供业界最高的计算能力。 https://ir.amd.com/news-events/press-releases/detail/1231/amd-introduces-versal-rf-series-adaptive-socs-offering-the-industrys-highest-compute-in-a-single-chip-device-with-integrated-direct-rf-sampling-converters。访问日期：2026年1月12日。[2] AMD公司。2020年。AMD AI Engine：加速机器学习和人工智能工作负载。 https://www.amd.com/en/technologies/amd-ai-engine [3] Frank Arute、K Arya、Ryan Babbush、Derek Bacon、J Bardin等。2019年。使用可编程超导处理器实现量子霸权。《自然》 574 2019 505 510 10 1038 41586 019 1666 5 ( ), –。doi：。/s–- Elisa Bäumer、Vinay Tripathi、Derek S. Wang、Patrick Rall、Edward H. Chen、Swarnadeep Majumder、Alireza Seif和Zlatko K. Minev。2024年。使用动态电路实现高效的长程纠缠。《*PRX Quantum*》5（2024年8月），030339。期号 3 10 1103 5 030339。doi：。/PRXQuantum.。[4] J. Bausch、A. W. Senior、F. J. H. Heras等。2024年。为量子处理器学习高精度错误解码。《自然》635（2024年），834–840。doi:10.1038/s41586-024-08148-8[5] M. Bourassa等。2020年。超导量子比特的高保真度读出。《自然》 580, 7803 2020 232 236 10 1038 41586 020 2166 1 ( ), –。doi：。/s–- Shuxiang Cao、Zhen Shao、Jian-Qing Zheng、Mohammed Alghadeer、Simone D Fasciati、Michele Piscitelli、Peter A Spring、Shiyu Wang、Shuhei Tamate、Neel Vora、Yilun Xu、Gang Huang、Kasra Nowrouzi、Yasunobu Nakamura、Irfan Siddiqi、Peter Leek、Terry Lyons和Mustafa Bakr。2024年。通过路径签名增强超导量子比特读出。*arXiv*电子预印本，文章arXiv:2402.09532（2024年2月），arXiv:2402.09532页。arXiv:2402.09532 [量子物理] doi:10.48550/arXiv.2402.09532[6] Adriana D Córcoles等。2019年。通过电路中测量在超导量子比特中生成纠缠。《量子科学与技术》4，2（2019年），025007。doi:10.1088/2058-9565/aaeb72[7] Benyamin Ghojogh和Mark Crowley。2019年。线性和二次判别分析：教程。*arXiv*预印本*arXiv:1906.02590*（2019年）。[8] N. Goss、S. Ferracin、A. Hashim等。2024年。扩展超导三能级量子处理器的计算能力范围。《*npj*量子信息》10（2024年），101。doi:10.1038/s41534-024-00892-z[9] Johannes Heinsoo、Christian Kraglund Andersen、Ants Remm、Sebastian Krinner、Theodore Walter、Yves Salathé、Simone Gasparinetti、Jean-Claude Besse、Anton Potočnik、Andreas Wallraff和Christopher Eichler。2018年。超导量子比特的快速高保真度多路复用读出。《物理评论应用》10（2018年9月）， 034040 3 10 1103 10 034040。期号。doi：。/PhysRevApplied.。[10] C.W. Helstrom、。量子检测与估计理论。学术出版社。https://books.google.com/books?id=1N5QrSnsEgcC [11] Abhinav Kandala、Antonio Mezzacappa等。2020年。量子体积：衡量量子计算机性能的指标。《*IBM*研究与开发杂志》 64, 3 4 2020 1 11 10 1147 2020 3018740 / (), –。doi：。/JRD.。[12] Benjamin Lienhard、Sarah Antwi、David Roberts等。。多路复用超导量子比特状态的深度神经网络判别。《物理评论应用》17，1（2022年），014024。[13] Benjamin Lienhard、Antti Vepsäläinen、Luke C. G. Govia、Cole R. Hoffer、Jack Y. Qiu、Diego Ristè、Matthew Ware、David Kim、Roni Winik、Alexander Melville、Bethany Niedzielski、Jonilyn Yoder、Guilhem J. Ribeill、Thomas A. Ohki、Hari K. Krovi、Terry P. Orlando、Simon Gustavsson和William D. Oliver。2022年。多路复用超导量子比特状态的深度神经网络判别。《物理评论应用》17，1，文章014024（2022年1月），014024页。arXiv: 2102 12481 [ ] 10 1103 17 014024 。量子物理 doi：。/PhysRevApplied.。[14] Easwar Magesan、Jay M Gambetta、AD Córcoles和Matthias Steffen。2015年。用于判别量子测量轨迹并改进读出的机器学习。《物理评论快报》114，20（2015年），200501。[15] John Preskill。2018年。含噪声中等规模量子时代及其以后。《*Quantum*》2（2018年），79。[16] D. J. Reilly。2019年。扩展量子计算机控制接口面临的挑战。*arXiv*电子预印本，文章arXiv:1912.05114（2019年12月），arXiv:1912.05114页。arXiv:1912.05114 [量子物理] doi:10.48550/arXiv.1912.05114

[19] Nathan Shammah、Anurag Saha Roy、Carmen G. Almudever、Sébastien Bourdeauducq、Anastasiia Butko、Gustavo Cancelo、Susan M. Clark、Johannes Heinsoo、Loïc Henriet、Gang Huang、Christophe Jurczak、Janne Kotilahti、Alessandro Landra、Ryan LaRose、Andrea Mari、Kasra Nowrouzi、Caspar Ockeloen-Korppi、Guen Prawiroatmodjo、Irfan Siddiqi和William J. Zeng。2024年。量子技术的开源硬件解决方案。*APL Quantum* 1，1（2024年），011501。doi:10.1063/5.0180987[20] Neel R. Vora、Yilun Xu、Akel Hashim、Neelay Fruitwala、Ho NamNguyen、Haoran Liao、Jan Balewski、Abhi Rajagopala、Kasra Nowrouzi、Qing Ji、K. Birgitta Whaley,

Irfan Siddiqi、Phuc Nguyen 和 Gang Huang。2024。《机器学习驱动的基于现场可编程门阵列的实时量子态判别，实现电路中途测量》。*arXiv* 电子印本，文章 arXiv:2406.18807（2024年6月），arXiv:2406.18807 页。arXiv:
2406 18807 [ ] 10 48550 2406 18807 。量子信息理论。doi：。/arXiv.。赛[21] 2023 190
灵思。VCK 评估套件。https://www.xilinx.com/products/boards- and-kits/VCK190.html 访问日期：2023-10-10。[22] 赛灵思。2023。赛灵思Versal。
https://japan.xilinx.com/products/silicon-devices/ acap/versal.html 访问日期：2023-10-10。