Bio-RV：面向生物医学应用的低功耗、资源高效 RISC-V 处理器

Vijay Pratap Sharma*, Annu Kumar*, Mohd Faisal Khan*, Mukul Lokhande*, IEEE 会员，Santosh Kumar Vishvakarma*, IEEE 高级会员。
*印度印度理工学院印多尔分校 NSDCS研究组，电子邮件：skvishvakarma@iiti.ac.in （通讯作者）

arXiv:2601.08428v1 [eess.SP] 13 Jan 2026

摘要——**本文介绍 Bio-RV，这是一款紧凑且资源高效的 RISC-V 处理器，面向生物医学控制应用，例如基于加速器的生物医学片上系统和植入式起搏器系统。所提出的 Bio-RV 是一款多周期RV32I内核，提供明确的执行控制和外部指令加载能力，可支持受控的固件部署、ASIC启动调试和硅后测试。除了协调异构系统中的加速器配置和数据传输外，Bio-RV 还设计为轻量级主机控制器，可处理与起搏、传感、心电图（EGM）、遥测和电池管理模块的接口。在 FPGA原型上，Bio-RV 使用 708 个查找表和 235 个触发器；该处理器采用 180 纳米 CMOS 工艺实现，运行频率为 50兆赫兹，硬件占用紧凑。根据布局后结果，所提出的架构决策有助于实现最低能耗。最终，Bio-RV 优先考虑确定性执行、最低硬件复杂度和集成灵活性，而非峰值计算速度，以满足超低功耗、安全关键型生物医学系统的需求。**

索引词—**RISC-V、微体系结构、生物医学设备、低功耗、微控制器。**

I. 引言

RISC-V 已发展成为一种开源指令集架构（ISA），应用范围涵盖高性能计算（HPC）数据中心，以及超低功耗嵌入式系统和物联网（IoT）系统。其开放生态系统和不受许可限制的特点，使其成为专用片上系统（SoC）的理想选择 [1]–[2]，，主要原因是传统上由专有 ISA 主导的市场成本高昂，例如用于 HPC 的英特尔 x86 和用于 TinyML 系统的 ARM 指令集架构。近年来，RISC-V 越来越多地应用于对安全性和可靠性要求极高的嵌入式应用，例如生物医学设备和植入式设备 [3]–[6]。

起搏器等植入式生物医学设备对其主机处理器有着特定要求，这些要求不同于面向广泛用途或追求高性能的传统计算系统。这类系统的占空比极低，执行确定性控制工作负载，并且必须在产品使用寿命（跨越数年）内支持芯片制造后的可测试性、固件验证和长期可靠性。在这类环境中，相较于可预测执行、极小的芯片面积、超低功耗和可控的执行行为，峰值吞吐量和指令级并行性远没有那么重要。现有的大多数 RISC-V 处理器要么针对性能进行优化（如 BOOM、CVA6、SweRV），要么面向通用低功耗嵌入式应用（如 Ibex、PicoRV32） [3], [4], [7]–[15]。高性能内核依赖深流水线、推测执行、虚拟内存和复杂的控制逻辑，导致面积增大、能量消耗增加。相反，许多轻量级 RISC-V 内核侧重于指令吞吐量或 FPGA 效率，却很少提供对显式执行控制、外部可观测性和制造后可编程性的支持，而这些对于医疗级 ASIC 的部署和认证至关重要。

在植入式心脏起搏器 SoC 中， [5], [6], [16], [17], 主机处理器主要充当常开控制单元，负责协调起搏、传感、遥测、内存访问和电池管理。这些任务的特点是控制流简单、指令级并行度低且功耗限制严格。此外，医疗专用集成电路需要具备暂停执行、引入指令和监测存储器状态等功能，且不能依赖时钟门控或复杂的调试系统；在芯片启动调试和长期现场验证期间，这一点尤为重要。受这些限制的启发，本研究提出了 Bio-RV，这是一款专为超低功耗生物医学控制应用设计的精简型多周期 RV32I RISC-V 处理器。Bio-RV 不以提升性能为目标，而是注重架构简洁性、最大限度地减少资源使用，以及实现直观的执行控制，从而确保植入式医疗器械可靠运行且具备可测试性。Bio-RV 的一项关键特性是能够加载和执行外部指令，并控制其启用或停用，从而支持固件编程、监测和验证，同时避免意外执行。这是安全关键领域进行 ASIC 部署和硅后测试的必要要求。

除了适用于起搏器的控制工作负载外，Bio-RV 还可在包含领域专用加速器（如 TinyML 或信号处理引擎）的生物医学片上系统中充当轻量级主机处理器。TinyML Biomedical Vision 加速器片上系统 [2] 包含一个 RISC-V 主机处理器，并与脉动阵列和专用片上存储器组相连，以加速深度神经网络（DNN）计算，如

本研究获得芯片创业专项人才发展计划（SMDP-C2S）、电子和信息技术部（MeitY）以及印度政府 MeitY 的资助，资助编号：EE-9/2/21 - R&D-E。979-8-3315-4970-1/26$31.00 © 2026 IEEE

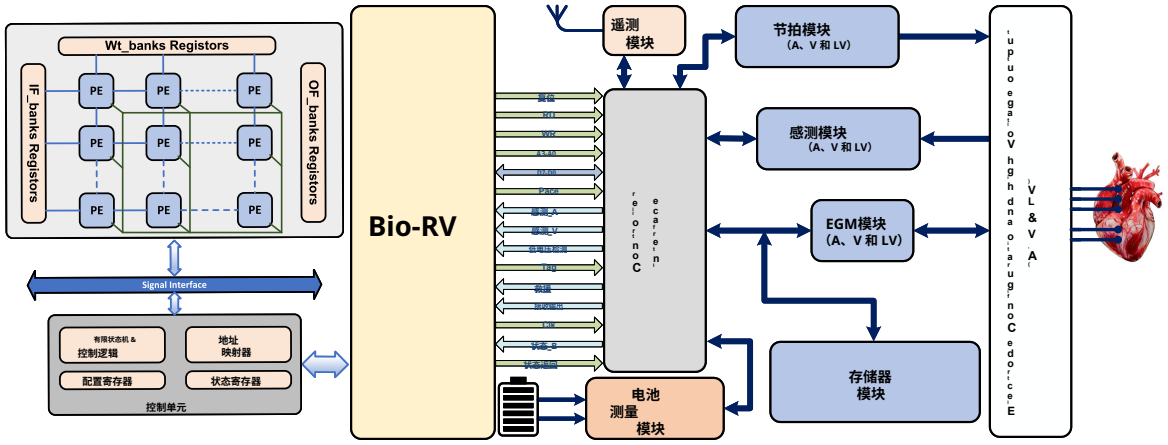

图 1. 用于生物医学 iPacE-CHIP 应用的典型 TinyML 片上系统架构，突出显示 Bio-RV 主机处理器、接口加速器架构，以及起搏、传感、心电图（EGM）、遥测和电池管理模块。

图 1 所示。在此类系统中，处理器不负责计算密集型工作负载，而是负责加速器的配置、调度、数据传输和控制。控制单元负责处理单元操作、时序安排和数据同步，由带有控制逻辑、配置寄存器、地址映射器及状态寄存器的有限状态机（FSM）构成。RISC-V 内核对控制单元进行编程，并通过高吞吐量 AXI 接口管理数据传输，从而灵活映射各种深度神经网络层。因此，与吞吐量优化型或以计算为中心的中央处理器相比，所提出的设计定位为面向控制器的 RISC-V 内核。本研究聚焦于 Bio-RV 的微架构设计、执行与评估，展示了经过审慎约束的多周期 RISC-V 架构如何在确保足够灵活性、满足生物医学 ASIC 应用（尤其是起搏器应用）需求的同时，实现极低功耗和极小面积。

基于上述动机，我们提出了 Bio-RV：一种专为生物医学应用，尤其是起搏器而设计的 RISC-V 处理器。在 180 纳米 CMOS 工艺中获得的 FPGA 和布局后 ASIC 结果证实了所提方法，并凸显了其对资源受限、持续运行的生物医学系统的适用性。主要贡献总结如下：

- **面向生物医学专用集成电路的显式执行控制与外部指令加载：**我们提出了一种基于多周期 RV32I RISC-V 的 Bio-RV 处理器，支持显式执行启停控制以及外部指令加载。这些规范对于植入式生物医学设备中的硅后测试、固件验证和长期可靠性评估至关重要，因为受控执行和可观测性是必需的。

- **面向始终在线生物医学工作负载的超精简控制器导向型微架构：**所提出的 Bio-RV 采用刻意设计的简单非流水线多周期架构，优先考虑确定性控制流、降低开关活动以及最少的硬件状态，而非最大化指令吞吐量。这使 Bio-RV 非常适合起搏器级系统中的始终在线控制任务；在这类系统中，相较于最高性能，可预测性、能效和硅成本更为关键。

- **面向基于加速器的生物医学片上系统的便携式主机控制器：**所提出的 Bio-RV 是一款轻量级主机控制器，旨在管理集成领域专用加速器（包括 TinyML 或信号处理单元）的生物医学片上系统的配置、调度和存储器协调。这种 FPGA–ASIC 兼容设计可在各种平台上实现无缝原型开发与实现，而在 180 纳米 CMOS 工艺下的布局后结果验证了其适用于安全关键型、资源受限的生物医学应用。

本文的组织结构如下：第二节介绍 Bio-RV架构；第三节给出性能评估；第四节总结全文。

II. BIO-RV 架构

A. 微架构概述

图 2 所示的 Bio-RV 是一款面向控制器、采用多周期设计的 RV32I RISC-V 处理器，专为超低功耗和安全关键型应用而设计。与流水线或吞吐量优化型 RISC-V 内核相比，Bio-RV 更重视明确的可控性、最低限度的硬件复杂度和确定性执行——这些对于医疗级 ASIC 部署和常开型生物医学控制工作负载都至关重要。

B. 外部指令加载与显式执行控制

非流水线、多周期架构的 Bio-RV 支持基本指令子集，包括 R 型、I 型、加载（lw）、存储（sw）、跳转（jal）和分支（beq）指令。中央处理器使用单个共享存储器来存放数据和

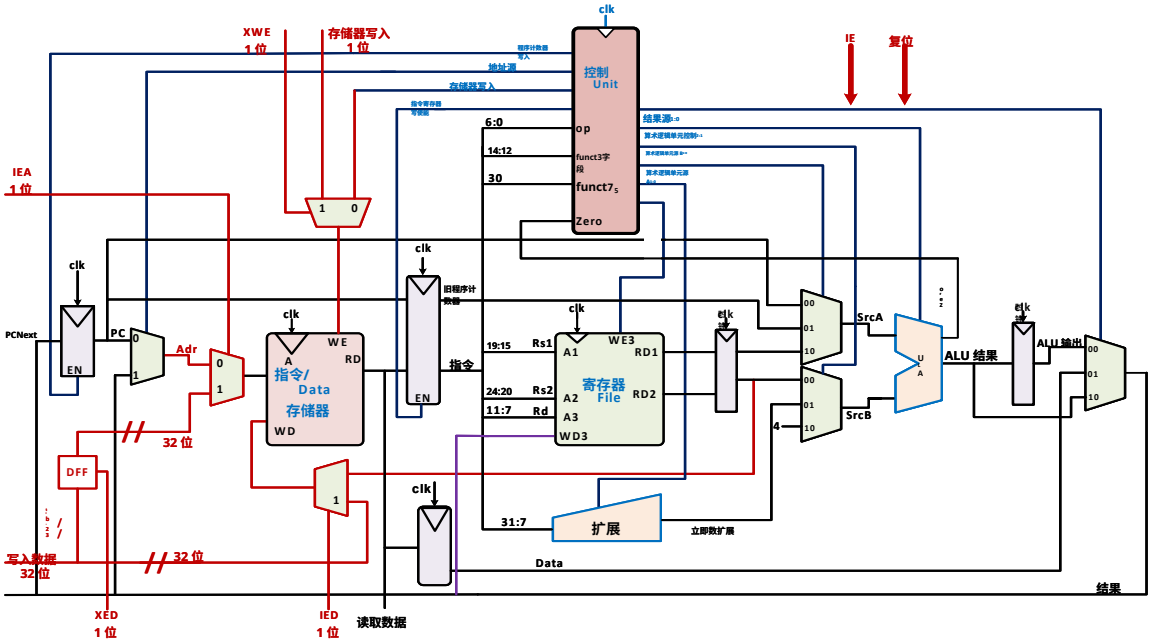

图 2. 所提出的 Bio-RV 处理器的详细数据通路

指令，遵循冯·诺依曼存储器组织方式。通过移除冗余存储器和额外的地址生成逻辑，这项设计决策降低了硅片面积和开关活动，代价是每条指令需要更多时钟周期——对于低占空比的生物医学控制任务而言，这是合理的权衡。能够在明确控制执行的情况下加载外部指令，是 Bio-RV 架构的基本特性。可通过处理器的 32 位外部 WriteData接口，将指令和数据直接写入内部指令/数据存储器。控制逻辑中集成了一个外部可访问的指令使能（IE）信号，以便在编程期间阻止意外执行。在加载指令期间，IE 保持低电平（IE = 0），复位信号也保持低电平，以暂停程序执行。随后，通过指定地址和相应的机器码，即可成功将指令写入存储器。将复位信号置高以把程序计数器设为零，然后将复位信号置低并将 IE 置高（IE = 1），即可启动程序执行，使内核从下一个时钟周期开始执行。通过明确划分编程模式和执行模式，无需复杂的调试硬件或时钟门控，即可实现确定性的固件部署、存储器可观测性，以及受控的启动和关机操作。对于植入式生物医学 ASIC，这些特性对于长期耐久性测试、现场诊断和硅后验证尤为重要。

C. FPGA–ASIC 友好型实现

Bio-RV架构不使用依赖供应商的原语、DSP模块或FPGA专用存储器，而是采用纯RTL逻辑构建。除时钟和复位外，该设计仅提供数量有限的用户可访问I/O信号，用于编程和执行控制。

表I 与最先进的RISC-V处理器的FPGA利用率比较

设计	工作频率（兆赫）	LUT	FF	DSP	动态功耗（毫瓦）
BOOM [18]	34.5	49865	25025	40	188
Rocket [19]	90.9	5073	2008	4	92
M RISC-V [20]	111	1893	923	0	32
Zero-RIC5Y [21]	14.78	3171	11928	1	20
HAMSA-DI [1]	93.67	6874	1826	4	45
Shakti-E [22]	70	4548	1813	4	100
CV32E40P [10]	78.55	9072	2553	7	49
所提出的	50	708	235	0	15

Bio-RV结构简单，适用于生物医学片上系统的早期验证与部署；其简单性使FPGA开发更加容易，并能顺利过渡到成熟工艺节点上的专用集成电路实现。

该设计已采用 SCL 的 180 纳米 CMOS技术流片，在成熟工艺节点上验证了所提出的架构。该工艺节点常用于混合信号和生物医学专用集成电路。外部写入数据接口支持将指令和数据直接加载到片上统一指令/数据存储器中，从而便于在芯片启动调试和测试期间对固件进行受控部署。由于读操作是异步的，而存储器写操作是同步的，输出能够立即反映指定位置的信息。通过适当设置执行控制信号（例如，启用指令访问，同时禁用存储器写操作），可使存储器保持只读观察模式，从而安全地检查内部状态，避免意外执行。Bio-RV 处理器采用多周期执行架构：加载指令需要五个周期，分支指令需要三个周期，

表 II 基于布局布线后的面积和时序报告与其他 RISC-V 内核的比较

Core	Siwa [16]	Mriscv [20]	Riscy [23]	Zero-Riscy [21]	Micro-Riscy [21]	Bio-RV（所提出的方案）
工艺	180 纳米	130 纳米	65纳米	65纳米	65纳米	180 纳米
频率	20兆赫兹	160兆赫兹	ND	ND	ND	50兆赫兹
ISA	RV32I	RV32IM	RV32IM+DSP	RV32IM	RV32E	RV32I
程序存储器	8 kB	4 kB	ND	ND	ND	4 kb
平均每指令周期数	4	ND	1.27	1.49	1.49	5
皮焦耳/周期	48.31	850	63.68	26.12	23.61	17.18
核心面积（μ米^2）	672146	350250.4	703296	326592	200448	697039

而算术、跳转和存储操作需要四个周期。与单周期设计相比，该方法通过让数据和指令共用一个存储器并去除独立加法器，显著降低了硬件成本，但代价是需要更多临时寄存器和多路复用电路。这种有意的权衡符合生物医学控制应用的预期工作负载特征：在这类应用中，降低开关活动和减少硅片面积比提高指令吞吐量更为重要。关键的是，与传统的多周期 RISC-V 参考设计不同，Bio-RV 提供了显式执行控制；传统设计将指令存储器作为外部模块处理，且若不停止时钟就无法暂停执行。由于基准系统中的同一时钟会同时推进处理器状态并修改存储器内容，因此无法动态加载指令或受控停止，执行期间写入指令也就存在风险。相比之下，Bio-RV 通过特定的执行控制信号将编程阶段与执行阶段分离，从而支持确定性地启动/停止执行、观察存储器以及加载指令。凭借这一特性，该处理器非常适用于长期可靠性测试、硅后验证，以及安全关键型生物医学系统中的 ASIC 部署；在这些场景中，受控的执行行为至关重要。

III. 性能评估

表I将所提出的 Bio-RV 处理器与若干 RISC-V 内核进行了比较，重点关注具有代表性的运行参数和逻辑资源利用率。此次比较并非旨在评测指令吞吐量或峰值性能，而是主要展示 Bio-RV 相对较小的硬件占用和架构简洁性。与复杂的乱序内核（如 BOOM（49,865 个查找表、25,025 个触发器））以及顺序流水线内核（如 Rocket（5,073 个查找表、2,008 个触发器））相比，Bio-RV 在 FPGA 上的逻辑占用显著减少，仅占用 708 个查找表和 235 个触发器。即使与精简的嵌入式级设计（如 M RISC-V（1,893 个查找表、923 个触发器））相比，Bio-RV 的资源利用率也大幅降低。重要的是，Bio-RV 将这些资源留给领域专用加速器，并且无需使用 DSP切片或厂商专用资源，从而简化了在异构片上系统中的集成。与多个流水线嵌入式 RISC-V 内核相比，所提出的方案以 50兆赫兹的频率运行。目标应用领域优先考虑确定性控制、尽量减少开关活动和能效，而非指令吞吐量；这正是有意降低频率这一设计决策的驱动因素。对于起搏器级和始终在线的生物医学控制工作负载，工作频率通常由占空比要求和功率限制决定，而非计算需求。总体而言，研究结果表明，尽管峰值频率较低且每条指令需要更多周期，Bio-RV 仍实现了较小的硬件占用和可预测的执行行为。在深度嵌入式和安全关键型生物医学应用中，硅片成本、能效和可控性比原始性能更为重要，因此这种权衡行之有效[24]–[26]。

表 II 对比了所提出的 Bio-RV 处理器与多个具有代表性的 RISC-V 内核，并基于布局布线后结果，考察了工艺节点、工作频率、ISA 支持、程序存储器、平均每指令周期数、每周期能耗和核心面积方面的差异。在工艺方面，所提出的 Bio-RV 和 Siwa 均采用相同的 180 纳米工艺节点，而 Mriscv 则采用 130 纳米工艺实现，其他设计则使用更先进的 65纳米工艺。尽管采用了较旧的工艺节点，Bio-RV 的工作频率仍达到 50兆赫兹，比 Siwa（20兆赫兹）快 $2.5\times$，并且考虑到其晶体管尺寸更大，这一频率仍具有竞争力，不过低于采用 130 纳米工艺实现的 Mriscv（160兆赫兹）。在 ISA 支持方面，所提出的内核实现了 RV32I 基础整数指令集，与 Siwa 类似。它的复杂度略低于配备 DSP 或乘法扩展的设计，例如 Zero-Riscy RV32IM+DSP/IM。Bio-RV 配备4 千字节程序存储器，与 Mriscv 相同，但小于 Siwa 的 8 千字节。从性能角度看，Bio-RV 的平均每指令周期数为 5，而 Riscy 为 1.27，Zero Micro-Riscy 为 1.49；后两者凭借更先进的微架构优化实现了更高的指令吞吐量。Bio-RV 较高的每指令周期数体现了其轻量级架构以牺牲性能换取能效的特点。在能效方面，Bio-RV 的每周期能耗仅为 17.18 皮焦耳/周期，在所有列出的设计中能效较高。这意味着其能效约比 Riscy（63.68 皮焦耳/周期）高 $2.8\times$，比 Zero-Riscy（26.12 皮焦耳/周期）高 $1.3\times$。此外，Bio-RV 的表现也显著优于 Mriscv（850 皮焦耳/周期）和 Siwa（48.31 皮焦耳/周期），凸显了其显著的能效优势，尽管其设计优先考虑

表 III 所提出的 Bio-RV 与其他微控制器架构的比较。

Core	Siwa [16]	兼容 8051 [27]	Atnega328p	PIC16LF1823 [28]	MSP430 [29]	RISC-Y	Micro-RISC [21]	Bio-RV（所提方案）
工艺	180 纳米	180 纳米	ND	ND	ND	65	65	180 纳米
指令字长（位）	32	ND	16	8	16	32	32	32
程序存储器	8 kB	ND	32 千字节闪存	2 kB	8 千字节随机存取存储器	16 千字节	32 千字节	4 kb
时钟频率	20兆赫兹	13 兆赫	0-20 兆赫	31 千赫-32 兆赫	4–16 兆赫	-	-	50兆赫兹
平均每指令周期数	4	ND	1.62	1.1837	≈ 1	1.47	1.49	5
皮焦耳/周期	48.31	70.6	360	54	803	63.68	23.61	-
平均功耗（μW）	70 @1MHz @1.8V	918 @13 MHz	360 @1MHz @1.8V	54 @1MHz @1.8V	803 @1MHz @2.2V	-	-	859 @50MHz, @5pF

紧凑性和低能耗，而非峰值每周期指令数。就面积而言，Bio-RV 占用 697,039 μm^2, ，甚至大于一些采用 65 纳米工艺的实现，例如 Micro-Riscy（200,448 μm^2），这主要是由于采用了较粗的 180 纳米工艺，也可能与额外的应用专用逻辑有关。与 Siwa 的 672,146 μm^2, 芯片面积相比，Bio-RV 的面积仅大约大 3.7%，却实现了 2.4× 更高的频率和能效。由于每周期能耗低，Bio-RV 比起吞吐量密集型应用，更适合用于常开控制工作负载；这与其较小的数据通路、较低的开关活动和简化的控制逻辑相一致。Bio-RV 的面积与采用相同工艺的 Siwa 相近，但其工作频率更高，并具备为生物医学专用集成电路部署而设计的增强型可控性。

为说明架构规模和运行特性，而非直接比较效率排名，表 III 将所提出的 Bio-RV 处理器与多种微控制器级系统进行了比较，其中包括较早期的 8 位、16 位和 32 位架构。测量结果表明，在工艺节点、工作频率、执行模型和目标工作负载方面，各比较系统存在显著差异。其他当代的基于精简指令集计算机的 32 位微控制器采用更先进的 65纳米工艺，以尽量减小面积和漏电流；而 Bio-RV 则采用 180 纳米 CMOS 工艺实现，与 Siwa 和兼容8051的微控制器类似。与许多面向亚兆赫兹或占空比运行而设计的超低功耗微控制器相比，Bio-RV 的工作频率更高，达到 50 兆赫，因为它面向始终在线的控制工作负载。因此，它并非直接用作

性能比较、频率和绝对功耗数据应结合各种使用模型来理解。所提出的处理器能够执行32位操作，其能力优于传统的8位和16位架构，并且可与当代基于RISC的微控制器相媲美。尽管 Bio-RV 仅配备4千字节的程序存储器，这符合其作为嵌入式和生物医学系统中小型控制器的预期用途——在此类应用中，存储器占用需要保持在最低水平，同时固件复杂度也受到限制。由于采用多周期、非流水线架构，Bio-RV 的平均每指令周期数较高。这一设计决策优先考虑可预测的执行和较低的硬件复杂度，而非指令性能。对于控制主导型工作负载而言，这些权衡是合适的，因为在此类工作负载中，最大化每周期指令数并不像执行确定性和能效那样关键

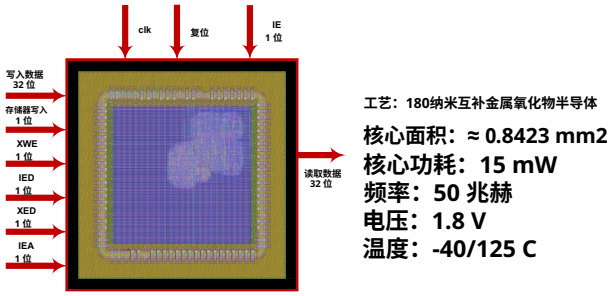

图 3. 采用 180 纳米 CMOS 工艺实现的 Bio-RV 最终 GDS-II版图，包括 I/O 焊盘方向。

。表 III 中的每周期能量和平均功耗数据取决于工作频率、电压、活动因子和工作负载假设，而这些因素在所评估的系统之间存在显著差异。在这方面，Bio-RV 的能量特性与其始终在线的执行架构和精简的数据通路相一致。然而，与运行在低得多的频率下、采用高度占空比控制的微控制器相比，它的绝对功耗更高。综合来看，Bio-RV 作为一种采用成熟工艺节点的小型32位 RISC-V 控制器，具有独特的定位。得益于其架构特性，对于嵌入式控制和始终在线的生物医学应用而言，它是合适的选择；在这些应用中，集成灵活性、较小的硬件占用和确定性行为比超低待机功耗或峰值性能更为重要。所提出的 Bio-RV 的物理设计采用本土 SCL 180 纳米工艺技术实现，并已通过一项免费学术流片计划提交制造，如图 3 所示。

IV. 结论

本文介绍了 Bio-RV，这是一款紧凑型、面向生物医学的 RISC-V 处理器，旨在用于基于加速器的生物医学片上系统中的控制器级功能以及植入式起搏器控制。明确的执行控制、外部指令加载接口和所提出的多周期 RV32I 架构，增强了其在安全关键系统中进行 ASIC 部署和硅后验证的适用性，并支持受控的固件分发。基于 180 纳米 CMOS 工艺的 FPGA 原型设计和布局后分析表明，Bio-RV 在 50兆赫兹工作频率下实现了低动态功耗和较小的逻辑占用面积。该设计有意牺牲峰值性能，以换取

确定性执行、较低的硬件复杂度和更少的开关活动；这些特性都符合始终在线的生物医学控制工作负载，而不是侧重于高吞吐量。总的来说，Bio-RV 作为面向生物医学应用的轻量级 RISC-V 控制器，填补了一个特定领域的需求，为未来需要长期可靠性、可预测行为以及与现有工艺节点灵活集成的系统提供了有价值的基础。

参考文献

[1] Y. Kra、Y. Shoshan、Y. Rudin 和 A. Teman，《Hamsa-di：面向能效型嵌入式系统的低功耗双发射 RISC-V 内核》，*IEEE*电路与系统汇刊 *I*：常规论文，第 71 卷，第 1 期，第 223–236 页，2024 年。[2] M. Lokhande、G. Raut 和 S. K. Vishvakarma，《Flex-PE：面向人工智能工作负载的灵活 SIMD 多精度处理单元》，*IEEE*超大规模集成（*VLSI*）系统汇刊，第 33 卷，第 6 期，第 1610–1623 页，2025 年。[3] W. Shi、H. Qin、J. Wu 和 J. Mai，《基于 RISC-V 的多任务脑电信号分类 CNN 加速器设计》，*IEEE*超大规模集成（*VLSI*）系统汇刊，第 1–9 页，2025 年。[4] P. Ganesh、M. Rajasekaran、T. Arunprasath、K. Ramaraj、G. Vishu- varthanan 和 V. Muneeswran，《面向生物医学应用的低功耗单周期 RISC-V 处理器》，载于*2024 IEEE*分布式计算、*VLSI*、电路与机器人国际会议（*DIS-COVER*），第 176–180 页，2024 年。[5] R. Garcia-Ramirez、A. Chacon-Rodriguez、R. Castro-Gonzalez、A. Arnaud、M. Miguez、J. Gak、R. Molina-Robles、G. Madrigal- Boza、M. Oviedo-Hernandez、E. Solera-Bolanos、D. Salazar-Sibaja、D. Sanchez-Jimenez、M. Fonseca-Rodriguez、J. Arrieta-Solorzano 和 R. Rimolo-Donadio，《Siwa：面向植入式医疗应用的基于 RISC-V RV32I 的微控制器》，载于*2020 IEEE*第*11*届拉丁美洲电路与系统研讨会（*LASCAS*），第 1–4 页，2020 年。[6] R. Molina-Robles、A. Arnaud、M. Miguez、J. Gak、A. Chac´on- Rodr´ıguez 和 R. Garc´ıa-Ram´ırez，《面向植入式医疗器械的低功耗 RISC-V 内核能耗基准测试》，*IEEE*嵌入式系统快报，第 15 卷，第 2 期，第 57–60 页，2023 年。[7] M. Ao、X. Zhou、X. Kong、S. Gou、S. Chen、X. Dong、Y. Zhu、Q. Sun、Z. Zhang、J. Zhang、等，《基于二维半导体的 RISC-V 32 位微处理器》，自然，第 1–8 页，2025 年。[8] E. Ozer、J. Kufel、S. Prakash、A. Raisiardali、O. Kindgren、R. Wong、N. Ng、D. Jausseran、F. Alkhalil、D. Kong、等，《可弯曲非硅 RISC-V 微处理器》，自然，第 634 卷，第 8033 期，第 341–346 页，2024 年。[9] A. Ottaviano、T. Benz、P. Scheffler 和 L. Benini，《Cheshire：轻量级、支持 Linux 的 RISC-V 主机平台，用于领域专用加速器插件》，*IEEE*电路与系统汇刊 *II*：简报，第 70 卷，第 10 期，第 3777–3781 页，2023 年。[10] G. Ottavi、A. Garofalo、G. Tagliavini、F. Conti、L. Benini 和 D. Rossi，《用于极端边缘 DNN 推理的混合精度 RISC-V 处理器》，载于*2020 IEEE*计算机学会年度*VLSI*研讨会（*ISVLSI*），第 512–517 页，2020 年。[11] H. Okuhara、A. Elnaqib、M. Dazzi、P. Palestri、S. Benatti、L. Benini 和 D. Rossi，《用于 65 纳米 CMOS 超低功耗物联网终端节点的全集成 5 mW、0.8 Gbps 高能效芯片间数据链路》，*IEEE*超大规模集成（*VLSI*）系统汇刊，第 29 卷，第 10 期，第 1800–1811 页，2021 年。[12] L. Valente、A. Nadalini、A. H. C. Veeran、M. Sinigaglia、B. S´a、N. Wistoff、Y. Tortorella、S. Benatti、R. Psiakis、A. Kulmala、B. Moham- mad、S. Pinto、D. Palossi、L. Benini 和 D. Rossi，《用于安全纳米无人机导航的异构 RISC-V 片上系统》，*IEEE*电路与系统汇刊 *I*：常规论文，第 71 卷，2279，2024 年 5，2266 第 页 – 。[13] F. Conti、A. Garofalo、D. Rossi、G. Tagliavini 和 L. Benini，《面向人工智能的开源异构片上系统：PULP 平台实践》，*IEEE*固态电路杂志，第 17 卷，第 2 期，第 49–60 页，2025 年。[14] A. Chopde、V. Shingde、T. Bhagwat 和 S. Yadav，《位串行 RISC-V CPU 内核》，载于*2024 IEEE*浦那分会国际会议（*PuneCon*），第 1–5 页，2024 年。

[15] M. Caon、C. Chon´e、P. D. Schiavone、A. Levisse、G. Masera、M. Martina 和 D. Atienza，《面向边缘节点的可扩展、可编程 RISC-V 近存计算架构》，*IEEE*新兴计算主题汇刊，第 1–15 页，2025 年。[16] R. Garcia-Ramirez、A. Chacon-Rodriguez、R. Molina-Robles、R. Castro-Gonzalez、E. Solera-Bolanos、G. Madrigal-Boza、M. Oviedo-Hernandez、D. Salazar-Sibaja、D. Sanchez-Jimenez、M. Fonseca-Rodriguez、等，《Siwa：面向低功耗医疗应用的定制 RISC-V 片上系统（SoC）》，*Microelectronics journal*，第 98 卷，104753，2020 年，第 页。[17] R. Serrano、M. Sarmiento、C. Duran、K.-D. Nguyen、T.-T. Hoang、K. Ishibashi 和 C.-K. Pham，《面向物联网应用的基于 RISC-V 处理器的低功耗、小面积片上系统》，载于*2021*年第*18*届国际片上系统设计会议（*ISOCC*），第 375–376 页，2021 年。[18] C. Celio、D. A. Patterson 和 K. Asanovi´c，《伯克利乱序机器（BOOM）：具有业界竞争力、可综合、参数化的 RISC-V 处理器》，2015 年 6 月。[19] K. Asanovi´c、R. Avizienis、J. Bachrach、S. Beamer、D. Biancolin、C. Celio、H. Cook、D. Dabbelt、J. Hauser、A. Izraelevitz、S. Karandikar、B. Keller、D. Kim、J. Koenig、Y. Lee、E. Love、M. Maas、A. Magyar、H. Mao、M. Moreto、A. Ou、D. A. Patterson、B. Richards、C. Schmidt、S. Twigg、H. Vo 和 A. Waterman，《Rocket Chip生成器》，2016 年 4 月。[20] C. Duran、A. Amaya、R. Torres、J. Ardila、L. Rueda、G. Castillo、A. Agudelo、C. Rojas、L. Chaparro、H. Hurtado、等，《一种面向物联网的片上系统平台，搭载基于 32 位 RISC-V 的微控制器》，载于*2017 IEEE*第*8*届拉丁美洲电路与系统研讨会（*LASCAS*），第 1–4 页，IEEE，2017 年。[21] P. D. Schiavone、F. Conti、D. Rossi、M. Gautschi、A. Pullini、E. Flamand 和 L. Benini，《慢工出细活？面向物联网应用的超低功耗 RISC-V 内核比较》，载于*2017*年第*27*届国际功耗与时序建模、优化及仿真研讨会（*PATMOS*），第 1–8 页，IEEE，2017 年。[22] N. Gala、G. S. Madhusudan、P. George、A. Sahoo、A. Menon 和 V. Kamakoti，《Shakti：开源处理器生态系统》，*ACM*应用感知汇刊，第 V 卷，第 N 期，第 1–16 页，2018 年。[23] C. Duran、D. L. Rueda、G. Castillo、A. Agudelo、C. Rojas、L. Chaparro、H. Hurtado、J. Romero、W. Ramirez、H. Gomez、等，《基于 32 位 RISC-V AXI4-Lite 总线的微控制器，集成 10 位逐次逼近型模数转换器》，载于*2016 IEEE*第*7*届拉丁美洲电路与系统研讨会（*LASCAS*），第 315–318 页，IEEE，2016 年。[24] A. Garofalo 和 L. Benini，《利用 RISC-V 开展灵活高效 TinyML 片上系统的硬件/软件协同设计》，*IEEE*设计与测试，第 1–1 页，2025 年。[25] A. Burrello、F. Carlucci、G. Pollo、X. Wang、M. Poncino、E. Macii、L. Benini 和 D. J. Pagliari，《针对低功耗可穿戴设备的深度神经网络优化与部署：基于 PPG 的血压估计》，载于*2024 IEEE*生物医学电路与系统会议（*BioCAS*），第 1–5 页，2024 年。[26] S. Frey、M. A. Lucchini、V. Kartsch、T. M. Ingolfsson、A. H. Bernardi、M. Segessenmann、J. Osieleniec、S. Benatti、L. Benini 和 A. Cos- settini，《GAPSES：多功能智能眼镜，可舒适、全干式采集脑电图和眼电图，并进行并行超低功耗处理》，*IEEE*生物医学电路与系统汇刊，第 19 卷，第 3 期，第 616–628 页，2025 年。[27] X. Zhang、H. Jiang、L. Zhang、C. Zhang、Z. Wang 和 X. Chen，《面向医疗应用无线体域传感器网络的能效型专用集成电路》，*IEEE*生物医学电路与系统汇刊，第 4 卷，第 1 期，第 11–18 页，2009 年。[28] S. Rodriguez、S. Ollmar、M. Waqar 和 A. Rusu，《面向植入式生物阻抗应用的无电池传感器专用集成电路》，*IEEE*生物医学电路与系统汇刊，第 10 卷，第 3 期，第 533–544 页，2015 年。[29] C. S. Mestais、G. Charvet、F. Sauter-Starace、M. Foerster、D. Ratel 和 A. L. Benabid，《WIMAGINE：用于长期临床应用的无线 64 通道皮层脑电记录植入体》，*IEEE*神经系统与康复工程汇刊，第 23 卷，第 1 期，第 10–21 页，2014 年。