数字硬件上的生物学直觉：面向静态图像分类的泊松编码脉冲神经网络 RTL 实现

Debabrata Das[1],Yogeeth G.K.[1]
Arnav Gupta[1]

[1]电子与通信工程系，印度国家理工学院，杜尔加 pur

arXiv:2601.12156v1 [cs.AR] 17 Jan 2026

人工智能在边缘设备（TinyML）上的部署，往往受到传统人工神经网络及其对密集矩阵乘法（MAC）运算的依赖所带来的高功耗和高延迟限制。神经形态计算通过事件驱动处理模拟生物系统的高效性，提供了一种颇具吸引力的替代方案。本文介绍了一种周期精确、面向硬件的脉冲神经网络（SNN）核心的设计与实现，该核心采用 SystemVerilog 实现。与传统加速器不同，该设计采用基于定点运算和位级原语（移位和加法）的漏积分发放（LIF）神经元模型，从而无需复杂的浮点硬件。该架构包含一个片上泊松编码器，用于随机脉冲生成；还采用一种新颖的主动剪枝机制，在分类后动态禁用神经元，以尽量降低动态功耗。我们通过一个面向数字分类的全连接层实现，展示了该硬件的有效性。仿真结果表明，该设计在有限的时间步内即可快速收敛（准确率为 89%），同时与传统稠密架构相比，计算开销显著降低。本研究为在 FPGA 和 ASIC 平台上构建可扩展、节能的神经形态硬件奠定了基础。

I. 引言

The 物联网 (IoT) 设备的普及，推动了将人工智能 (AI) 引入边缘端的巨大需求。从可穿戴健康监测器到自主无人机，“TinyML”旨在直接在资源受限硬件[1]上执行复杂的推理任务。然而，传统深度学习模型，尤其是人工神经网络 (ANN)，从根本上并不适用于超低功耗环境。它们严重依赖连续值激活和高能耗的矩阵乘加 (MAC) 运算，导致功耗和延迟方面出现显著瓶颈。

为解决这些硬件限制，神经形态计算应运而生，成为一种范式转变。受生物大脑启发，脉冲神经网络 (SNN)——通常被称为第三代神经网络——使用称为“脉冲”的离散稀疏事件处理信息，而非连续数值。这种事件驱动的特性使硬件在没有信息处理时能够保持空闲状态，理论上可大幅提升能效，达到数个数量级。

尽管脉冲神经网络展现出巨大潜力，但许多现有实现依赖无法准确反映硬件约束的高级软件仿真，或需要昂贵的专用浮点单元。我们迫切需要面向硬件的设计，以弥合生物模型与高效数字逻辑之间的差距。

本文介绍一种面向嵌入式推理的周期精确脉冲神经网络核心的设计与寄存器传输级实现。我们的设计侧重于通过定点运算和架构优化，最大限度地减小芯片面积和动态功耗。

本研究的主要贡献如下：

- **面向硬件的 LIF 模型：**我们使用简化的位运算（移位和加法）实现漏积分发放（LIF）神经元，从而有效消除了对复杂乘法器或浮点硬件的需求。
- **周期精确的 SystemVerilog 设计：** 该核心采用寄存器传输级（RTL）设计，可对时间动态和同步进行精确控制。
- **片上泊松编码：** 我们集成了一个随机脉冲生成器，使用 32 位异或移位伪随机数生成器（PRNG），直接在硬件上将静态图像数据转换为时间脉冲序列。
- **主动剪枝机制：** 我们引入动态屏蔽逻辑，在分类完成后禁用神经元更新，从而减少冗余的开关活动。

本文其余部分安排如下：第二节讨论神经形态硬件的相关工作。第三节详细介绍所提出的系统架构和神经元模型，第四节则介绍硬件实现细节、仿真结果和性能指标。

II. 神经形态架构相关工作

深度学习的迅速发展催生了 Transformer [2], 等占主导地位的序列转换模型。尽管这些模型效果卓越，却依赖复杂的机制和大量计算资源。为满足边缘设备在功耗和延迟方面的限制，研究方向日益转向脉冲神经网络（SNN）的硬件实现。

A. 神经形态 *ASIC*

目前已开发出多种专用集成电路（ASIC），用于模拟生物神经网络。IBM 的 *TrueNorth* [3] 集成了 100 万个脉冲神经元

，功耗约为 70 毫瓦，展现了事件驱动架构的潜力。类似地，英特尔的*Loihi* 和 *Loihi 2* 芯片 [4] 提供了片上学习和可扩展网格架构等先进功能。然而，这些专用集成电路通常属于专有技术，制造成本高昂，并受固定存储层次结构的限制，例如每个核心可存储的突触状态有限，这可能会限制它们在特定低成本嵌入式应用中的适用性[5]。

B. 基于 *FPGA* 的加速器

现场可编程门阵列（FPGA）提供了一种灵活的替代方案，可用于设计定制化、并行化的脉冲神经网络架构。早期的大规模实现，例如 Cassidy 等人 [6]，成功地将超过一百万个神经元映射到高端 Virtex-6 现场可编程门阵列上。近期，Yang 等人 [7] 利用多 FPGA 系统模拟了数百万个小脑神经元。尽管这些设计令人印象深刻，但它们通常面向高性能计算，而非“TinyML”边缘设备对面积和功耗的严格限制。

C. 嵌入式推理优化

要在资源受限硬件上实现脉冲神经网络，优化算术数据通路至关重要。标准浮点运算在芯片面积和能耗方面代价过高。Shinji 等人（2024年）[5] 近期的研究表明，将 16 位定点运算与随机舍入相结合，能够达到与 64 位浮点软件模型相当的仿真准确率，同时显著降低硬件复杂度。

我们的工作秉承了这种简化算术运算的理念。不同于复杂的多芯片小脑模拟器，我们提出了一种紧凑的单核架构，专注于高效执行静态图像分类任务所需的漏积分发放（LIF）动态过程，并利用简化的逐位移位和主动剪枝机制，进一步最大限度地降低动态功耗。

III. 系统设计

所提出的硬件加速器实现了一个用于静态图像分类的全连接脉冲神经网络（SNN）层。该架构采用模块化设计，由一个全局层控制器和多个并行实例化的漏积分发放神经元核心组成。

A. 离散 *LIF* 神经元模型

生物学中的漏积分发放（LIF）神经元被建模为一个膜电容器，它会整合输入电流，直至达到电压阈值（V_{th}），此时便会发放一个脉冲并复位。为实现高效的数字实现，我们使用欧拉法对微分方程进行离散化。在时间步 t，膜电位 $V[t]$由下式决定：

$$V[t] = V[t-1] - \beta(V[t-1] - V_{rest}) + \sum_i W_i \cdot S_i[t] \quad (1)$$

其中，W_i 是第 i个输入的突触权重，V_{rest} 是复位电位。在生物学中，其值需要为 $-70mV$以维持化学梯度；但在我们的实现中，为尽量减少逻辑门和功耗，我们选择将其设为 0。$S_i[t]$ 是二值脉冲输入（1 或 0），β 是衰减因子。为避免泄漏项β（$V[t-1]$）产生高昂的浮点乘法开销，我们将 β限制为 2 的幂（例如 2^{-n}）。这样，衰减运算便可通过硬件高效的按位右移实现：

$$V_{leak} = V[t-1] \gg n \quad (2)$$

B. 数据通路设计

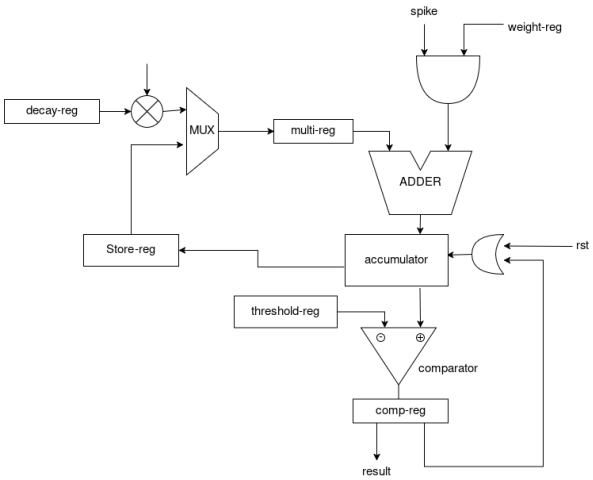

图 1. 漏积分发放神经元核心的寄存器传输级框图。该设计采用集中式累加器，并配置专用寄存器，用于存储权重、衰减值和阈值比较。

如图 1 所示，神经元核心采用由本地有限状态机 (FSM) 控制的专用取指-译码-执行周期。数据通路由三个主要阶段组成：

1) 积分

累加器寄存器存储当前膜电位。在每个时钟周期，如果检测到输入脉冲，加法器单元便会将当前电位与从权重寄存器加载的对应突触权重相加。

2) 漏电

在积分窗口结束时（例如，处理完一行图像后），有限状态机触发衰减寄存器逻辑。算术逻辑单元执行右移操作，并从累加器中减去运算结果，以模拟膜电位随时间发生的被动电荷泄漏。

3) 发放与复位

比较器会持续将膜电位与阈值寄存器中存储的值进行比较。如果 $V[t] \geq V_{th}$，比较器就会发出发放信号。这会立即将累加器重置为静息电位（V_{rest}），并向后续层生成一个输出脉冲。

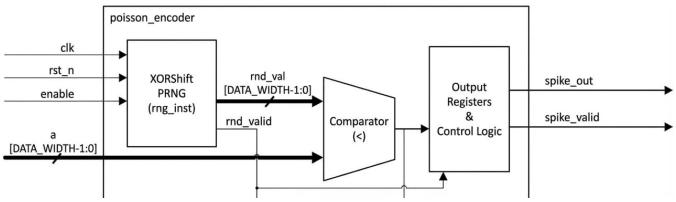

图 2. 泊松编码器框图

C. 随机输入编码

由于静态图像（如 MNIST 数据集）不包含时间信息，因此必须将其转换为脉冲序列。我们使用 32 位异或移位伪随机数生成器（PRNG），在片上实现**泊松编码器**。对于每个像素强度 I_{in}（归一化至 $0-255$），编码器会在每个时间步生成一个随机值 R。如果满足 $I_{in} > R$，就会生成一个脉冲。这一随机过程确保较亮的像素产生更高的发放率，从而有效地将空间强度转换为时间脉冲密度。

表 I 随机输入电流统计（第一个时间步，300 个样本）

数字	平均电流	Min	Max	状态
0	301.1	-39	599	OK
1	296.6	-293	436	OK
2	246.5	-389	658	OK
3	223.8	-171	489	OK
4	229.4	-247	458	OK
5	225.6	-535	813	OK
6	260.9	-234	492	OK
7	254.1	-357	539	OK
8	176.0	-56	394	OK
9	222.2	-377	459	OK

D. 主动剪枝机制

为最大限度地降低动态功耗，层控制器实现了“主动剪枝”屏蔽逻辑。当神经元累积了足够的电位以完成分类并发放脉冲后，其使能信号便会被关闭，直至推理窗口结束。这样，在已做出可靠预测后，累加逻辑便不会发生冗余的开关活动。

IV. 实现与结果

A. 实验设置

所提出的脉冲神经网络核心采用 SystemVerilog 实现，并使用 Xilinx Vivado 设计套件进行综合。为验证功能，我们以 MNIST 数字分类数据集为目标。输入图像（28×28 像素）通过片上伪随机数生成器转换为泊松脉冲序列。网络拓扑由一个全连接层组成，包含 10 个输出神经元（每个数字类别对应一个），使用 8 位定点权重。

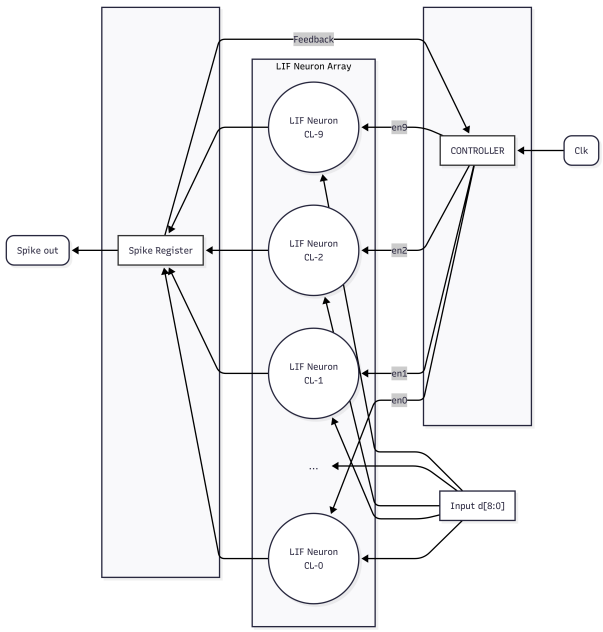

图3. 所提出的漏积分发放（LIF）神经元阵列架构框图。集中式控制器管理神经元顺序处理的使能信号（$\mathrm{e}n_0$ 至 $\mathrm{e}n_9$）。漏积分发放神经元产生的脉冲在脉冲寄存器中汇总，并反馈至控制器进行动态调节。

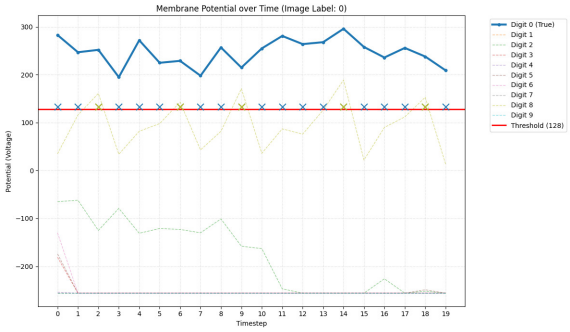

图4. 膜电位随时间的变化。神经元整合输入脉冲，在超过阈值（红线）时发放脉冲，然后重置。

B. 神经元动力学

图4展示了推理过程中单个神经元的内部状态。膜电位累积输入脉冲（蓝线），并通过逐位移位实现指数衰减。当电位超过阈值（$V_{th} = 128$）时，神经元发放脉冲，并立即硬复位至V_{rest}。这种离散时间行为验证了无需浮点单元即可周期精确复现生物LIF动力学。

C. 分类准确率

我们在 20 个时间步的仿真窗口内评估了分类准确率。如图5所示，网络迅速收敛到稳定预测。到第 10 个时间步时，准确率达到约 89%，这表明即使推理窗口较短，时间编码方案仍然有效。这种低延迟对于实时边缘应

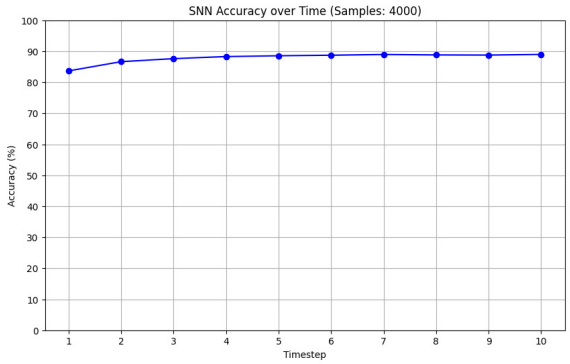

图5. 分类准确率与仿真时间步的关系。该网络在10个周期内收敛至 ∼89%的准确率。

用至关重要，因为快速识别数字可以让系统更早进入休眠状态，启用剪枝机制以节省功耗。

V. 与传统人工神经网络的比较

为了量化所提出的脉冲神经网络核心的硬件效率，我们将其与面向相同 MNIST 分类任务的传统人工神经网络（ANN）进行了基准测试。基线人工神经网络部署在 ESP32 微控制器上，这是 TinyML 应用中常见的平台。

A. 计算复杂度

标准的全连接人工神经网络需要执行密集的矩阵乘加（MAC）运算。对于可比的网络拓扑（784个输入、10个输出），该人工神经网络每次推理约执行25,408次乘法运算和25,450次加法运算。

相比之下，我们的脉冲神经网络核心完全消除了乘法运算。借助采用定点运算的漏积分发放神经元模型，我们以简单的逐位移位和整数加法取代计算开销较大的浮点乘加运算。此外，由于脉冲序列具有稀疏性（并非每个神经元都会在每个时间步发放脉冲），实际执行的加法运算数量远低于理论最大值。

B. 内存占用

内存使用量是边缘设备的一项关键限制。基线人工神经网络（包括权重和偏置）占用约 99.4 KB 的内存。我们的脉冲神经网络设计采用优化的 9 位定点权重（$784\times10\times9$ 位），仅需 ∼8.6 KB 的存储空间。这使内存占用降低了 11.3×，从而整个模型能够装入小型片上块随机存取存储器（BRAM），无需外部存储器访问。

C. 推理延迟

我们测量了基线人工神经网络在 ESP32 上的推理时间。在没有专用数字信号处理加速的情况下，由于矩阵乘法带来的巨大软件开销，推理耗时近 3 秒。即使经过数字信号处理器优化，延迟仍为 5130 μ 秒。

我们的硬件脉冲神经网络以 40 MHz 运行，在 10 个时间步内收敛。这意味着推理延迟约为 100 μ 秒，性能比基于软件的微型机器学习解决方案高出多个数量级。

表 II 性能比较：TinyML 人工神经网络与所提出的脉冲神经网络

指标	基线人工神经网络（ESP32）	所提出的脉冲神经网络（寄存器传输级）
算术运算	浮点乘加运算	定点加法/移位
乘法运算	∼25,400	**0**
模型大小	99.4 KB	**∼8.6 KB**
延迟	3.0 秒（无数字信号处理器）/ 5.1μ 秒（数字信号处理器）	**< 1 μ 秒**
功耗	高（持续激活）	低（事件驱动）

D. 实时性能与效率

为验证该模型对实时应用的适用性，我们分析了推理时间与准确率之间的权衡。图6显示，脉冲神经网络能在微秒内达到有效准确率，而人工神经网络则需要固定的计算时间。

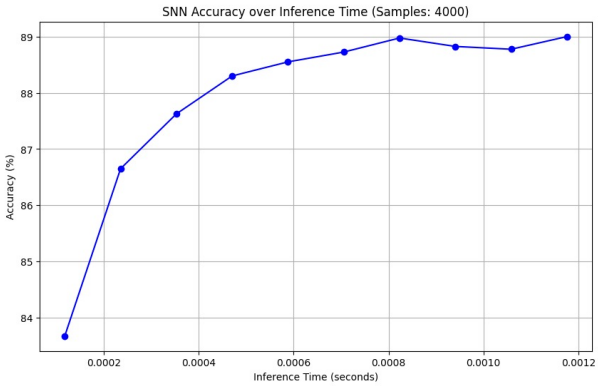

图6. 脉冲神经网络的准确率与推理时间。该模型在不到0.001秒内达到峰值准确率（∼89%），展现出超低延迟。

此外，我们定义了一个“效率得分”，其定义为

$$\text{Efficiency} = \frac{\text{Accuracy (\%)}}{\text{Time for Inference}}$$

该指标用于量化提前终止带来的益处。如图7所示，效率在最早的时间步达到峰值，证实事件驱动架构在刺激开始后立即提供最高的“每秒信息量”。

E. 鲁棒性分析

边缘部署通常面临充满噪声的环境。我们通过对MNIST测试集施加旋转（15°）、像素偏移（20%）、高斯噪声和部分遮挡，评估了脉冲神经网络的鲁棒性。

图8总结了结果。网络对遮挡和旋转具有很强的鲁棒性（准确率为 >83%），这可能得益于脉冲编码的分布式特性。然而，在噪声较强时，性能会下降，这表明未来的工作可从噪声滤波前端中受益。

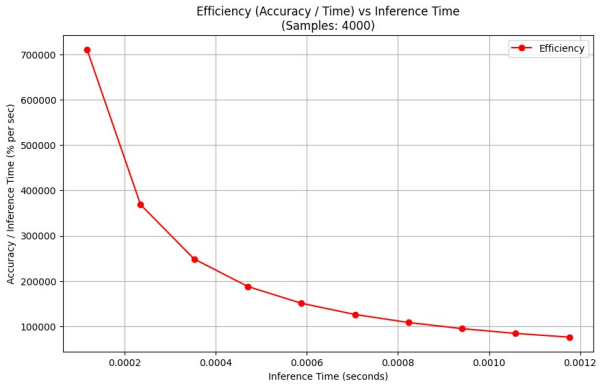

图7。效率指标（准确率/时间）与推理时间的关系。指数下降凸显了延长仿真窗口所带来的收益递减，支持我们的主动剪枝策略。

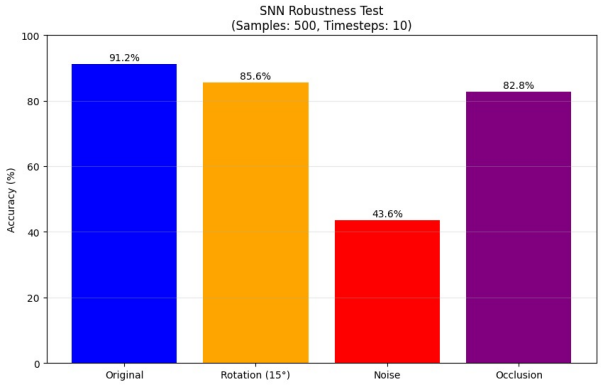

图8。脉冲神经网络鲁棒性测试。该模型在旋转和遮挡情况下仍保持较高准确率（>83%），但对严重的像素偏移和噪声较为敏感。

VI. 结论

本文介绍了一种针对边缘推理设计的高硬件效率脉冲神经网络加速器。通过利用定点算通过采用指标、逐位衰减逻辑和主动神经元剪枝，与传统人工神经网络加速器相比，我们显著降低了计算复杂度。在 MNIST 数据集上的仿真结果表明，该设计在实现快速收敛的同时，达到了具有竞争力的准确率（~89%）。未来的工作将重点放在实现片上学习规则上，例如脉冲时序依赖可塑性（STDP），以支持边缘端的自适应学习。

代码可用性

本工作所使用的完整 SystemVerilog 寄存器传输级源代码、测试平台和仿真脚本已开源，地址为：https://github.com/Yogeeth/neuromorphic-lif-rtl

参考文献

[1] P. Warden 和 D. Situnayake，《*TinyML*：使用 *TensorFlow Lite* 在 *Arduino* 和超低功耗微控制器上进行机器学习》。O'Reilly Media，2019年。[2] A. Vaswani、N. Shazeer、N. Parmar、J. Uszkoreit、L. Jones、A. N. Gomez、Ł. Kaiser 和 I. Polosukhin，"Attention is all you need"，载于《神经信息处理系统进展》，2017年，第5998–6008页。[3] P. A. Merolla 等，"具有可扩展通信网络和接口的百万脉冲神经元集成电路"，《科学》，第345卷，第6197期，第668–673页，2014年。[4] M. Davies 等，"Loihi：具有片上学习功能的神经形态众核处理器"，《*IEEE Micro*》，第38卷，第1期，第82–99页，2018年。[5] Y. Shinji、H. Okuno 和 Y. Hirata，"FPGA上的人工小脑：能够实现真实世界自适应运动控制的逼真实时小脑脉冲神经网络模型"，《神经科学前沿》，第18卷，1220908，2024年，第。[6] A. Cassidy、A. G. Andreou 和 J. Georgiou，"用于实时多模态场景分析的百万神经元单FPGA神经形态系统设计"，载于《*2011*年第*45*届信息科学与系统年会》。IEEE，2011年第，1–6页。[7] S. Yang 等，"Cerebellumorphic：用于监督式运动学习的大规模神经形态模型与架构"，《*IEEE*神经网络与学习系统汇刊》，第33卷，第4398–4412页，2022年。