多方合作项目：COIN-3D——3D VLSI可靠性协同创新

George Rafael Gourdoumanis†、Fotoini Oikonomou†、Maria Pantazi-Kypraiou†、Pavlos Stoikos†、Olympia Axelou†、Athanasios Tziouvaras†、Georgios Karakonstantis†、Tahani Aladwani+、Christos Anagnostopoulos+、Yixian Shen‡、Anuj Pathania‡、Alberto Garcia-Ortiz*和George Floros†§

†希腊塞萨利大学电气与计算机工程系{ggeorgios-r、fotoikon、mpantazi-、pastoikos、oaxelou、attziouv、gkarakon、gefloros}@e-ce.uth.gr+英国格拉斯哥大学计算机科学学院{tahani.aladwani、christos.anagnostopoulos}@glasgow.ac.uk

‡荷兰阿姆斯特丹大学{y.shen、a.pathania}@uva.nl*德国不来梅大学电动力学与微电子研究所 agarcia@item.uni-bremen.de§爱尔兰都柏林圣三一学院电子与电气工程系 florosg@tcd.ie

arXiv:2601.14347v1 [cs.AR] 20 Jan 2026

摘要——**随着半导体制造从3纳米工艺迈向亚纳米尺度，并从鳍式场效应晶体管转向环绕栅场效应晶体管（GAAFET），由此带来的复杂性和制造挑战持续增加。在此背景下，基于3D芯粒的方法应运而生，成为应对这些局限、同时利用更广阔设计空间的关键手段。具体而言，芯粒有助于解决大型单片设计通常面临的良率较低问题。这一范式支持异构系统的模块化设计，此类系统由多个芯粒（例如中央处理器、图形处理器和存储器）组成，并采用不同的工艺节点和工艺制造。因此，这为异构系统设计提供了一种高效且经济的策略。**

本文介绍Horizon Europe结对项目COIN-3D（3D VLSI可靠性协同创新），该项目旨在通过欧洲领先机构之间的合作，提升2.5D/3D超大规模集成电路系统可靠性领域的研究卓越水平。具体而言，我们的首要科学目标是提供新型开源电子设计自动化（EDA）工具，用于评估3D系统的可靠性，并整合用于物理层和系统级可靠性分析的先进算法。

索引词—**三维超大规模集成电路、芯粒、电子设计自动化工具、物理设计方法、架构探索、可靠性**

I. 引言

几十年来，半导体缩放一直由晶体管微缩推动，并遵循摩尔定律和丹纳德缩放原则。然而，随着工艺节点进入埃米时代，晶体管进一步缩小面临着根本性的物理障碍。从FinFET向环绕栅极（GAAFET）技术、最终向互补场效应晶体管（CFET）技术的演进，正将硅集成推向其物理极限。因此，性能和能效的下一次飞跃将不再仅靠平面缩放实现，而将依赖三维异质集成方案。关键替代方案包括通过晶圆对晶圆混合键合 [1], 实现的细粒度3D集成，以及基于芯粒的设计策略。三维芯粒架构为克服现代半导体技术面临的主要挑战提供了一种切实可行的方法。通过将大型单片裸片划分为更小、良率更高的芯粒，并集成采用不同工艺节点制造的逻辑电路、存储器和加速器，三维集成能够实现模块化、高性能且经济高效的系统 [2]。

新兴的异构3D集成方法提供了广阔且强大的设计空间，但也带来了与供电、散热和热管理、互连可靠性、可制造性以及设计自动化相关的关键挑战 [3]。应对这些挑战需要从根本上重新思考设计生态系统。尽管目前已有一些专用于三维集成的电子设计自动化工具，但与成熟的二维设计环境相比，其功能和可扩展性仍然有限。因此，大量伪三维流程应运而生，这些流程依赖于调整商用二维工具，以近似实现三维设计过程 [4]。然而，开源替代方案仍然十分稀缺，限制了学术界和工业界的访问与实验。这种开放框架的缺乏阻碍了架构探索、可靠性分析和跨层优化的进展，而这些正是推动下一代异构系统发展的关键。

为此，COIN-3D（3D VLSI可靠性协同创新）旨在提升该领域的研究水平。本项目旨在开发面向 2.5D 和三维 VLSI设计的开源电子设计自动化可靠性工具，同时促进欧洲研究机构之间的合作、人员流动与培训。具体而言，本项目的主要目标如下：

- 开发用于可靠性感知设计与分析的先进方法和算法，适用于3D集成

系统，涵盖从器件到系统的多个抽象层级。

- 创建一套开源电子设计自动化工具，用于对关键退化机制进行多物理场建模，例如电源完整性、热应力、电迁移（EM）和老化。
- 推动培训、知识转移和研究人员流动，以强化人才资本，并在欧盟地区构建可靠性建模和开源电子设计自动化开发领域的长期专业能力。

最后，COIN-3D 有助于实现《欧洲芯片法案》的目标，即增强欧洲的技术自主权和设计主权 [5]。通过结合开放科学实践、开源电子设计自动化开发和人工智能感知技术，该项目为新一代易于使用、智能且可持续的设计方法奠定了基础。

本文其余部分安排如下。第二节介绍背景信息，并概述有关先进集成技术、可靠性建模以及面向 3D 超大规模集成电路系统的开源电子设计自动化开发的相关工作。第三节介绍 COIN-3D 项目的构想，包括其科学目标、方法学路径，以及计划开展的联合研究和培训活动。最后，第四节总结全文，并概述该项目预期的主要成果及其长期影响。

II. 背景与相关工作

现代超大规模集成电路设计依赖一套成熟的物理设计实践与工具。然而，随着器件尺寸缩放逼近根本性极限，三维集成已成为一种颠覆性方案，通过垂直堆叠多个裸片来提升性能、降低功耗并缩小面积。这种集成策略的转变带来了新的物理设计挑战，需要扩展传统方法，以处理多层设计和复杂的裸片间连接。

A. 三维集成范式

三维集成提供了广泛且不断发展的可能方案，具体取决于目标布线与分区层级——例如 3D-SIC、三维片上系统和三维集成电路——以及所采用的具体技术（如裸片堆叠、并行前端工艺晶圆处理、晶圆对晶圆键合、顺序前道工艺等）。图 1 根据 IMEC 的经典分类法改编而成， [6],概述了这些方案，我们将在下文简要介绍。

1）制造方法 *[7], [8]*：从制造角度来看，三维集成可分为单片（顺序式）和并行（非顺序式）两种方法。单片集成是在同一片晶圆上依次制造多个器件层，从而实现极精细的垂直互连，但也带来了显著的工艺复杂性。相比之下，非顺序式集成将采用不同工艺节点或工艺设计套件（PDK）分别制造的裸片或晶圆组合起来（例如，将 45nm 逻辑层堆叠在 7nm 层之上），从而实现功能多样化和技术专业化。

2）堆叠范式 *[9]*：三维集成电路中常用三种主要集成范式来堆叠多个裸片/晶圆，分别是面对面（F2F）、面对背（F2B）和背对背（B2B）。在面对面堆叠中，两个裸片的有源层彼此相对，可实现密度极高的互连线、较短的信号路径和较低的寄生效应；尤其是在采用现代晶圆对晶圆混合键合时更是如此。面对背堆叠将一个裸片的有源面堆叠在另一个裸片的背面，因此需要使用硅通孔（TSV），并会增加布线复杂度。在背对背堆叠中，两个裸片的背面彼此贴合，因此需要在两个裸片中都设置硅通孔。这种方法通常用于互连密度不太重要，或存在特定热学和机械约束的情况。

3) 功能分层：三维集成也因堆叠层的功能组成而有所不同。两种主要方案是存储器堆叠于逻辑之上 [10], ，即将存储器裸片堆叠在逻辑裸片上方，以提升带宽并降低延迟；以及逻辑堆叠于逻辑之上，即堆叠多个逻辑层以提高计算密度。通常更倾向于采用结合这两种方案的混合架构，因为它们能够针对特定应用需求，在性能与面积之间实现平衡。

B. 相关工作

1) 物理设计方法：尽管三维集成技术取得了显著进展，当前的三维集成电路设计方法仍缺乏用于架构探索的全面统一框架。设计人员通常需要在设计周期的早期就作出关键的实现决策，例如裸片划分、堆叠顺序以及层间互连拓扑，而此时往往缺乏充分的分析反馈。这种过早决策会显著增加设计成本和风险。工业级电子设计自动化工具通常依赖专有基础设施，并强制采用固定的划分方案；而大多数学术方法只针对布局或布线等孤立的设计阶段，无法提供全流程集成 [11]。此外，许多学术工具仅专注于扁平式或单裸片实现，缺乏现代复杂片上系统所需的层次化设计能力 [12]。即使是 Open3DBench [13] 等开源替代方案，也通过将层配置限制为存储器堆叠于逻辑之上的结构而施加了严格假设；而 Hier-3D [14] 等更通用的框架仍依赖商业工具链。因此，目前仍缺乏开放、灵活且具备层次化能力的探索框架，以支持针对三维集成电路架构的系统化设计空间探索（DSE）。这一局限迫使设计人员要么过度配置资源，从而导致不必要的面积和功耗开销；要么在开发后期出现性能、热或可靠性约束时，承担代价高昂的重新设计周期风险 [15]。

2）体系结构模拟器：现代处理器的可靠性日益受到动态工作负载相关行为的影响，这些行为会导致功耗、温度和电压随时间显著波动 [16]。

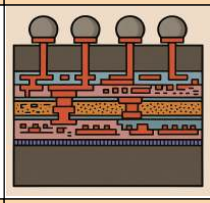
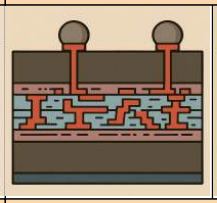
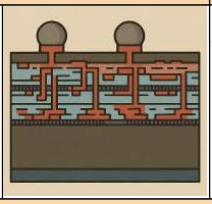
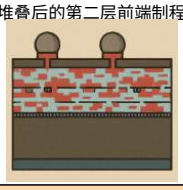
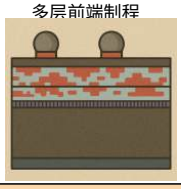
	3D-SIC	三维片上系统			三维集成电路
三维布线层级	全局	半全局	中间	局部	FEOL
分区	Die	标准单元块		标准单元	晶体管
三维技术	裸片堆叠 芯片到晶圆堆叠 芯片到硅中介层	并行前端工艺晶圆处理 晶圆对晶圆键合		顺序前端工艺处理 有源层键合或沉积	
双层堆叠示意图				堆叠后的第二层前端制程 	多层前端制程 
特性	已知良品裸片 三维堆叠或 硅中介层堆叠	两个前端制程层之间的后端制程			前端制程/前端制程堆叠
		由晶圆对晶圆定义的第二层套刻 对准/键合		由光刻扫描仪定义的第二层套刻 对准	

图 1. 三维集成范式。改编自 [6]。

早期的架构级可靠性模型认识到了这些变化，并尝试捕捉其对组件老化和失效风险的影响。然而，这些早期方法大多针对单核系统，例如 RAMP 等框架会对不同工作负载条件下运行时相关退化和失效概率进行建模 [17]。尽管这些模型奠定了基础原则，但它们无法扩展到当代复杂的多核和异构处理器；在这类处理器中，热、功耗和性能域之间的紧密耦合会导致高度非线性且随空间变化的可靠性行为。

在多核系统中，可靠性退化是多种相互作用因素共同作用的结果，包括热耦合、动态功耗管理、工作负载异构性以及瞬态电压波动，无法通过单一静态模型准确表示。为支持热感知设计与优化，快速且准确的仿真框架已不可或缺。CoMeT [18] 和 3D-ICE [19] 等工具以功耗轨迹和平面布局为输入，估算瞬态温度分布；而 McPAT [20] 等工具生成的功耗模型则与 Sniper [21] 或 gem5 [22] 等体系结构模拟器交互，以捕捉功耗与性能的动态变化。Sniper 提供可扩展的基于区间的仿真，而 gem5 则提供详细的周期精确建模，但代价是运行时间较长。尽管这些模拟器支持热分析，但大多数依赖基于轨迹的方法，不会将温度数据反馈至性能仿真中，因此难以表示性能与热特性之间的运行时交互。

III. COIN-3D 方案

COIN-3D项目是一个Horizon Europe结对项目，将先进技术研究与欧洲学术合作伙伴之间的结构化合作和知识交流相结合，共同应对2.5D/3D芯粒系统的可靠性挑战。除了核心科学目标外，该项目还高度重视加强色萨利大学与领先的欧洲研究机构之间的合作，其中包括阿姆斯特丹大学、不来梅大学和格拉斯哥大学。这一合作框架旨在促进各机构之间持续互动、相互学习，并传播最佳实践，充分发挥各方互补的专业优势。

这一方案的核心要素是系统化组织培训与知识共享活动，以补充技术研究。这些活动包括科学网络研讨会、高级技术课程、专题研讨会和专门的暑期学校，聚焦于三维集成技术、可靠性建模、电子设计自动化以及新兴的基于芯粒的架构等关键主题。通过这些举措，COIN-3D 支持研究人员和青年科学家的技能发展，同时促进联盟内各方对最先进的方法、工具和设计实践形成共同理解。

COIN-3D建立在研究团队在3D设计流程、热分析和可靠性建模方面积累的专业知识之上，同时也借鉴了参与团队过去几年开发的工具所积累的经验，例如 [14]，[18]，[23]。因此，COIN-3D的研究部分旨在开发一套全面的工具集，弥合从电路级分析到系统级分析之间的差距，解决2.5D/3D芯粒架构面临的关键挑战，如图2所示。以下小节将介绍COIN-3D在物理抽象层和系统抽象层所开展的主要技术方法和研究方向。

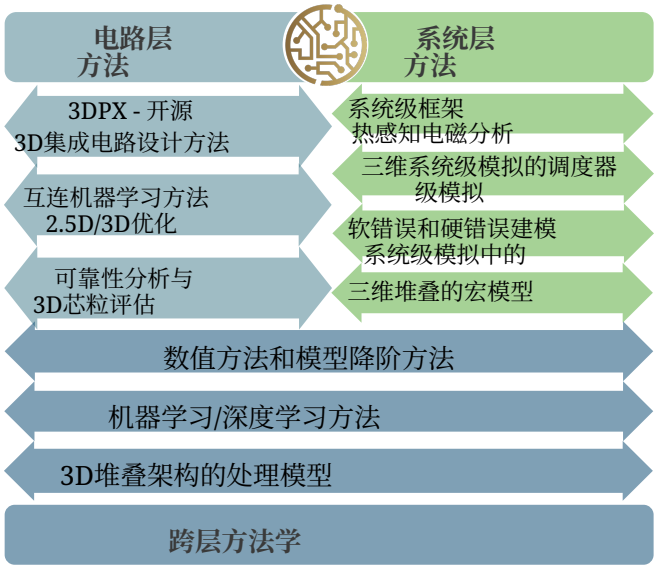


图 2. COIN-3D在不同抽象层中的方法。

A. 物理层方法

3D物理设计探索

COIN-3D的核心科学目标之一，是推动异构3D集成物理设计自动化的发展。该项目专注于开发方法和开源工具，以实现对堆叠集成电路层之间供电、热耦合和可靠性等物理层效应的准确建模与优化。在此背景下，COIN-3D已推出3DPX[1]（一种用于3D物理设计探索的开源方法），这是该项目在物理层面的主要研究成果[24]。

3DPX 基于 OpenROAD 基础设施，提供首个完全开源的分层 3D 设计探索框架 [25]。它将传统二维设计流程扩展至多种集成范式，包括面对面、面对背和单片堆叠。通过模块化的分层流程，3DPX 使设计人员能够探索逻辑堆叠于逻辑之上、存储器堆叠于逻辑之上以及混合架构，并支持多PDK兼容性。这种灵活性让设计人员能够探索不同工艺节点和键合方案，从而在设计流程早期评估物理层面的权衡，而不依赖专有商业工具。

3DPX 的核心是一种分层式三维布局与布线方法，可管理多个裸片上的设计分区、平面规划、布局和布线。该流程扩展了标准 ASIC 配套文件、LEF、DEF 和 LIB，以纳入三维层级信息、层间通孔和布线层。基于 Python 和 TCL 的专用 API 可自动修改工艺文件，并管理各层级之间设计数据的同步。此方法与现有 OpenROAD 数据结构保持一致，同时支持多层级模块的并行实现，缩短设计周转时间，并提升其在大规模片上系统 SoC 架构中的可扩展性。

面向电迁移的物理可靠性建模

COIN-3D 物理层研究的一个关键方向，是开发电迁移（EM）建模与可靠性感知优化方法，这对于确保三维 VLSI 架构的长期完整性至关重要 [26]。随着互连线尺寸缩小、电流密度上升，电迁移已成为最关键的退化机制之一，直接影响供电网络和信号互连线的寿命与稳定性 [27]。在 COIN-3D 中，电迁移分析同时采用基于物理学和数据驱动的方法，兼顾准确性、计算效率以及设计早期的适用性。

在物理层面，COIN-3D 基于 Korhonen 扩散模型的先进公式，该模型描述了高电流密度和温度梯度下静水应力的演变 [28]。以此模型为基础，项目开发了一套开放式优化框架，采用数值求解器和基于梯度的优化来评估并缓解电迁移引起的应力 [29]。这种方法支持设计空间探索，可调整互连线几何结构、材料参数和布局约束，在满足设计规则合规性的同时，尽量减少应力累积和 IR 压降。最终形成的优化流程已在大规模电源网格基准测试中显著改善了应力均匀性和电源完整性，展现出集成到开放式 3DPX 环境中的巨大潜力。

为补充这些以物理为驱动的技术，COIN-3D 集成了机器学习辅助的电迁移预测，以加速早期可靠性分析 [30]。该模型采用紧凑的特征集，包括电流密度、扩散率、互连线段中的空间位置以及温度，并运用极端梯度提升（XGBoost）算法 [31]，根据详细物理仿真得出的数据，高精度预测电迁移应力。这使设计人员能够在设计流程早期、完整布线和寄生参数提取尚未完成之前，估算潜在的电迁移热点。

这些方法共同用于 COIN-3D 的物理层可靠性框架。混合方法结合了物理建模的可解释性和精确性，以及机器学习的可扩展性和速度。通过将可靠性评估直接嵌入物理实现阶段，COIN-3D 旨在及早检测并缓解退化机制，减少设计迭代次数，并提高先进 3D 系统的可预测性。

[1]https://github.com/coin3d-project/coin3d-project/tree/main/3DPX 测试用例

B. 系统级方法

系统级感知 PDN 生成器

COIN-3D 系统级研究的首个主要组成部分，聚焦于开发一种具备系统感知能力的供电网络（PDN）生成与分析方法 [32]。传统的供电网络设计流程通常依赖静态电流曲线或均匀网格模板，无法体现现代异构和 3D 处理器中高度动态且空间分布不均的功耗。为克服这些局限，COIN-3D 实现了一种以裸片为中心的供电网络生成框架，该框架利用从 [33] 等体系结构模拟器中获取的、依赖于工作负载的功耗轨迹。

所提出的供电网络综合工具会构建能够反映此类行为的电阻网格，并优化金属层尺寸、网格密度和焊盘分配，在维持电迁移安全裕度的同时最大限度地降低 IR 压降。该方法在架构行为与物理供电网络可靠性之间建立了早期联系，使设计人员能够在版图实现之前探索多种供电网络配置。由此形成的工作流程可在真实工作负载条件下进行预测性电迁移和 IR 压降评估，从而显著缩短设计迭代时间，并增强对早期设计决策的信心。

系统级热感知可靠性分析

尽管物理层设计决定了互连线和器件的固有稳健性，但系统级行为最终决定了这些组件在真实工作负载下所承受的应力。在当代异构架构中，可靠性退化源于计算、功耗管理和热控制之间动态交互的影响，而这些交互会随时间推移并跨越不同空间层级而演变。因此，COIN-3D 项目将关注范围从物理实现阶段进一步扩展，旨在建立一个系统级可靠性框架，将器件级退化机制与架构行为及工作负载驱动的应力联系起来。

COIN-3D 项目采用跨层建模方法，弥合基于物理的可靠性模型（例如电迁移和软错误率）与系统级运行参数（例如功率密度、温度梯度和工作负载分布）之间的差距。通过分层抽象，较低层级的退化模型被表示为紧凑的行为方程，可嵌入体系结构模拟器中。这样便能够在运行时估算不同电压频率设置、调度策略和冷却策略下的寿命影响。

该方法的一项关键特性是能够在体系结构模拟器与可靠性引擎之间进行双向数据交换。性能或热模拟器（如 HotSniper [33], ）生成的温度和电流信息会输入可靠性模型，而由此得到的退化指标（如电迁移退化和老化）则会反馈至体系结构循环中。这种双向耦合使得任务迁移或动态电压调节等系统级决策能够同时从性能和长期可靠性的角度进行评估，并在同一框架内支持设计时探索和运行时控制。

IV. 结论

由于半导体技术已经突破传统平面缩放的限制，细粒度异构 2.5D 和 3D 集成已成为持续提升计算性能、能效和系统异构性的关键推动力。尽管这些集成范式带来了巨大的机遇，但也引入了与可靠性、可测试性和设计自动化相关的严峻挑战，必须以系统化且可扩展的方式加以应对。

在此背景下，COIN-3D Horizon Europe 结对项目建立了一个协作框架，旨在推进面向可靠性的 2.5D 和 3D 超大规模集成电路系统设计方法。通过欧洲研究合作伙伴的协同努力，该项目开发能够在多个抽象层级上对可靠性相关问题进行建模和分析的开源电子设计自动化工具及方法，涵盖从物理实现到系统级行为的各个层面。通过结合物理建模、系统级分析和跨层设计方法，COIN-3D 为强化可靠异构集成所需的科学基础作出了贡献。

项目预期成果包括开发先进的可靠性感知设计工具，增强设计早期阶段的设计空间探索能力，并建立可持续的开源框架，以支持项目结束后持续创新。从长远来看，COIN-3D 旨在促进跨学科合作，推动 3D 可靠性建模和设计自动化领域的新研究方向，并助力增强欧洲在先进半导体研发领域的能力和竞争力。

致谢

本研究由 COIN-3D 项目资助。该项目获得欧盟“地平线欧洲”研究与创新计划的资助，资助协议编号为 101159667。本文内容仅反映作者的观点，欧盟委员会不对其中信息可能被如何使用承担责任。

参考文献

[1] M. Brunion、N. K. Purayil、F. Dell’Atti、S. Lam、R. Bilgic、M. Tahoori、L. Benini 和 J. Ryckaert，“CMOS 2.0——重新定义扩展的未来”，载于*2025*年 *IEEE/ACM* 国际计算机辅助设计会议（*ICCAD*），2025年，第1–8页。[2] K. Arabi、K. Samadi 和 Y. Du，“3D 超大规模集成电路：超越二维的可扩展集成”，载于*2015*年国际物理设计研讨会论文集，ISPD ’15系列。美国纽约：计算机协会，2015年，第1–7页。[3] I. H.-R. Jiang、Y.-W. Chang、J.-L. Huang 和 C.-P. Chen，“面向2.5/3D异构片上系统集成的智能设计自动化”，载于第*39*届国际计算机辅助设计会议论文集，ICCAD ’20系列。美国纽约：计算机协会，2020年。

[4] K. Chang、S. Sinha、B. Cline、R. Southerland、M. Doherty、G. Yeric 和 S. K. Lim，“Cascade2D：使用二维商业工具对单片三维集成电路进行设计感知分区的方法”，载于*2016*年 *IEEE/ACM* 国际计算机辅助设计会议（*ICCAD*），2016年，第1–8页。[5] 欧洲议会和欧盟理事会，“欧洲议会和理事会于2023年9月13日颁布的《欧盟2023/1781号条例》，旨在建立一套措施框架，以加强欧洲半导体生态系统，并修订《欧盟条例》 2021 694 229. /（《芯 18 2023. 1 53. 2023. 2025 11 03 [ ] 片法案》）”，《欧盟官方公报》，L辑，9月，第–页。访问日期：--。在线。网址：https://eur-lex.europa.eu/eli/reg/2023/1781/oj/eng [6] E. Beyne，“三维互连技术的发展格局”，*IEEE Design & Test*，第33卷，第3期，第8–20页，2016年。[7] K. S. Kim、S. Seo、J. Kwon、D. Lee、C. Kim、J.-E. Ryu、J. Kim、M.-K. Song、J. M. Suh、H.-G. Jung、Y. Jo、H. Ahn、S. Lee、K. Cho、J. Jeon、M. Seol、J.-H. Park、S. W. Kim 和 J. Kim，“通过生长实现单晶薄膜的无缝单片三维集成”，2023年。[8] J. Jeong、D.-M. Geum 和 S. Kim，“面向混合信号集成电路的异构与单片三维集成技术”，*Electronics*，第11卷，第19期，2022年。[9] P. Lindner、V. Dragoi、T. Glinsner、C. Schaefer 和 R. Islam，“通过对准的晶圆级键合实现三维互连”，载于第*52*届电子元件与技术会议，2002年，第1439–1443页。[10] J. Kim、A. Hong、S. Kim、K.-S. Shin、E. Song、Y. Hwang、F. Xiu、K. Galatsis、C. Chui、R. Candler、S. Choi、J.-T. Moon 和 K. Wang，“基于逻辑三维技术的堆叠式存储器件，实现超高密度数据存储”，*Nanotechnology*，第22卷，第254006页，2011年6月。[11] X. Dong、J. Zhao 和 Y. Xie，“三维集成电路的制造成本分析与成本感知设计空间探索”，*IEEE* 集成电路与系统计算机辅助设计汇刊，第29卷，第12期，第1959–1972页，2010年。[12] J. Knechtel、I. L. Markov 和 J. Lienig，“将二维模块组装成三维芯片”，*IEEE* 集成电路与系统计算机辅助设计汇刊，第31卷，第2期，第228–241页，2012年。[13] Y. Shi、C. Gao、W. Ren、S. Xu、K. Xue、M. Yuan、C. Qian 和 Z.-H. Zhou，“Open3DBench：用于三维集成电路后端实现和PPA评估的开源基准测试”，2025年。[14] N. E. Bethur、A. Agnesina、M. Brunion、A. Garcia-Ortiz、F. Catthoor、D. Milojevic、M. Komalan、M. Cavalcante、S. Riedel、L. Benini 和 S. K. Lim，“Hier-3D：一种用于三维集成电路物理层次结构探索的方法”，*IEEE* 集成电路与系统计算机辅助设计汇刊，第43卷，第7期，第1957–1970页，2024年。[15] Y. Zhao、L. Zou 和 B. Yu，“特邀论文：先进三维集成电路的物理设计：挑战与解决方案”，载于*2025*年国际物理设计研讨会论文集，ISPD ’25系列。美国纽约：计算机协会，2025年，第209–216页。[16] P. Stoikos、A. Tziouvaras、G. Floros 和 C. Anagnostopoulos，“面向分布式计算基础设施的基于矩阵指数的热模拟”，载于*2025*年第*45*届*IEEE*分布式计算系统国际会议研讨会（*ICDCSW*），2025年，第459–463页。[17] J. Srinivasan、S. V. Adve、P. Bose 和 J. A. Rivers，“生命周期可靠性感知微处理器的必要性”，载于第*31*届计算机体系结构年度国际研讨会论文集，ISCA ’04系列。美国：IEEE计算机协会，2004年，第276页。[18] L. Siddhu、R. Kedia、S. Pandey、M. Rapp、A. Pathania、J. Henkel 和 P. R. Panda，“CoMeT：面向二维、2.5D和三维处理器-存储器系统的集成式区间热模拟工具链”，*ACM*体系结构与代码优化汇刊，第19卷，第3期，2022年8月。 [在线]。网址：https://doi.org/ 10 1145 3532185 。/ [19] A. Sridhar 、 A. Vincenzi 、 M. Ruggiero 、 T. Brunschwiler 和 D. Atienza，“3D-ICE：面向三维集成电路的快速紧凑型瞬态热建模，适用于层间液冷”，载于*2010*年*IEEE/ACM*国际计算机辅助设计会议 *(ICCAD)*，2010年，第463–470页。[20] S. Li、J. H. Ahn、R. D. Strong、J. B. Brockman、D. M. Tullsen和N. P. Jouppi，“Mcpat：面向多核与众核架构的集成功耗、面积及时序建模框架”，载于*2009*年第*42*届*IEEE/ACM*国际微体系结构研讨会 *(MICRO)*，2009年，第469–480页。[21] T. E. Carlson、W. Heirman、S. Eyerman、I. Hur和L. Eeckhout，“高层机制化核心模型评估”，*ACM*体系结构与代码优化汇刊，第11卷，第3期，2014年8月。 [在线]。可访问：https://doi.org/ 10 1145 2629677 。/ N. [22] Binkert、B. Beckmann、G. Black、S. K. Reinhardt、A. Saidi、A. Basu、J. Hestness、D. R. Hower、T. Krishna、S. Sardashti、R. Sen、K. Sewell、M. Shoaib、N. Vaish、M. D. Hill和D. A. Wood，“gem5模拟器”，*SIGARCH*计算机体系结构新闻，第39卷，第2期，第1–7页， 2011 [ ] 10 1145 2024716 2024718 年8月。 [23] 在线。可访问：https://doi.org/。/。O. Axelou、E. Tselepi、G. Floros、N. Evmorfopoulos和G. Stamoulis，“Proton——用于当代VLSI电源网格物理建模电迁移评估的Python框架”，载于*2023*年第*19*届电路设计综合、建模、分析与仿真方法及应用国际会议 *(SMACD)*，2023年，第1–4页。[24] G. Goudroumanis、M. Pantazi-Kypraiou、G. Floros、A. Tziouvaras、G. Stamoulis和A. Garc´ıa-Ortiz，“3DPX——一种用于3D物理设计探索的开源方法”，载于*2025*年*IEEE*第*43*届国际计算机设计会议 *(ICCD)*，2025年，第176–179页。[25] T. Ajayi、V. A. Chhabria、M. Fogac,a、S. Hashemi、A. Hosny、A. B. Kahng、M. Kim、J. Lee、U. Mallappa、M. Neseem、G. Pradipta、S. Reda、M. Saligane、S. S. Sapatnekar、C. Sechen、M. Shalan、W. Swartz、L. Wang、Z. Wang、M. Woo和B. Xu，“迈向开源数字设计流程：来自OpenROAD项目的初步经验”，载于第*56*届年度设计自动化会议论文集（*2019*），DAC ’19系列，纽约，NY，美国：计算机协会，2019年。[26] H.-B. Chen、S. X.-D. Tan、J. Peng、T. Kim和J. Chen，“考虑温度和线段长度效应的VLSI互连树电迁移失效解析建模”，*IEEE*器件与材料可靠性汇刊，第17卷，第4期，第653–666页，2017年。[27] J. Lienig，“电迁移及其对未来技术物理设计的影响”，载于*2013*年*ACM*国际物理设计研讨会论文集，ISPD ’13系列，2013年，第33–40页。[28] M. A. Korhonen、P. Bo/rgesen、K. N. Tu和C. Li，“受限金属线中的电迁移应力演化”，应用物理学杂志，第73卷，第8期，第3790–3799页，1993年4月。[29] O. Axelou、T. Aladwani、G. Floros和C. Anagnostopoulos，“面向EMIR缓解：基于L-BFGS算法的VLSI电源网格高效导线尺寸优化”，载于*2025*年第*45*届*IEEE*分布式计算系统国际会议研讨会 *(ICDCSW)*，2025年，第474–479页。[30] E. Tselepi、O. Axelou、A. Garc´ıa-Ortiz和G. Floros，“利用极端梯度提升算法对电迁移应力进行早期预测”，载于*2025*年第*14*届现代电路与系统技术国际会议 *(MOCAST)*，2025年，第1–4页。[31] T. Chen和C. Guestrin，“XGBoost：一种可扩展的树提升系统”，载于第*22*届*ACM SIGKDD*知识发现与数据挖掘国际会议论文集，2016年，第785–794页。[32] M. Pantazi-Kypraiou、O. Axelou、G. Floros、G. Stamoulis和A. Patha-nia，“面向多处理器系统的系统级感知电源分配网络生成器”，载于*2025*年第*45*届*IEEE*分布式计算系统国际会议研讨会 *(ICDCSW)*，2025年，第448–453页。[33] A. Pathania和J. Henkel，“HotSniper：用于开放系统众核热仿真的基于Sniper的工具链”，*IEEE*嵌入式系统快报，第11卷，第2期，第54–57页，2019年。