准备提交至 JINST

一种具有交流和直流耦合前端及透明双 DDR 事件存储器的八通道 RFSoC 波形数字化仪

arXiv:2611.29881v1 [physics.ins-det] 23 Nov 2026

Tao Xue[a, b, 1]

[a]粒子与辐射成像重点实验室（清华大学），教育部，北京市清华园街*1*号，中国[b]清华大学工程物理系，北京市清华园街*1*号，中国

电子邮箱：xuetaothu@tsinghua.edu.cn

摘要：我们介绍用于八通道射频片上系统（RFSoC）数字化仪触发读出的透明双 DDR 事件存储器（TDEM）。无论前端采用交流耦合还是直流耦合，每个已接受触发都会以 5 吉采样/秒的速率，为每个通道记录 4096 个采样值。两个相隔 100 ns 的脉冲产生了彼此独立且相互重叠的记录。在一个直流耦合输入上，交织校准将八采样值周期性残差降低了 29 倍（输入为 +100 mV时），但在输入为零时则没有改善。电源循环后，数字化仪无需训练音调便恢复了全部八个直流耦合输入的系数。TDEM 按 2:1 的比例，将完整事件分配给 64 位和 32 位 DDR4 内存接口。仅靠这种分配，仍由主机页面请求决定每次读出使用哪个存储器。在两次约 6 秒、速率为 160千赫的运行中，采用事件级预取后，接收器积压峰值从先前读出方式下的 20 140 个事件降至 1457 个。通过预取，在反复出现主机读出暂停的情况下，直流耦合系统的持续速率从 150 kHz 提高到 170 kHz。采用相同的接收器设计并改进主机缓冲区分配后，交流耦合系统以 175 kHz 通过了三次各持续 30 分钟的测试，每次均有 48 次读出暂停，且没有拒绝任何触发信号。在没有人为暂停或后台负载的情况下，主机在 30 分钟内以 179.7 千赫验证了全部 323 452 631 个事件。在 180 千赫时，数字化仪首次拒绝触发信号，这与该事件格式下经建模得出的 179.730 kHz 发射器容量一致。

关键词：探测器读出的前端电子学；数据采集电路；数据采集概念

[1]通讯作者。

目录

1 引言 **1**

2 数字化仪与采集架构 **2**

3 T透明双 DDR 事件存储器 **3**

3.1 从单存储器接口到按比例放置事件 33.2 页面请求可能导致读取失衡，尽管事件已按比例放置 43.3 按事件预取，按页返回 5

4 校准与操作 **6**

4.1 在台架上建立基准 64.2 使用另一种激励信号测试校正 74.3 DAC 输出偏移 74.4 无训练信号源时的上电与采集 8

5 模拟性能 **9**

5.1 输入响应和动态范围 95.2 输入通道间耦合和数模转换器输出响应 11

6 E事件接受与持续读出 **13**

6.1 一个采集窗口内的两个触发信号 136.2 有主机暂停与无主机暂停的测试 136.3 180kHz下的发射器服务 14

7 讨论与结论 **15**

1 引言

多个探测器通道上的相 coincident 脉冲所携带的信息，在仅保留时间戳或脉冲积分时可能会丢失。波形还会记录脉冲前的基线，并可能揭示同一采集窗口内的第二个脉冲。开关电容采样器长期以来一直在粒子仪器中提供这一能力 [1], ，而基于波形的定时研究说明了区分使用电学测试脉冲进行的测量与使用探测器进行的测量的重要性 [2]。在此，我们测量数字化仪向主机传输完整八通道波形的速率，并确定随着输入速率增加，最先拒绝触发信号的级。

射频片上系统（RFSoC）器件将数据转换器和可编程逻辑集成在一块芯片上。Axani等人展示了用于闪烁体读出的RFSoC脉冲采集，并对其模拟前端、数字处理和传输速率进行了表征 [3]。Du等人将同类器件用于不同目的，结合模块化射频前端、同步

和用于加速器对照记录的确定性反馈 [4]。采用现场可编程门阵列（FPGA）实现的光接口，可通过PCI Express（PCIe）将探测器数据传输至商用服务器，FELIX已展示了这一点 [5]。ATLAS RobinNP 接收器使用两块板载存储器，每块存储器通过各自的读出逻辑为固定的一组六条输入链路提供服务 [6]。在FPGA 加速器设计中，通过重新排序访问来提高动态随机存取存储器的吞吐量也已得到应用 [7]。在此，单个事件流必须使用两个不相同的存储器接口，同时不能依赖源端或主机为访问各个存储器安排时序。

早期报告介绍了 ZYNQBeeRF7 模块，并在原型上测量了其转换器响应 [8]。本研究使用该模块，并配备可互换的有源直流耦合前端和无源交流耦合前端。其主要读出贡献是透明双 DDR 事件存储器（TDEM）：RDX051 接收器在两个 DDR4 存储器之间分配、提交和获取完整事件，而主机无需指定内存接口即可请求逻辑页。我们比较了三种实现，以区分将事件分布到两个存储器中，与确保两个存储器都能获得有用读取之间的差异。随后，我们将这一接收器变化与之后对主机内存分配所作的变化分开讨论。校准和模拟测量确定了每个保留波形所代表的内容。我们区分了用于获得转换器校正的已知输入，以及在采集前恢复这些校正所需的条件。本文报告的所有测量均使用电气台架激励，而非探测器数据。

2 数字化仪与采集架构

图 1 展示了通用读出结构。ZYNQBeeRF7 模块包含 AMD Zynq Ul- traScale+ XCZU47DR RFSoC。八个实数模数转换器（ADC）通道以每通道 5 吉采样/秒的速率运行，且不进行抽取。每个 14 位采样值均在有符号 16 位容器中左对齐；每四个容器计数对应一个转换器码。本文所用模式下，八个数模转换器（DAC）通道同样支持以 5 吉采样/秒速率运行的独立实数采样，且不进行插值。共享时钟树为采样时钟和用于多瓦片同步（MTS）的系统参考信号（SYSREF）提供时钟源。启动时，转换器瓦片会被初始化，并在启用采集之前检查其 MTS 状态 [9]。采样间隔为 200 ps；它并不表示通道间偏斜或绝对时间分辨率的测量值。

WRX701V3 直流耦合载板采用全差分 LMH5401 放大器。精密 DAC80508 和 OPA2192 可独立于探测器信号设置工作点。此路径既可测量静态电平，也可测量脉冲。在 WRX703V2 交流耦合载板上，射频变压器在输入端执行单端转差分转换。通道 0–3 使用 TCM2- 33WX+ 变压器，通道 4–7 使用 JY-TCM2-33WX+ 变压器；输出端也采用相同的分组方式。由于变压器类型和通道位置没有交叉互换，因此仅凭组间的系统性差异，无法判定其是否由元件效应导致。

捕获逻辑接受阈值穿越、外部触发器或软件触发器。在高速运行时，每个已接受触发都会在八个通道上选取一个包含 4096 个样本的公共时间窗口。两个采集存储体负责维护采样历史。触发后，一个存储体会完成其时间窗口并保留该窗口以供读出；如果另一个存储体具有足够的历史数据，则可以接受第二次触发。只有当最后一个字已被接受到

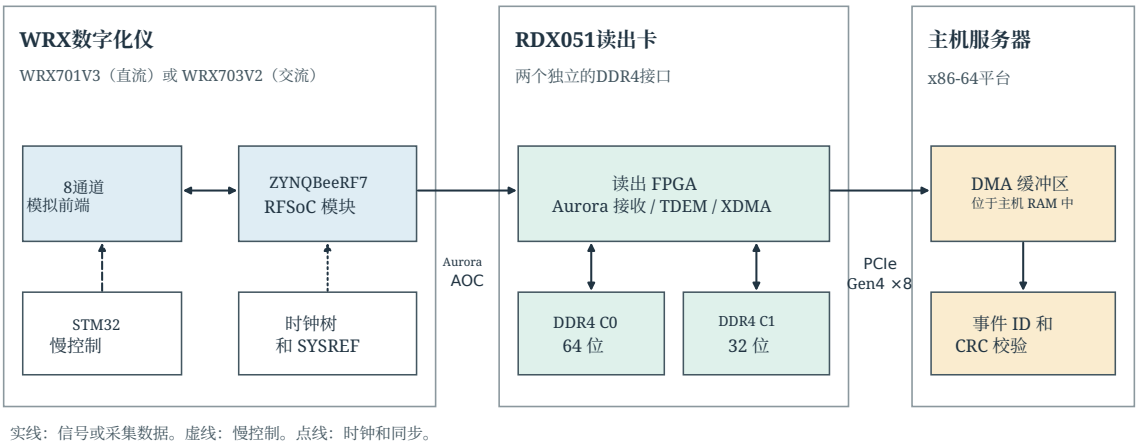

图 1。用于模拟特性表征和触发读出的台架系统。任一 WRX 载板均可搭载相同的 ZYNQBeeRF7 模块。ADC 事件通过一根标称速率为 100 Gbit/s 的有源光缆（AOC）经由一条 Aurora 链路传输；DAC 测试信号在载板处测量，不通过该链路传输。控制处理器位于逐事件数据路径之外。

本地发送路径中且所需的历史数据已重新填满后，存储体才会再次具备资格。此释放过程无需等待主机。如果两个存储体都不具备资格，则不会分配第三条记录；源会明确计数忙拒绝。

事件大小取决于计数位置（表 1）。64 KiB 的采样值在 Aurora 64B/66B 用户接口处会增加成帧开销 [10]；接收器针对主机读取使用不同的、按页对齐的表示方式。例如，在 179.7 千赫下，逻辑写入和读取预算之和为 24.313 GB/s。这是事件大小预算，而不是对任一控制器总线利用率的测量。GB/s 和 Gbit/s 中的数据速率采用十进制；KiB、MiB 和 GiB 表示以字节为单位的二进制倍数。

表 1。四个接口上每个已接受事件的字节数。这些行描述了不同的表示形式；只有最后两项应计入逻辑内存读写预算。

表示形式	字节	传输内容或单位
ADC 波形	65 536	8 个通道 × 4096 采样值 × 2 字节
Aurora 用户流	68 096	2128 个 256 位的用户字，包含成帧
接收器存储器写入	65 664	样本载荷和接收器元数据
逻辑主机读取	69 632	1 个描述符页和 16 个有效载荷页面

3 透明双 DDR 事件存储器

3.1 从单存储器接口到按比例放置事件

每次已接受触发都会生成一条完整的八通道记录。一个事件到达时，必须从接收器读取先前的事件。在第一种实现中，两次传输都使用 64 位 DDR4 接口（C0）；独立的 32 位接口（C1）没有承载任何事件流量（图2）。在本节中，存储体 指这两个 DDR4 接口之一上的存储器，而非 DDR4 器件内部的存储体，也不是数字化仪中的采集存储体。在 120 千赫时，接收器的输入先进先出队列

缓冲区（FIFO）在直接内存访问（DMA）读取与写入重叠时发生溢出，无论使用两个还是四个读取器都是如此。这是该配置的限制，并非对 DDR4 器件最大速率的测量。

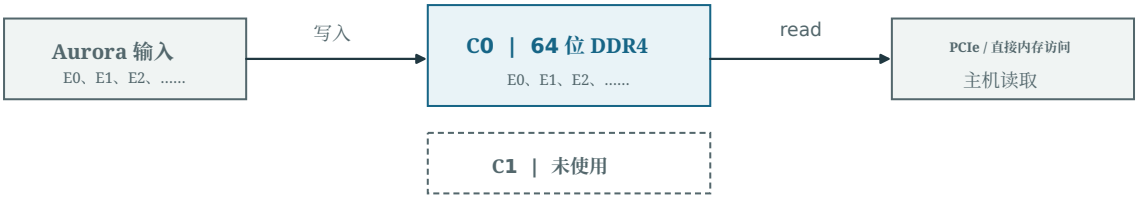

图2。在 TDEM 之前，连续三个事件 E_0、E_1、E_2 在两个方向上都使用相同的内存接口。卡上有 C1，但它不负责波形的读取或写入。箭头表示数据流向。

TDEM 则将连续接纳的事件依次分配给 C0、C0、C1，然后重复这一循环。每个事件都留在同一个存储体中。索引是接收器的接纳计数，而不是触发编号；触发编号可能不连续。在 61 440 个事件槽位中，40 960 个位于 C0（4 GiB），20 480 个位于 C1（2 GiB）。两次写入可能按不同顺序完成；只有连续完成的一串事件才可读取。在首个双存储体实现中，主机库仍将逻辑事件转换为物理存储体地址。在一台至强服务器上，该设计在 60 秒内通过了 130 kHz 测试，并在三次 30 分钟的暂停测试中达到 140 kHz。因此，130 kHz 已经是双存储体测量结果，而非单存储体对照测试。

在下文所用的读出主机上，最初达到的合格速率为 135 kHz。在内存到DMA接口处对完整突发进行缓冲，使用 32 KiB 的数据包先进先出队列，并在较窄路径上增加一个流水线级后，速率提升至 150 kHz。在固定 150 kHz 输入下，使用相同的测试 DMA 配置时，原始、修改后和恢复后的接收器的混合流量读取速率分别为 10.56、11.81 和 10.59 GB/s。该比较衡量的是综合变化，而不是单个先进先出队列的影响。

3.2 页面请求可能使读取失衡，尽管放置比例相称

考虑三个已提交事件：E_0 和 E_1 位于 C0 中，E_2 位于 C1 中。主机将每个事件视为 17 个 4 KiB 的页面：一个描述符，后跟 16 个有效载荷页面。一个中间接收器根据第一个页面请求隐式分配事件；没有读取器选择存储体。但是，如果两个读取器随后请求 E_0 和 E_1的第 1 页，这两个请求仍然都会发送到 C0。在读取器请求 E_2的另一个页面之前，C1 无法对其执行更多读取工作（见图 3）。在此实现中，环形缓冲区在 150 kHz 下经过 23.84 秒后填满：发送的 3 578 431 个事件中，有 3 577 553 个被保留，878 个在接收器处被丢弃。这是一次在事件分配正确情况下观察到的故障，而不是模拟示例。

早期感知存储体的主机库中的跟踪记录说明了为何这一差异很重要。一个包含 3840 个事件的批次中，C0 恰有 2560 个，C1 恰有 1280 个。在 160千赫下，对 DMA 读地址接口分别进行的快照显示：批次早期的一个 218 μs 窗口内，请求数为 512:170；较晚时的一个 281 μs 窗口内，请求数为 344:344。这两个快照都不是已完成事件的比例，也不是内部存储器利用率的测量值。

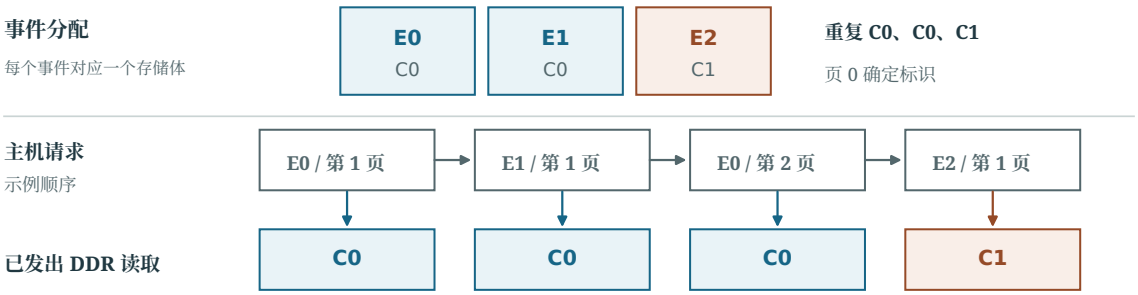

图3。未采用预取的双存储体分配。上：严格放置三个事件。下：每个事件的页 0 均已被占用后，主机请求的一种示意顺序。尽管放置比例恰好为 2:1，存储体请求仍按主机请求的顺序发出。该序列仅为示意，并非记录所得的轨迹。

3.3 按事件预取，按页返回

最终接收器为已提交且已获授权的事件安排读取，而不只是为已请求的页面安排读取。每个存储体都会先发出当前事件的 17 个页面，然后再选择下一个事件；每个存储体最多可有八个页面处于传输中。如果只有一个存储体有任务，则无需等待另一个存储体满足每周期配额。八个共享的片上槽位（每个 68 KiB）用于存放预取数据（见图4）。主机可以接收已就绪的页面，而无需等待其余 16 个页面。响应必须与所请求的事件、页面和事务 ID 匹配。预取不会释放原始 DDR 槽位：只有主机确认的连续事件才会推进回收位置。

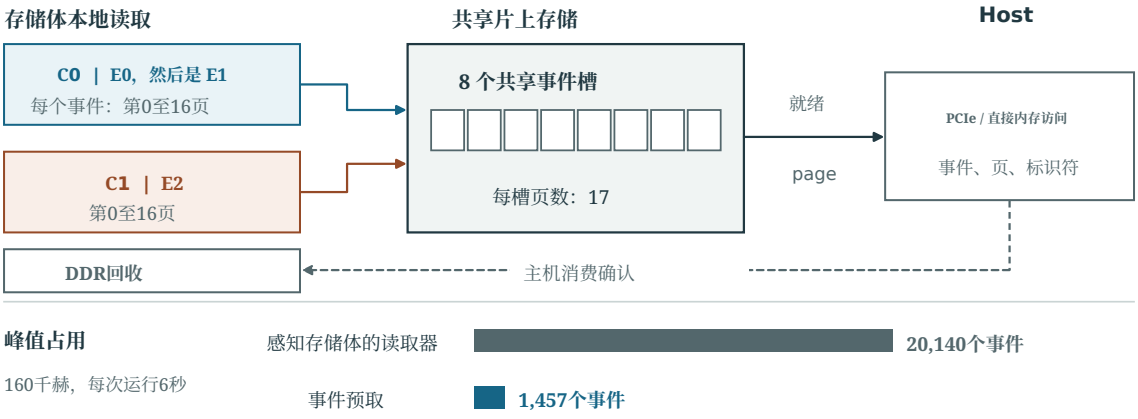

图4。最终版 TDEM。现在，每个存储器都可以独立于主机的页顺序，在事件内提前读取。实线箭头传送页数据；虚线路径表示主机确认已消费数据。保存原始事件的槽位与片上副本的生命周期不同。柱形图比较了两次约 6 秒、160千赫运行中的接收端峰值占用量：较早的存储体感知读出设计与最终预取设计。此比较不同于未采用预取的 150 kHz 分配测试。

在 160千赫 下，同一台直流耦合系统进行了两次约 6 秒的测试：采用突发缓冲、存储体感知读出的方案，队列峰值为 20140 个事件；采用事件预取的方案，队列峰值为 1457 个。仅凭存储容量，无法解释新增的八个槽位为何会带来 18 683 个事件的差异。写入器、DDR 控制器、存储器侧 FIFO 和时钟均未改变。存储体感知方案的对比采用了一个

不同的主机接口；丢弃了 878 个事件的中间接收器使用了与最终设计相同的逻辑读取器，但测试是在单独的会话中进行的。这些对比结果支持读取调度有所改进，但并未将单独的增益归因于每一项实现细节。最终接收器在下文所述的三次暂停测试中持续达到 170 kHz。

4 校准与操作

探测器可能会输出稳定的基线，且仅偶尔产生脉冲。这两种情况都无法提供已知的零输入，也无法提供可靠的信号来估算交织式 ADC 增益。反过来，在正弦激励数秒后测得的清晰频谱，也未必能反映首次记录探测器脉冲时的状态。因此，我们将直流耦合数字化仪的两项操作分开：使用已知输入测量一组系数，以及在启用采集之前恢复这些系数（见图 5）。第二项操作不需要正弦信号源。

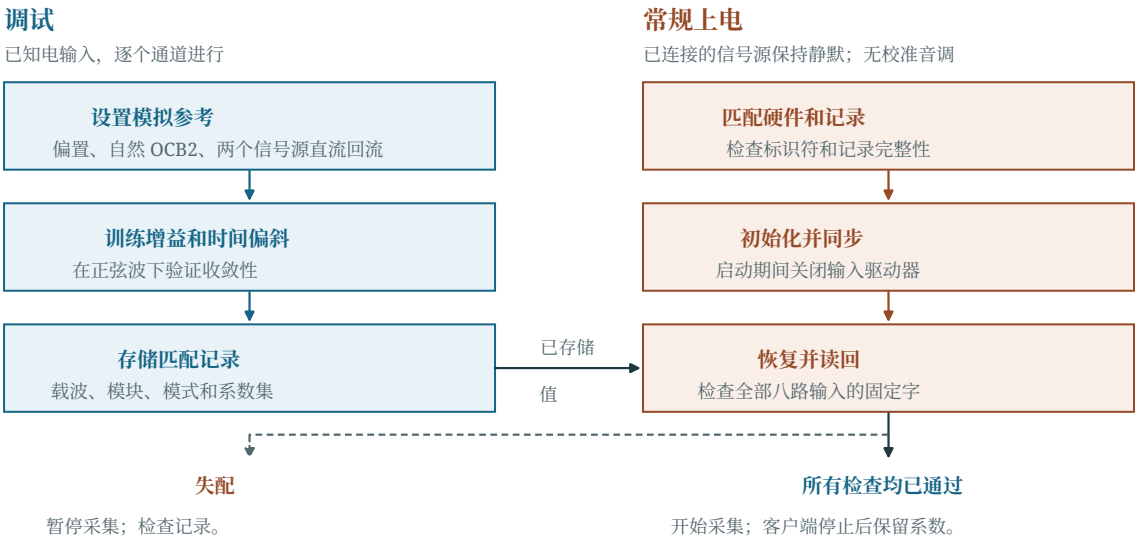

图 5。直流耦合数字化仪的校准。左：在调试载板及其 RFSoC 模块时，或发生需要重新校准的变更后进行的测量。右：上电时执行的流程。水平箭头传递的是存储参数，而非校准波形。只有匹配的配置和系数回读均满足要求，才能启用采集。

4.1 在台架上建立基准

我们首先测量了模数转换器对精密 DAC80508 偏置设置微小变化的响应。LMH5401 输入级的工作点与转换器在该工作点获得的第二个偏移校准块（OCB2）值配对，并在两侧留出调节范围。固定这一配对后，我们为两条外部直流回流路径分别确定了一个零点设置。被测输入端唯一连接的是一台设置为直流耦合、量程为 1 MΩ 或 50 Ω 的 WavePro404HD 示波器；未施加任何信号。存储的 700 帧涵盖八个通道，每个通道有两种设置。在这 16 种设置中，确认均值的绝对值最大为 16.78

个容器计数。选择一个存储的零点，可补偿源的直流 回流路径；它既不会改变射频输入阻抗，也不会减去探测器所带的实际偏移。

射频数据转换器（RFDC）利用后台增益校准块和时间偏斜校准块（GCB 和 TSCB），根据不断变化的输入估算增益和采样时间失配 [9]。Rohde & Schwarz SMA100B 每次向一个通道输入一个 100.317 兆赫的正弦波。其设定为−12 dBm；数字化音调电平为 −16。59 至 −16。46 分贝（相对于满量程，dBFS）。我们分别对索引为 n 模 8 = j的采样值拟合正弦波，并包含一个常数项，¯拟合时使用其实际采样时间。若 A_j 是类别 j 的拟合振幅，而 A 是八个振幅的均值¯，则相对增益离散度为 $A_j/A - 1$的均方根（RMS）。这些是输出采样值的类别；分析无需将其索引对应到物理子模数转换器。

我们让后台估算值在输入音调的情况下收敛，然后将其冻结。在连续两个四帧区块中，离散度必须不超过 0.05%，且两个区块的均值之差不得超过 0.03 个百分点。我们保存了该通道的两个系数区块，并在重新加载后检查结果：所有字和对照记录都必须匹配，离散度仍须不超过 0.05%，且在相同音调下测得的信噪比（SNR）下降不得超过 0.5 分贝。这些是本系统的验收标准，并非转换器规格。最终检查使用重新加载系数后进行的测量，与用于停止自适应的测量相互独立。

4.2 使用另一个激励信号测试校正

随后，我们用 DG922 Pro 发生器依次输出恒定电平，替代训练音调。在恢复系数前后进行比较时，我们对输入0使用相同的信号源连接、模拟设置和电压序列。对于恒定输入，令 $\bar{x}_j$ 表示类别 j 的均值，$\bar{x}$ 表示帧均值。我们将以有符号 16 位容器计数表示的八样本周期性残差定义为

$$R_8 = \left[\frac{1}{8} \sum_{j=0}^{7} (\bar{x}_j - \bar{x})^2 \right]^{1/2}. \tag{4.1}$$

我们在对每个输入电平的 16 帧取平均之前，将式（4.1）应用于每一帧；跨帧汇总采样值可能会抵消相位发生变化的模式。在 +100 mV 时，R_8 从 265.22 降至 9.11 计数；在 −100 mV 时，从 257.80 降至 9.54。相比之下，初始零输入值从 6.61 变为 10.58 计数（图6（a））。

这一区别对于直流耦合探测器很重要。在线性模型中，电压 V处的类别均值为 $g_j V + o_j$，增益为 g_j，偏移为 o_j [11]。均衡增益会减小随 $|V|$增大的周期项，但不一定能改善零输入残差。我们没有减去波形模板。此外，这项直流测试无法确定定时误差，因为定时误差作用于斜率非零的信号。对于交流载波，我们另外在训练音调下测试了输入0。八通道交流频谱测量并未使用通过此程序在全部八个输入上完成验证的固定系数表。

4.3 DAC 输出偏移

用于 ADC 输入的精密偏置 DAC 与八路 RF-DAC 波形输出不同。在直流载波上，我们针对每个输出的两条可选模拟路径，分别测量了 RF-DAC 正交调制校正（QMC）偏移。在数字零点恒定的情况下

并使用直流耦合的 50 Ω 示波器输入，我们测量了零点附近各代码值对应的平均输出电压。通过局部拟合 $V(q) = aq + b$ 得出 $q_0 = \mathrm{round}(-b/a)$。每条路径使用三个独立波形，验证预测的设置后，再恢复原始设置。在搜索和验证序列中的 178 个波形里，确认均值的最大绝对值为 0.177 mV（图 6(b)）。这些路径特定偏移会随静态配置一并恢复；ADC 采集期间，RF-DAC 输出默认保持静音。此测试不校准 DAC 增益、相位或谐波失真。变压器输出无法传输此流程中使用的静态电压。

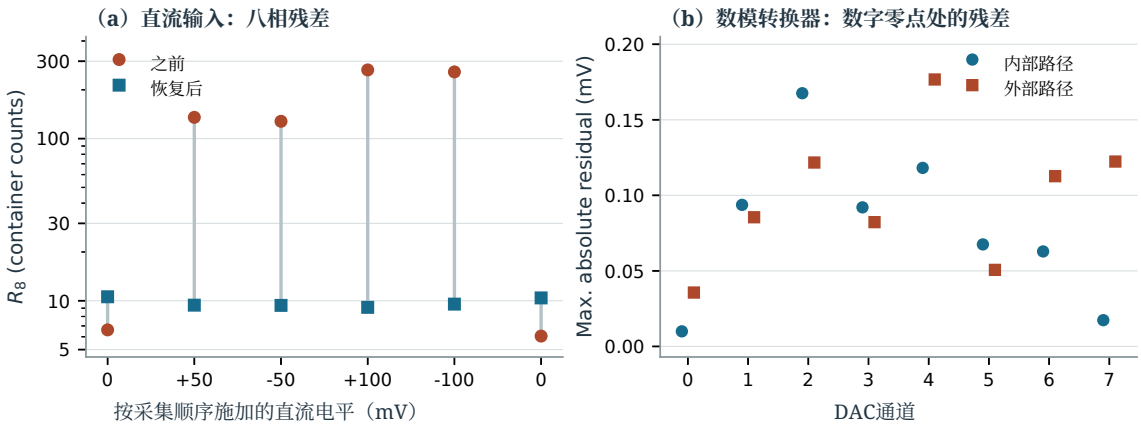

图6。直流载波上的静态检查。(a) 恢复学习得到的系数前后，输入0上的八相均方根残差；两个零输入点界定了直流序列（每个点16帧）。(b) 对每个RF-DAC通道和模拟路径，在数字零点处三个独立波形均值的最大绝对值，负载为a 50 Ω。

4.4 无训练信号源时的上电与采集

调试记录针对特定载波、转换器模块及其工作模式。载波的非易失性铁电存储器保存静态校准；数字化仪还存储相关的转换器系数及其配置标识。上电时，控制器会在启用模拟电源和时钟之前检查静态记录及其完整性。在输入驱动器仍处于禁用状态时，数字化仪执行转换器的常规前台初始化和多瓦片同步。瓦片同步成功并不能证明交织增益已收敛。

采集服务会恢复匹配的模拟设置及其记录的 OCB2 参考值。它会加载已保存的 GCB 和 TSCB 字，并在启用采集前读回全部八个通道。记录缺失或不匹配时，系统不会从探测器中学习并生成替代值。普通的采集停止或客户端断开连接不会释放固定系数。仅冻结并不能在断电后保留数值；重新加载存储的系数作为覆盖值后，相应的模块便不再适应输入信号。转换器复位后需要恢复；更换载波或模块，或更改采样模式后，则需要重新资格认证。因此，操作人员无需判断某个安静时段是否为有效的校准信号。

此流程不会重放整个前景状态。OCB1（第一个偏移校准块）保留其原生行为。AMD 将系数覆盖视为不同于暂停自适应的操作，并不建议手动更改偏移块 [9]。将自然获得的 OCB2 数值与其模拟工作点一同重新应用，是本文测试的一项特定于电路板的选择，并非通用建议。连接的信号源也未必是安静信号源：输入驱动器的掉电控制并不等同于电气隔离。

表2区分了对存储字的回读与对模拟响应的验证。图 7（a）显示重新加载各通道后测得的离散度；图7（b）显示随后一次电源循环后输入-0脉冲响应的情况。负脉冲和正脉冲的平均半高全宽分别为 10.05 ns 和 10.06 ns（每种极性各有四条记录）。上电期间发生器已连接，但处于禁用状态。此测试既不能确定冷启动成功概率，也不能说明任意活动输入条件下或整个工作温度范围内的性能。

表 2。直流载波运行不同阶段的检查。读取全部八组系数集可验证数字配置；只有施加驱动的输入才能测试由此产生的模拟波形。这些校准记录每通道包含 40960 个采样值，而高速率事件使用的是 4096 个。

阶段	Test	观察结果与范围
通道校准	分别恢复各输入；重复相同的正弦测量。	八个通道全部通过；相对增益离散度加载后为 0.0066–0.0268%。
加电保持和复位	将输入0保持 608 秒；另外重新初始化转换器并重新加载其系数。	存储的数值在保持期间得以保留，并在复位后恢复，且无需重新训练。这不是温度扫描。
电源循环	将 12伏电源 循环一次，同时保持信号源已连接但关闭。不要进行主机下载或训练音调。	全部八组均已自动恢复。四次全表检查伴随 32 八通道记录；只有输入0被驱动。
采集并重新连接	施加不同极性的直流电平和脉冲；断开并重新连接采集客户端。	上电后， R_8 为 8.63 和 10.14 计数，分别对应 +100 和 −100 mV。重新连接后归零， $R_8 = 10$。31 计数 ·

5 模拟性能

5.1 输入响应与动态范围

两种载波均使用了同一块 ZYNQBeeRF7 模块和同一条 5 m RG-316 组件。两项测量的目的不同。进行频率响应测量时，信号发生器功率保持恒定；进行动态范围测量时，则调整功率以获得指定的数字化载波幅度。如果在第一项测量中调整功率，就会掩盖所测得的衰减。相反，若信号源功率固定，同一转换器在两种载波下所达到的满量程比例便会不同。

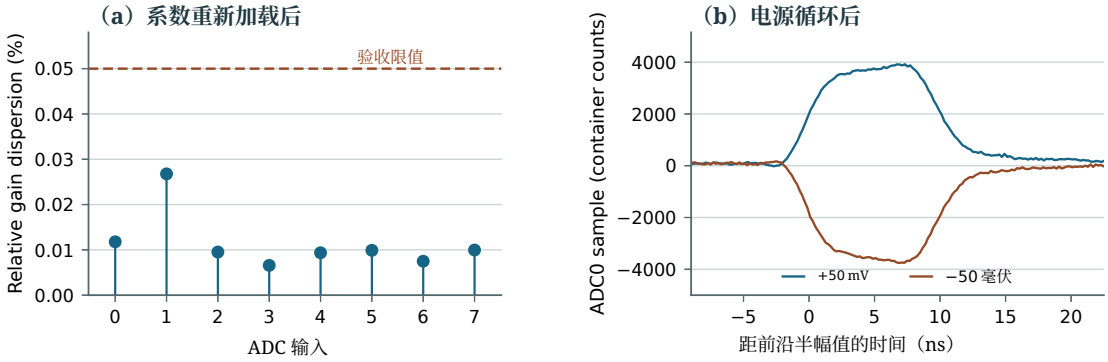

图7。恢复情况的两项独立检查。(a) 分别重新加载各通道后，通过调试正弦测量得到的相对增益离散度；虚线为验收限值。(b) 后续电源循环测试中，每种极性的首条输入0波形；启动后施加标称为10纳秒、50毫伏的脉冲。为便于显示，每条波形均按其自身的前沿半高交叉点对齐。纵坐标为存储样本值，未进行基线扣除、滤波或平均；横坐标并非绝对触发延迟测量值。

每条频谱记录均以 5 吉采样/秒的速率采集每通道 40 960 个采样值。应用了周期性四项 Blackman–Harris窗。载波功率在峰值频点及其两侧各五个频点范围内积分。信噪比计算排除了直流分量以及折叠后的二次至十次谐波；信号噪声失真比（SINAD）则包含谐波失真。无杂散动态范围（SFDR）以载波为基准报告，而非以满量程为基准。对于 L dBFS 的载波电平，我们还报告 信噪比$_{\mathrm{FS}}$ = 信噪比 − L，这是一种假设噪声功率恒定的归一化方式。它并非满量程下的测量。此处使用较长的频谱记录来分辨微弱音调；这与触发速率实验中使用的 4096 个采样值记录不同。表 3 给出了接近 −1 dBFS 时的结果。

表3。使用同一根信号源电缆时，频率为100.317兆赫的八通道范围。每个范围表示各通道中的最小值和最大值，而非测量不确定度。假定不同列中的极值来自同一通道是不成立的。

量	直流耦合载波	交流耦合载波
数字化载波（相对于满量程的分贝）	−1.034 至 −0.971	−1.100 到 −1.079
实测信噪比（分贝）	54.10–57.09	57.68–58.84
满量程归一化信噪比（分贝）	55.12–58.07	58.78–59.93
信号噪声失真比（分贝）	54.05–57.02	57.50–58.57
无杂散动态范围（相对于载波的分贝）	61.36–70.17	69.02–72.49

在此频率下，AC组件在每个通道上的实测信噪比都更高。图8的(a)面板比较了电缆组件，(b)和(d)面板比较了两个载波的输入信噪比和无杂散动态范围，(c)面板则展示了交流载波的数模转换器输出响应。比较对象是两套完整的前端：它们的增益、滤波和校准状态并不完全相同。因此，这项比较无法单独区分耦合电容或变压器的影响。在900.317兆赫下，相较于5米RG-316组件，5米RG-142和RM086组件分别使接收电平提高了2.30和0.97分贝

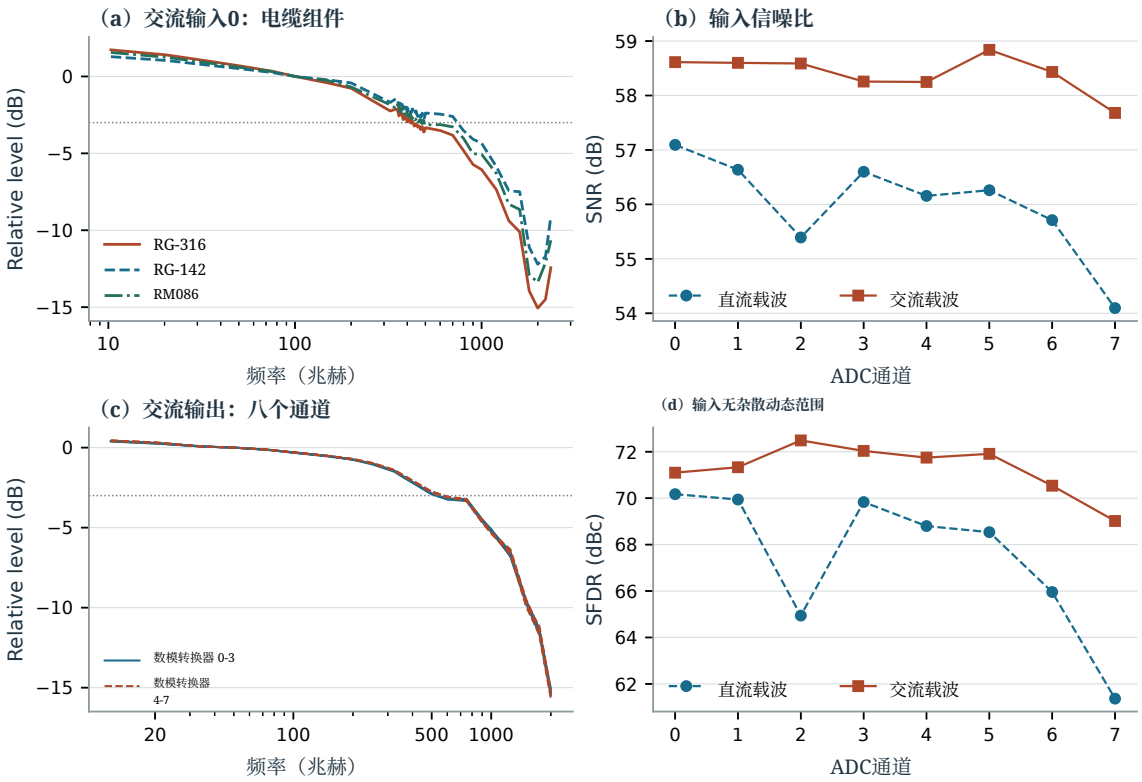

图8。（a）使用三个 5 米电缆组件时，同一交流输入在 10 兆赫以上的响应；每条曲线均归一化至其自身在 100.317 兆赫处的数值。正文中引用的绝对差值是在相同源功率下、归一化之前测得的。（b）在接近 −1 相对于满量程的分贝的条件下，两个 100.317 兆赫载波的实测信噪比。（c）交流输出频谱：八个数模转换器的载波电平，相对于各输出标称的 50 兆赫电平。（d）与（b）中相同记录的输入无杂散动态范围。连接离散频率测量值的线条用于引导视线。

在相同的信号发生器设置下。前两种组件使用了相同的短SMA–MCX适配器；RG-316组件则直接以MCX端接。这些是端到端差异，并非去嵌入后的电缆损耗。采用RG-316，并将响应归一化至100.317兆赫时，交流载波的首个上方 −3分贝交点位于417至433兆赫之间，直流载波则位于594至609兆赫之间。相对于指定频率的交点并不构成裸转换器的带宽规格，尤其是在响应存在较浅谷值的情况下。

5.2 输入通道间耦合与数模转换器输出响应

为测量交流载波上的通道间耦合，每次驱动一个输入至约−6 相对于满量程的分贝，另外七个 MCX 输入在本地端接 50 Ω。每次采集同时对受驱动通道和其余七个未驱动通道进行采样。在此处报告的三个频率下，每次估计均使用了16个信号开启帧和24个信号关闭帧。在信号频率处计算复数受扰通道与驱动通道音调比。检测阈值取两个幅度估计值中的较大者：信号关闭时受扰通道音调相对于驱动幅度的第95百分位数的三倍，以及复数比值的三倍标准误。对于未检测到的情况，我们报告该有向信号对的经验检测限，而不是测得的耦合值或统计置信度

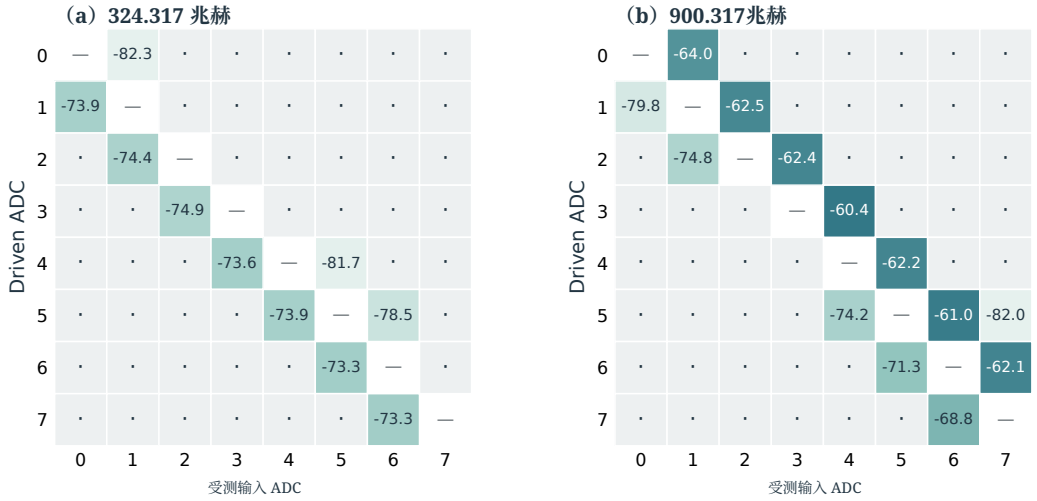

图 9。交流载波上的耦合，其中所有七个未驱动输入均端接于 50 Ω。行表示驱动输入；列表示受测输入。数字表示以相对于载波的分贝（dBc）表示的检测到的音调。圆点表示在该对输入的检测限处未检测到信号；对角线不计入。dBc 的基准是同一采集过程中驱动输入上的数字化载波。

受限。

在100.317 MHz处未检测到56个有向信号对中的任何一对；限制性最小的上限为 –79。43 相对于载波的分贝。在324.317 兆赫处检测到10对，其中最强的是输入7到输入6，为 –73。28 相对于载波的分贝（图9（a））。在900.317兆赫处，输入3到输入4测得 –60。41 相对于载波的分贝，而反向传输在其 –82。34 相对于载波的分贝检测限下未被检测到（图9（b））。在相同频率下进行的另一项可逆测试中，仅端接受测输入而不是使其保持开路，使输入1到输入2的耦合降低了4.75分贝，使输入2到输入1的耦合降低了9.60分贝，而驱动幅度几乎没有变化。这些测量描述了规定负载下数字化通道之间的有向信号传输。它们不是对互易二端口散射参数的测量，也无法确定具体是哪个连接器、变压器或电路板走线导致了该现象。

在一项单独的数模转换器测量中，八路交流输出依次通过同一根 2 m RG-316 电缆连接到一台 50 Ω频谱分析仪（Rohde & Schwarz FSV30）。每个通道在 20 个频率下分别重放一个含 40 960 个样本的正弦波，其峰值幅度在有符号样本容器中为 1024 和 2048 计数。这 320 次载波测量属于包含对照记录在内的 592 条记录。在 50.049 兆赫、2048 计数时，分析仪测得的载波功率对应的峰峰值为 34.44–35.66 mV，涵盖 50 Ω。对首次穿越 –3 分贝的两个相邻实测点进行线性插值，得到相对于标称 50 兆赫基准的频率范围为 525–581 兆赫。未对电缆损耗进行校正。在如此小的幅度下，宽频跨度迹线无法证明数模转换器的固有杂散限值低于分析仪底噪。

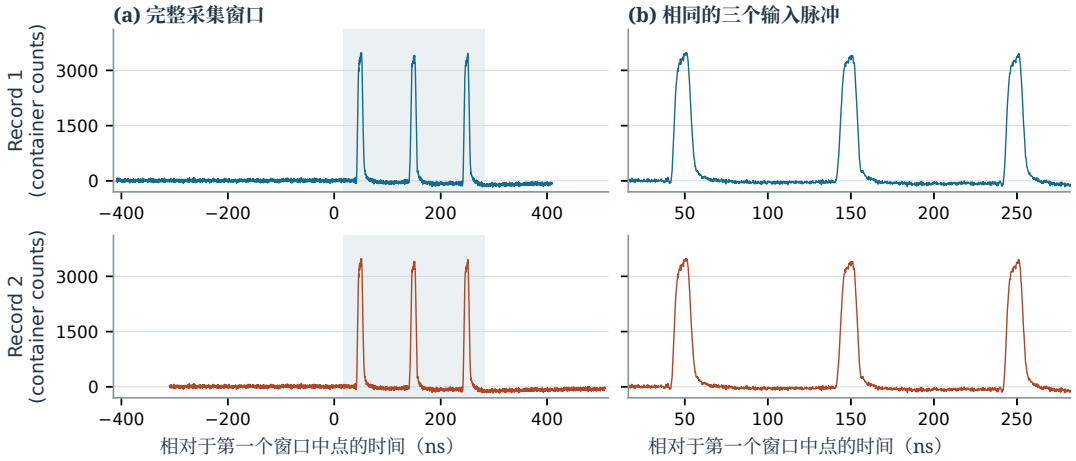

图10。图中以共同时间轴绘出了三脉冲电信号输入中两个已接受触发的记录，数据取自存储的 ADC0采样值。零点是第一个窗口的中点，而非拟合得到的脉冲时间。左侧面板显示完整记录；右侧面板放大了相同的时间区间。第二个时间序列依据记录的时间标签进行了平移。未进行滤波或基线扣除。

6 事件接收与持续读出

6.1 一个采集窗口内的两个触发信号

短脉冲串和连续周期性激励探测的是不同的限制。在两个采集存储体起初均可用时，四组间隔为 100 ns 的双脉冲串各产生了两个事件。在图 10(a)所示的三脉冲示例中，计数到三次阈值越过，但只有前两次被接受。它们生成了两条独立记录，时间标签相隔 100 ns，即 500 个采样间隔。按此间隔平移后，八个通道中每个通道重叠部分的 3596 个样本值均完全相同，包括基线波动。第三个脉冲在两条已接受波形中均可见（图 10(b)）。但它出现在其中并不代表第三次触发已被接受。819.2 ns 的窗口长度和持续触发速率的倒数，都不是固定的双脉冲死时间。

6.2 有主机暂停和无主机暂停时的测试

信号源是施加到 ADC0 的周期性电脉冲串，并采用阈值触发。对于每次运行，我们比较了源信号越阈次数、已接受触发次数以及在主机 RAM 中验证的事件数量。我们还检查了事件序列、循环冗余校验（CRC）、接收端丢弃情况和最终队列占用量。主机在采集期间检查事件；这些速率并非归档磁盘写入的规格。一次运行即使所有已接受事件都通过了其 CRC，也不能仅因此称为无损运行，因为其中可能发生了忙拒绝。

在直流载波下，采用事件预取的接收器在三次各 30 分钟的运行中，以 170 kHz 的速率保持稳定运行，共获得 917 999 364 个已验证事件，并出现 144 次主机暂停。在该载波下进行的一次 175 kHz、持续 60 秒的运行中，验证了 10 502680 个事件。表 4 中随后进行的长时间运行采用了交流载波和相同的接收器预取设计。Linux 主机配备 Ryzen 9 7945HX 处理器、64 GB 随机存取存储器和 PCIe Gen4 ×8 接口。四个板卡到主机读取器和两个校验线程使用了一个

表 4。采用周期性激励的交流载波读出。速率为信号发生器设置的标称值。拒绝数是源端拒绝的触发信号数量；峰值是在 61 440 个接收器事件槽中最多被占用的数量。所有已接受事件均已验证；任何一行中均未记录接收器丢弃或 CRC不匹配。中断运行及其重复运行均列出。

速率（kHz）	主机状态	时间（s）	已验证事件	已拒绝	Peak
175	仅暂停	1800	315 001 621	0	48 004
175	暂停 +CPU负载	1800	315 006 985	0	48 949
175	暂停 +内存负载	958.05	167 664 132	3	47 962
175	相同，重复	1800	314 999 258	0	48 118
179.5	未受扰动	1800	323 098 783	0	7716
179.7	未受扰动	1800	323 452 631	0	4279
180	未受扰动	0.02036	3704	7	992

私有且已锁定的 17.1 GB 主机缓冲区；每次运行前后，该缓冲区至少有 95% 由透明大页支持。接收器固件和 DMA 驱动程序均未更改；无论支持主机缓冲区的页面大小为 2 MiB，设备请求始终为 4 KiB。在初始积压相匹配且输入持续为 175 kHz 的情况下，主机使用原始缓冲区以 12.580 GB/s 的速率读取并确认数据，使用新缓冲区时则为 13.202 GB/s。到达的记录需要 12.1856 GB/s：用于清空队列的余量从 0.394 GB/s 增加到 1.016 GB/s。原始主机配置此前已在 179.5 kHz 下完成两次不间断的 30 分钟运行，队列峰值分别为 27 551 和 52 211 个槽位；新缓冲区在该速率下的峰值为 7716 个槽位。较低的占用率，而不仅仅是完成一次运行，才是这两种主机配置的区别所在。

每次符合条件的 175 kHz 运行均在 10、50、100 和 250 ms 时分别包含 12 次主机暂停。在三次符合条件的运行中，共验证了 945 007 864 个事件，未发生源拒绝。每个队列均在结束时排空。仅 250 ms 的暂停就会按此速率额外接纳约 43 750 个事件，这解释了为何预期队列水位会很高。暂停结束后，恢复至占用槽位不超过 1024 个的最慢时间为 4.18 s。首次内存负载运行约 958 s 后观察到三次源拒绝。一个存储的波形中出现了一个意外瞬态，其半高宽约为 0.82 ns；其来源尚未查明。重复测试按原始标准通过。我们保留这次中断运行，不将其拒绝归因于主机或任何已确认的外部噪声源。

在没有施加负载或暂停的情况下，测试中连续运行 30 分钟且无损失的最高点为 179.7 千赫。在这一标称速率下，采样值占 11.777 GB/s，Aurora 用户端口占 97.895 Gbit/s，主机插槽占 12.513 GB/s。这些是事件大小预算，并非串行通道利用率的测量值。在 180 千赫时，信号源计数到 3711 次交越，并拒绝了 7 次。所有 3704 个已接受事件均经过检查，而在这次短时运行中，接收端队列使用量不到其容量的 2%。因此，首次出现差异的位置在接收器和 PCIe 读出之前。

6.3 180 千赫下的发射器服务

一个事件在 256 位 Aurora 发射接口上占用 2128 个字。该接口不会在每个时钟周期都接受一个用户字。我们在移除下游背压的情况下，统计了生成的发射器在 19 个完整通道绑定间隔内可用的周期数。信道绑定会定期插入控制信息，以对齐链路通道；这些周期无法用于用户

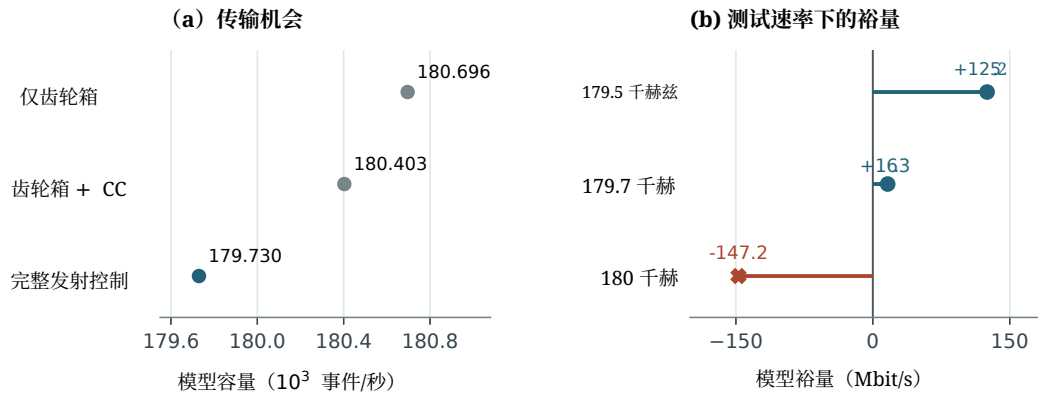

图11。(a) 通过统计仅使用齿轮箱、配合时钟补偿（CC）以及采用完整发射器控制（包括信道绑定）时的传输机会，得到的建模事件容量。(b) 各标称速率下，建模用户数据容量减去所需事件流量。圆圈表示已完成且无拒绝的 30 分钟测试；叉号表示一次出现 7 次源拒绝的短时测试。两个面板均未报告物理链路带宽的测量值。

数据。在 3210 691 个时钟周期中，有 3 048 361 个可用于用户数据。在 $f_{\mathrm{tx}} = 402.83203125$ 兆赫下，相应的容量为

$$r_{\mathrm{tx}} = \frac{f_{\mathrm{tx}}}{2128}\,\frac{3\,048\,361}{3\,210\,691} = 179.730\ \mathrm{kHz}. \tag{6.1}$$

公式（6.1）给出了图 11（a）中完整发送调度的事件容量。换算为用户数据速率后，该值为 97.911 Gbit/s，而在 180 千赫下，事件格式要求 98.058 Gbit/s（图 11（b））。即使这一微小的容量不足，最终也会延迟源采集存储组的返回。这并不意味着每个绑定间隔都会丢失一个事件。

在保留已生成发送调度的逐周期仿真中，速率为 180 千赫时，1400 个触发信号中有 1398 个被接受；而在 179.7 千赫时，1400 个触发信号全部被接受。在速率为 180 千赫的反事实仿真中，仅抑制发送就绪状态上的周期性信道绑定门控后，1400 个事件全部恢复。这项修改并未应用于硬件。在未修改的仿真中，发生拒绝时两个采集存储体都在等待服务；在硬件上，忙计数器以及每隔 528 或 529 个输入触发信号出现的间隙提供了独立证据，但并非对存储体状态进行逐周期观测。这两项结果确定了该信号源、固件和帧格式下故障的位置，但并未测量接收器存储器的峰值混合读写带宽。

7 讨论与结论

这些测量区分了波形保真度与事件接收。在直流前端，随施加电压增大而加剧的周期性误差，通过使用正弦波获得的校准得到了显著降低，同时没有将物理基线拉平或扣除。校准完成后，即使不施加训练信号，电源循环后仍能恢复全部八组系数。当可用输入是稀疏脉冲序列而非连续校准

音调时，这一区分就很重要。接近满量程频谱和定向耦合矩阵刻画了在规定信号电平和终端条件下实际完成数字化的结果。它们并不是对单独的转换器或电缆进行的测量。

主要设计结论是：如果主机页面请求仍决定各存储器的工作时机，那么仅按存储器宽度比例放置事件是不够的。在接收器中，整突发缓冲和随后采用的事件级预取，分别将持续工作点提高到 150 和 170 kHz。固定接收器后，通过调整主机分配提供了更多带宽来清空积压，同时接收新事件；这使得 175 kHz 暂停测试成为可能。179.7 kHz 的不间断结果回答的是另一个问题。在 180 kHz 时，首次丢失发生在接收器和主机之前。增加缓冲可以吸收有限时长的突发，但无法弥补发射器容量的持续不足。台架测量并未验证随机到达情况下的接收能力、搭配探测器时的绝对定时性能，或持续归档写入速率。

数据和软件可用性

底层波形文件、采集日志、固件和分析软件尚未存入公共代码库。

致谢

作者感谢清华大学工程物理系电气车间的技术工程师 Y. Xue 和 J. Zhang，感谢他们精湛的焊接技艺，以及在电路板组装过程中给予的耐心协助；没有他们的帮助，这些测量便不可能完成。

OpenAI Codex 协助整理台架记录、准备绘图和验证脚本，并起草和编辑稿件。

参考文献

[1] S. Ritt、R. Dinapoli 和 U. Hartmann，《DRS芯片在快速波形数字化中的应用》，Nucl. Instrum. Meth. A 623 (2010) 486。[2] D. Breton、V. De Cacqueray、E. Delagnes、H. Grabas、J. Maalmi、N. Minafra 等，《使用SAMPIC波形数字化仪测量超快硅探测器的时间分辨率》，Nucl. Instrum. Meth. A 835 (2016) 51 [1604。02385].[3] S.N. Axani、S. Futagi、M. Garcia、C. Grant、K. Hosokawa、S. Ieki 等，《用于脉冲检测的基于RFSoC的前端电子学》，JINST 19 (2024) P03013 [2311。14946].[4] Q. Du、S. Murthy、V. Moore、A. Jurado Lopez、M. Chin、S.S. Basak 等，《ALS的基于RFSoC的LLRF系统设计》。低电平射频研讨会，报告 LLRF2025/66，arXiv:2510.13192v3，2025。[5] J. Anderson、K. Bauer、A. Borga、H. Boterenbrood、H. Chen、K. Chen 等，《FELIX：一种基于PCIe的高吞吐量方案，用于在ATLAS升级框架中连接前端电子学与触发电子学》，JINST 11 (2016) C12023。[6] A. Borga、R. Blair、G.J. Crone、B. Green、A. Kugel、M. Joos 等，《LHC第2和第3轮运行的ATLAS读出系统》，JINST 18 (2023) P08022 [2307。11557]。

[7] G. Csordás、M. Asiatici 和 P. Ienne，寻回丢失的带宽：在现场可编程门阵列上大规模重排动态随机存取存储器访问，载于*2019*年国际现场可编程技术会议（*ICFPT*），第188–196页，2019年，DOI。[8] L. Wei、Z. Bian、T. Xue、H. Yang、B. Liang、B. Qi 等，用于前沿物理实验电子系统的基于*RFSoC*的硬件模块设计，*PoS* **TAUP2025** (2026) 420。[9] AMD，*Zynq UltraScale+ RFSoC*射频数据转换器，产品指南*PG269*，*v2.6*，2025年。[10] AMD，*Aurora 64B/66B*，产品指南*PG074*，*v13.0*，2024年。[11] N. Kurosawa、H. Kobayashi、K. Maruyama、H. Sugawara 和 K. Kobayashi，时间交织模数转换器系统中通道失配效应的显式分析，*IEEE*电路与系统汇刊*I* **48** (2001) 261。