欧洲 GateMate FPGA 慢控制联锁系统的设计

Vitalii Burtsev, Daniele Passaretti, Daniel Anders, Christof Pfannenm¨uller, Fabian Lutz, Thilo Pionteck 马格德堡奥托·冯·格里克大学，信息技术与通信研究所，德国 电子邮箱：name.surname@ovgu.de

arXiv:2611.32275v1 [cs.AR] 24 Nov 2026

摘要—**慢控制系统（SCSs）对于科学、工业和医疗应用中分布式安全关键系统的监测、配置与保护至关重要。尽管基于软件的慢控制系统架构具有灵活性和可扩展性，但它们会受到软件老化和非确定性延迟的影响，从而限制长期可靠性以及对关键错误的及时响应，因此通常需要额外的硬件联锁系统。本文介绍了一种以 FPGA 为中心的轻量级慢控制联锁系统（SCIS），旨在为长期运行的可靠系统实现确定性的超低延迟响应。系统参数由监督监控单元（SMU）在运行时采集并融合，通过可配置的优先级规则实现实时故障状态分类和优先级排序，并以微秒级延迟触发急停开关动作。所提出的 SMU 使用 VHDL 描述为与供应商无关的架构，并在 28 nm GateMate M1A1 FPGA 上使用开源 OSS-CAD-Suite工具链进行评估。实验结果表明，SMU 架构仅使用 37,6% 的 LUT、9,4% 的触发器和 35,9% 的块 RAM。此外，这种较低的资源利用率使其能够在使用包含 gmpack v1.13 的 OSS-CAD-Suite 时实现 40,48 ms 的重配置时间。这是再生的一项关键指标，因而有助于在关键应用中实现老化缓解。将以太网协议栈卸载至 W5500 以太网模块并集成 Grafana 仪表板，可构建轻量级、确定性的慢控制联锁系统。这证明了以 FPGA 为中心的架构可行，能够解决将超低延迟联锁能力与基于软件系统的可扩展性相结合这一问题。**

I. 引言

现场可编程门阵列（FPGA）凭借确定性执行、超低延迟和固有的隔离支持，广泛应用于对安全性和时序要求严格的子系统中 [1], [2]。这些特性使其特别适用于高能物理（HEP）实验和医疗系统中的实时数据采集与处理、机器保护及联锁操作，例如粒子加速器实验和磁共振成像（MRI）平台 [3]–[11]。

在此类系统中，基于 FPGA 的设计通常用于探测器前端电子学、数据采集和联锁子系统，而配置、监控和管理则由基于软件的慢控制系统（SCSs）负责 [12]。尽管这种分离简化了开发，但也带来了关键局限。基于软件的慢控制系统会因老化而导致可靠性下降，且往往需要重启，从而造成不可避免的停机时间 [13]。这在磁共振成像系统等对安全性要求极高的医疗环境中尤其成问题，因为持续监测系统参数至关重要，而停机不仅代价高昂、耗时，还可能因氦损失和磁体失超带来安全风险 [14], [15]。此外，将互锁逻辑与监控基础设施分离，会限制联锁系统获取具有时间关联性的诊断数据，从而妨碍有效的故障分析和预测性维护 [16], [17]。

近期低成本 FPGA平台为重新审视这种传统的分离方式提供了契机。可靠而简化的微架构、具有竞争力的逻辑密度，以及对开源工具链日益完善的支持，使得在确定性硬件环境中集成保护与监控功能的轻量级可重构架构得以实现。然而，基于 FPGA 的设计在多大程度上适用于无需严格时间约束的任务（如 SC 系统），以及这类设计需要作出哪些权衡，仍不明确；尤其是在安全关键环境中长期运行时更是如此。典型示例包括高能物理实验，如 ATLAS [4],AGS E-821 [5], 冷却储存环 [6],OPERA [7], 和 Belle II [8], ，以及规模较小的医疗系统，如 PET/MRI平台 [9], [10]。

本文提出了一种以 FPGA 为中心的慢速控制联锁系统（SCIS），该系统在轻量级基于FPGA的架构中集成了监测和机器保护逻辑。该系统采集并监测来自不同子系统组件的系统参数（如电压或温度），这些组件采用不同的定制和标准通信协议；系统根据预定义的严重性策略对设备优先级进行分类，并以超低延迟触发联锁动作。诊断信息通过最小化的硬件—软件接口导出，并使用 Grafana 仪表板等标准监测框架进行可视化 [18]。本文的一项重要贡献是评估新兴的低成本 FPGA平台及其开源设计流程，以实现所提出的架构。具体而言，研究选用了 GateMate FPGA

本文已被 *2026* 年 *IEEE* 北欧电路与系统会议（*NorCAS 2026*）接收。
© 2026 IEEE。允许将此材料用于个人用途。任何其他用途均须获得 IEEE 的许可，无论是在当前还是未来的任何媒体上，包括为广告或宣传目的而重印或再版此材料、创作新的汇编作品、转售或重新分发至服务器或列表，或在其他作品中重复使用本作品中受版权保护的任何组成部分。

因为它兼具低成本查找表（LUT）和可与成熟 FPGA系列（如 AMD-Xilinx 7系列）相媲美的抗辐射能力 [19]。除这些技术优势外，这一选择也符合欧洲对技术主权日益重视的趋势；欧盟的《技术主权一揽子计划》以及拟于2026年6月推出的《MicrochipsAct》2.0均重申了这一点，其目标是在欧盟供应链内推行开源设计流程 [20]。

GateMate 由德国的 Cologne Chip [21]和 Globalfoundries 分别开发和制造，其完全开源的流程使从 RTL 到位流的整个路径均可审计、可复现，且不依赖供应商 IP 或许可证。对于嵌入医疗和科学基础设施、使用寿命长达数十年的保护系统，这带来了切实的好处：安全逻辑的生成过程可供检查，不受出口管制和许可中断的影响，并且能够在整个系统使用寿命期间重新构建比特流。

本文的主要贡献如下：

- 一种轻量级、以 FPGA 为中心的架构，在单个逻辑阵列中集成慢控制监测和联锁保护，适用于磁共振成像，并已在 GitHub [22]上开源。
- 对 GateMate FPGA 作为低成本可重配置控制与错误监测平台进行了实验评估。
- 对适用于 GateMate FPGA 的开源 OSS-CAD-Suite 工具链进行了实际评估。

本文其余部分安排如下。第二节介绍联锁、慢控制系统以及 GateMate FPGA。第三节介绍所提出的 SCIS。第四节报告 GateMate FPGA 的使用经验。第五节讨论实验结果。第六节总结全文。

II. 背景

A. 慢控制系统与联锁系统

慢控制系统（SCS）监测并调节运行参数，例如医疗设备和核物理实验中的电源电压、室温和气体流量，其运行时间尺度远慢于探测器数据流 [4]–[10]。这些系统必须整合来自众多不同子系统的系统参数，而这些子系统通常由不同的硬件供应商提供，因此需要可扩展且与供应商无关的架构。

在常见设计中，监测与控制功能会与安全关键联锁机制分离，以避免干扰快速急停开关动作。虽然这有助于

安全性方面，它限制了检测到的故障与上下文监测数据之间的实时关联。现有解决方案大多基于软件且采用分布式架构 [4]，还受到再生时间的限制，通常需要数分钟 [13]。相比之下，本研究提出了一种新的 SCS 和联锁设计，在不影响实时保护的前提下，提升了监测数据与安全逻辑之间的集成度。

B. GateMate FPGA

GateMate FPGA 系列完全在欧洲设计和制造。该 FPGA 系列的核心是图 1 所示的 CPE模块：一个可配置逻辑块，包含一个 8 输入查找表，布局器可将其视为两棵 4 输入查找表树；两个存储元件（触发器或锁存器）；以及快速进位链，从而能够高效实现组合逻辑和算术逻辑 [21]。

在 GateMate CCGM1A1 FPGA 中，CPE 按 160x128 矩阵排列，其中包含 32 个双端口块随机存取存储器（BRAM）单元。每个物理 40K BRAM 瓦片可分为两个独立的 20K BRAM块，可用于简单双端口模式或真双端口模式。CCGM1A1 FPGA 内部的锁相环（PLL）可为实现的设计提供多达四个系统时钟信号。

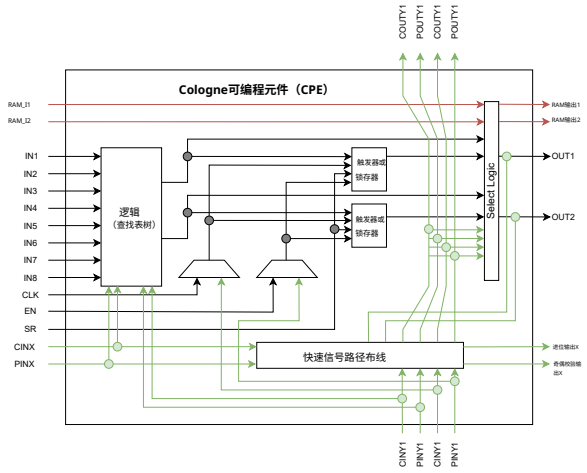

图 1. Cologne可编程元件 [21]。

CCGM1A1 FPGA芯片可在 $-40\,^{\circ}\mathrm{C}$ 至 $125\,^{\circ}\mathrm{C}$ 的温度范围内运行。在 CERN 高加速混合场设施（CHARM）进行的总电离剂量（TID）测试表明，该 FPGA 可耐受高达 1 kGy = $1000\ \mathrm{J\ kg}$ 的电离辐射而不发生退化，因此不仅适用于磁共振成像等环境条件更严苛的安全关键应用，也适用于 PET物理学和 HEP 实验等核应用 [19]。

C. 设计流程

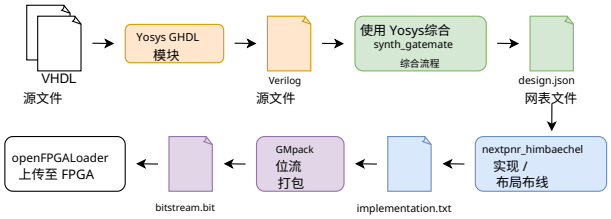

图 2. GateMate FPGA 的 OSS-CAD-Suite 工作流程。

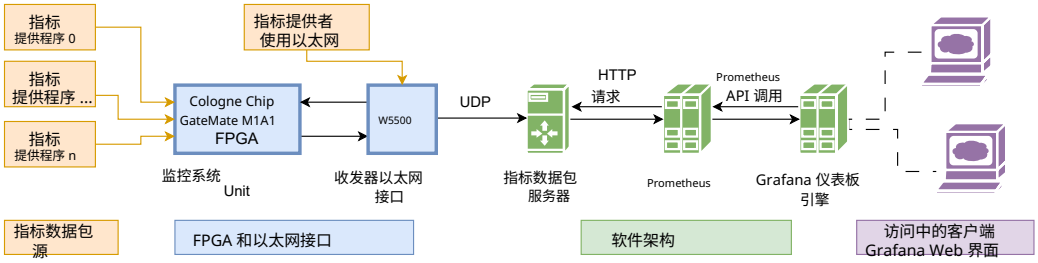

图 3. SCIS 架构概览。

采用的设计流程遵循当前 GateMate FPGA 系列的参考工作流程，并结合设备供应商推荐的 GHDL、Yosys、nextpnr 和 openFPGA-loader 等开源工具。

GateMate FPGA 使用 OSS-CAD-Suite，这是一种用于数字逻辑设计、由 YosysHQ 维护的开源软件发行版 [23]。它提供了图 2 所示的工具链，可支持快速迭代开发，并全面了解资源利用率和时序分析。

Yosys 需要通过 GHDL 插件将 VHDL 转换为兼容格式，然后才能进行综合。为了面向 CCGM1A1 FPGA，Yosys 会调用 synth_gatemate 命令。该脚本执行多个综合流程，包括逻辑优化、死代码消除和技术映射，以生成最终网表。接下来，开源布局布线工具 nextpnr 需要 Yosys 输出 JSON 网表文件。Nextpnr-himbaechel 是 nextpnr 的修改版本，整合了 project peppercorn 的成果，可将综合后的设计映射到 CCGM1A1 FPGA。由于实现工具只会以人类可读文件的形式输出实现后的设计，因此在使用 openFPGALoader 对 Cologne Chip 评估板进行编程之前，需要先用 GMpack 将其打包为位流。GateMate M1A1 评估板配有集成的 FT2232H USB 接口芯片，支持双通道 USB-JTAG/SPI 连接，可通过单根 USB 连接直接从主机上传位流。通过 SPI 模式上传的位流会写入 Macronix MX25R6435F 64Mb 闪存，FPGA 重配置时间可达到毫秒级，具体取决于位流大小。

III. 慢控制联锁系统架构

图 3 所示的拟议以 FPGA 为中心的 SCIS 架构由七个功能实体组成：**度量数据提供源（MPS）**，用于生成系统参数；**监督监控单元（SMU）**，这是一个轻量级的基于 FPGA 的内核，用于监控系统参数，并根据预定义规则触发急停开关动作；**以太网收发器接口（TEI）**，通过将基于 SPI 的度量数据包桥接至 UDP/IPv4 来卸载以太网协议栈；**度量数据包服务器（MPSrv）**，负责实现 TEI 与数据库之间基于套接字的通信；**Prometheus**，用于实时存储的时序数据库；**Grafana 仪表板引擎（GDE）**，用于处理存储的数据；**Grafana 仪表板可视化器（GDV）**，为最终用户提供用于参数和警报可视化的界面。

如图 3 所示，SCIS 架构通过增加 MPS 的数量实现扩展，并在部署时通过增设 GDV 连接来支持多个用户。通过实例化多个带 TEI 的 SMU，可支持多个 MPS。为支持跨供应商的系统参数解释，定义了一种包含三个字段的度量数据包格式：协议代码、唯一标识符和度量值。为了高效地检测硬件故障，系统参数值采用 32 位定点数表示，与浮点实现相比，这使比较器能够降低资源利用率和延迟。

SMU 完全采用硬件架构设计，可在 FPGA 上运行。如图 4 所示，它包含两个

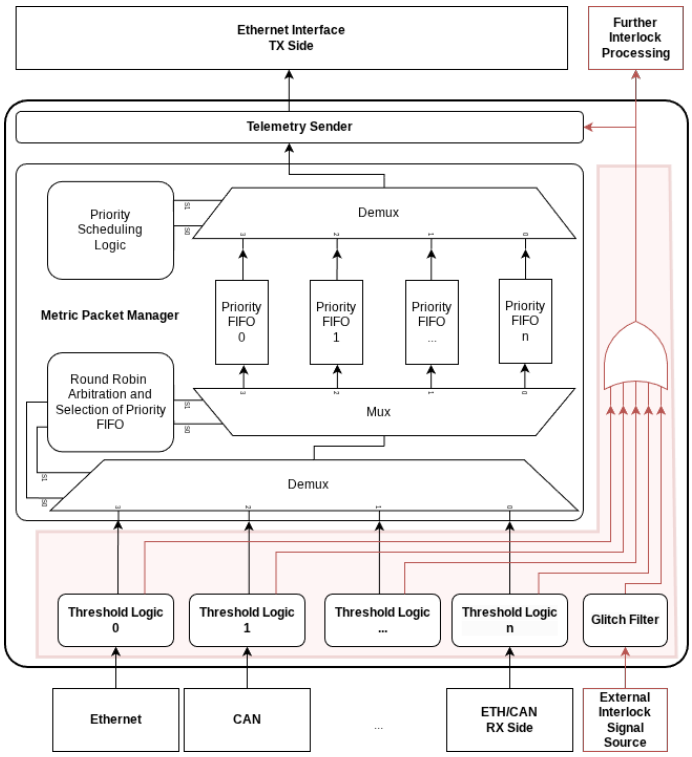

图 4. SMU 微架构，突出显示互锁逻辑（红色）和度量数据包管理器模块。黑色箭头表示 AXI-Stream 接口。

主要组件：互锁逻辑实例（红色模块）和

度量数据包管理器。在此，所有模块均通过 AXI-Stream 接口协议进行通信，从而便于扩展。为减少 SMU 的资源占用，避免高昂的知识产权（IP）成本及其设计复杂性，Ethernet 协议栈已从 FPGA 卸载至专用的以太网模块，数据通过 SPI 协议以度量数据包的形式发送。

在微架构层面，SMU 使用阈值逻辑评估收集到的系统参数，该逻辑会持续将测量值与综合时预先在本地设定的阈值进行比较。当某个系统参数超过相应阈值时，系统便会检测到错误状态并激活紧急停机机制，使信号置为高电平（即逻辑值 1）。该信号通过或逻辑传播，以触发以下操作：通过遥测发送器向用户转发警报；生成并传播外部全局警报信号，以强制执行安全关机。所有这些操作均通过组合逻辑实现，从而提供超低延迟的解决方案：从阈值逻辑检测到错误状态到外部全局警报信号传播出去，耗时不超过一个时钟周期；而通过 GDV 接口通知用户所涉及的延迟，则取决于网络状况。除内部监控外，SMU 还接收来自其他 SMU 的外部联锁信号。这些信号会经过毛刺滤波器处理，以抑制无效跳变；随后，生成的全局联锁信号将作为输出，供后续系统级处理。

阈值逻辑处理后的系统参数值会通过 AXI-Stream 接口发送至度量数据包管理器，即使没有发生错误也是如此。由于多个阈值单元的数据包可能同时到达，由轮询仲裁器控制的一对解复用器和复用器会选取有效数据包、提取其优先级，并将其路由至相应的优先级先进先出（FIFO）缓冲区。该设计包含八个优先级 FIFO，分别对应八个严重性级别，其中优先级 0 代表最高优先级。这些 FIFO 根据预定义的优先级规则对系统参数值进行分类，提供缓冲，并在遥测发送器转发数据包之前实现时钟域解耦。此外，度量数据包管理器中的仲裁逻辑确保度量数据包进入相应的优先级 FIFO，并持续缓冲，直至以太网模块可用，再根据数据包的优先级将其发送至度量数据包服务器。只要遥测发送器当前未在发送用户数据报协议（UDP）警报数据包，并且以太网发送接口（发送侧 W5500）已准备好发送数据，它就始终可以发送度量数据包。

其余实体均设计为可在 Linux 操作系统上运行的软件模块。MPSrv 有三项职责：接收由连接到 SMU 的 TEI 发送的 UDP 数据包，将有符号 32 位定点值转换为 32 位浮点值，以及通过 HTTP 向 Prometheus 暴露收集到的系统参数，Prometheus 会按固定时间间隔抓取这些参数。存储在 Prometheus 数据库中的数据取自 GDE 实体。尽管 Prometheus 没有规定最小抓取间隔，但针对磁共振成像用例，选择了 10 秒的间隔，因为每次抓取都可能从 MPSrv 获取数千个系统参数。此选择既能支持系统持续运行，又能限制长期中央处理器负载。GDE 支持使用各种面板类型选择并可视化系统参数，例如条形图、折线图、仪表盘和表格，从而实现时间序列数据的交互式可视化。

IV. GateMate FPGA及其开源设计流程评估

本节介绍了使用开源设计流程在 Cologne Chip GateMate M1A1 FPGA 上实现所提出 SMU 架构的设计经验，以及所需的平台特定优化。讨论重点包括架构调整、存储器利用策略，以及从 AMD FPGA 设计迁移至 GateMate平台过程中遇到的工作流程问题。

所提出的架构复用了一个用于以太网收发器接口的 VHDL控制器，该控制器最初是基于 W5500芯片为 AMD 7系列FPGA系列开发的。随后，在将项目移植到 GateMate平台时，赛灵思专有的 AXI4-Stream标准 FIFO IP核被可综合的先进先出队列硬件描述语言实现所取代。系统时钟生成也通过在设计顶层实例化名为 CC PLL 的锁相环（PLL）IP核进行了调整。

在我们的设计中，主要瓶颈是 GateMate FPGA 中块 RAM 的数量。因此，我们针对所选的数据位宽分析了块 RAM 的利用率，并将先进先出队列设置为按 20 位对齐、深度为 1024。AMD 提供了可在块设计中实例化的 AXI-Stream FIFO IP核，而针对 GateMate FPGA，我们依据供应商BRAM模板开发了基于块 RAM 的自定义 AXI-Stream先进先出队列。此外，我们发现 GateMate FPGA 内置错误检查与纠正（ECC）功能，但只能通过将块 RAM 直接实例化为 CC BRAM 20K 或 CC BRAM 40K 原语来启用；这些原语支持的数据位宽为 40 位或 80 位，并使用 32 位或 64 位字。

例如，对于存储 32 位数据字，Yosys 使用 40 位块 RAM 配置，剩余的 8 位用于分配汉明码奇偶校验；这样即可实现单比特错误纠正和双比特错误检测。ECC奇偶校验生成与检查由硬件自动执行，会引入一个时钟周期的数据有效延迟，并提供专用的状态信号。然而，无法从通用的行为级VHDL中推断出 ECC，必须使用受支持的数据宽度显式实例化块 RAM。

从 AMD FPGA 设计迁移到开源工具链的过程中，我们观察到 Vivado 与 Yosys–GHDL 在错误解读和综合步骤上存在行为差异，这可能是因为两者采用了不同的语法树解读方式、对 VHDL标准 的解读较为宽松，以及综合策略有所不同。因此，以前为

其他平台开发的硬件描述语言应经过验证，以识别与库和 IP 核依赖 相关的问题，以及这两种工具以不同方式展开的竞争条件。因此，在 GateMate工作流 中，会运行测试平台并使用 GTKWave 分析波形，因为无法保证不同工具链之间的行为等效。

为优化综合、实现和编程阶段的设计流程，我们从适配后的 VHDL 出发，使用宽松的语义检查运行 GHDL，并在 Yosys 中使用 synth_gatemate 标志执行逻辑综合。此外，我们分别使用 -nomx8 和 -luttree 标志来禁用 8输入多路复用器并启用 LUT树映射。随后检查生成的 design.json 网表，以验证块 RAM推断是否正确。使用 nextpnr-himbaechel 针对 CCGM1A1器件执行布局布线。布局可以采用指定种子或随机方式，而布线则采用基于堆的算法，以最大限度地提高时序裕量并满足 PLL 指定的系统时钟频率。必需的 --router=router2 选项扩展为 --router2-tmg-ripup，以启用时序驱动的重新布线；同时选择 --fpga_mode=speed，以优先提高可实现的时钟频率，而非降低功耗。实现过程会生成可读的输出，并将其传递给 GMpack 以生成位流，同时启用 CRC配置和 SPI 模式选择。选择 --spimode=quad 可充分利用可用的 SPI带宽，与单 SPI 模式相比，重配置时间约缩短至四分之一。位流通过 USB/JTAG 或 SPI，使用 openFPGAloader 上传至 GateMate FPGA Starter Kit。

最后，基于本项工作积累的经验，GitHub代码仓库中提供了一个 Makefile，用于自动化综合、实现、位流生成和编程，从而提高可复现性并降低采用门槛。通过这一工作流，开源工具链实现了比 Vivado 2025.2 更短的综合和实现时间，而 Vivado 使用的 LUT 更少；不过，由于 CPE 的 LUT 架构与 AMD 7系列产品族不同，LUT 数量无法进行一一对应的比较。近期发布的 OSS-CAD-Suite 进一步通过基于 CRC 的位流验证、Quad-SPI 支持和更紧凑的输出增强了该工作流，从而缩短了 FPGA 重配置时间。

V. 验证与评估

为验证以FPGA为中心的SCIS架构并评估其在 GateMate M1A1 FPGA 上的性能，我们部署了一个原型系统，以便将其集成到超高场磁共振成像系统中。该设置包括一个 MPS，通过 CAN 以不同优先级生成合成参数；还包括一个 W5500 以太网模块，用于将多个 MPS 连接到 SMU（托管于 GateMate Starter Kit 上）。第二个 W5500 模块将 SMU 连接到 MPSrv、Prometheus 和 GDE 实体，这些实体运行在 Linux工作站（内核6.18）上。

该硬件设计已成功部署在 GateMate M1A1 FPGA 上，其系统时钟频率为 40MHz，受为 W5500 以太网设计的控制器限制并集成到 FPGA 中。实际测得的指标数据包速率约为 18 Mbit/s，不会成为我们应用的瓶颈。事实上，使用所提出的应用协议，单个模块每秒最多可处理 100.000 个指标数据包。基于 400 MHz STM32H7ZI2 Nucleo 开发板并运行 FreeRTOS 的测试平台，采用相同的处理流程，每秒最多处理 10.000 个数据包。此外，该系统具有可扩展性；添加第二个 W5500 模块只需额外增加一个 SPI 主机和一个 UDP 数据包适配器，仅多消耗 7% 的 LUT 资源和三块物理 BRAM 瓦片。如表 I 所示，SMU 架构仅使用了 37,6% 的 LUT、9,4% 的触发器和 35,9% 的 BRAM。如此低的资源占用便于在 GateMate M1A1 平台上进一步扩展架构。这些结果是使用前文所述的 OSS-CAD-Suite v1.13 工作流程和优化步骤获得的。

表 I 实现后资源利用率对比。

资源	GateMate M1A1 FPGA			AMD Artix-7 xc7a35t		
	Used	总计	利用率（%）	Used	总计	利用率（%）
GPIO	20	162	12,3	20	210	9,5
LUT	15394	40960	37,6	3366	20800	16,2
FF	3833	40960	9,4	3072	41600	7,4
BRAM	23	64	35,9	10,5	50	21,0

注意：GateMate 使用 4输入查找表（LUT4） [21]，，而 Artix-7 使用 6 输入查找表（LUT6）。因此，查找表数量不能直接比较。

表 I 比较了该设计与 AMD 7 系列 xc7a35t FPGA 的资源利用率。尽管此前观察到，Vivado 在综合和实现阶段比 Yosys 慢，但从比较结果来看，SMU 架构在 AMD 器件上的资源利用率更低。此外，xc7a35t 上的设计围绕三个主要模块进行映射：度量数据包管理器（绿色）、阈值逻辑（包括接收器，青色）以及遥测发送器（包括发射器，红色）；而 Yosys 将资源分布在 GateMate 逻辑结构中，尤其集中在 BRAM 列周围，如图 5 所示。

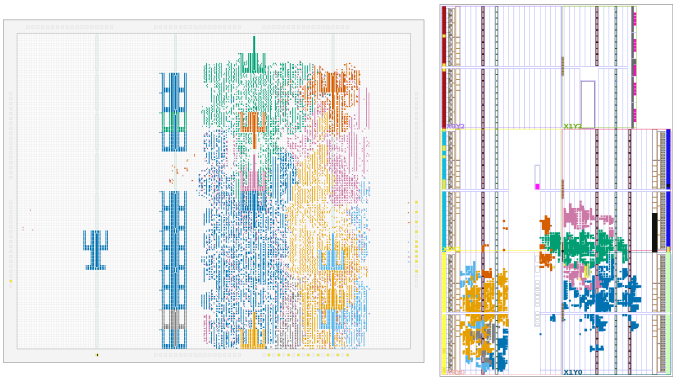

Fig. 5. Post-布线布局：GateMate M1A1（左），AMD xc7a35t（右）.

除了资源利用率之外，FPGA 上运行的架构的一个关键评估指标是重配置时间。

该功能可用于测量系统重启时间，作为一种长期缓解老化影响的再生方法。为进行测量，我们将 GMpack 1.13 打包的位流上传至 GateMate M1A1 评估板上的 SPI 闪存，并使用 SIGLENT SDS2104X 示波器测量 FPGA 重配置时间 [24]，，测量区间从 RESET 信号撤销开始，至 CFG_DONE 信号的上升沿结束。我们观察到，在 Quad-SPI 模式下，重配置时间为 40.48 毫秒；与初始实现相比，速度提升了 5 倍。当时使用的是 GMpack 1.2，且仅支持 SPI 单模式。这一改进并非完全归功于用于 FPGA 编程的 SPI 模式，位流大小也同样重要。gmpack v1.13 位流生成器会压缩 BRAM 初始化数据；若存储器未被完全利用，这些数据会在加载期间写入。这减少了项目中实例化的 Half-BRAM CC BRAM 20K 单元数量。由此生成的位流更小，进一步缩短了重配置时间和设备启动时间。

另一个关键性能指标是联锁断言时间，即杀开关动作在系统中传播所需的延迟。与基于软件的解决方案不同，该架构旨在实现超低延迟响应。阈值逻辑接收到最后一个字节后一个时钟周期，联锁即被断言；在 40 MHz 下，这相当于 25 ns。对于以太网通信这一系统中速度最慢的接口，杀开关的断言延迟约为 3 µs；而在外部联锁信号这一最佳情况下，延迟可达到上述的 25 ns。当 SMU 接收到作为输入的联锁断言（因为该断言由另一个 SMU 传播而来）时，联锁断言会在 4 个时钟周期后被寄存并传播；这一延迟由带有滞回行为的数字毛刺滤波器引入，用于减少 SMU 内部全局联锁信号的不必要状态变化。要通过 GDV 将已断言杀开关动作的元数据传播给用户，SPI 主机需要对从 MISO SPI 线路读取的数据进行反串行化，以便使用 W5500 模块。在指标数据包数据的第一个有效字节提供给阈值逻辑后，该通信还会增加 130 个时钟周期的延迟。

作为系统级验证的一部分，我们对指标数据包的往返时间（RTT）进行了评估，以表征端到端通信延迟，即基于 FPGA 的 SMU 架构与基于软件的参考实现之间的通信延迟。鉴于所需的时间分辨率达到微秒级，我们通过在网络接口控制器上禁用 RX 中断合并，并在 Pine A64 单板计算机上以实时调度优先级运行基于 Python 的虚拟 SMU，同时绑定 CPU 核心，尽可能减少 Linux 网络协议栈引入的非确定性影响。我们从运行在系统时钟频率为 40 MHz 下的基于 FPGA 的 SMU 收集了总计 65.536 个 RTT 样本。

图 6 中的直方图显示，延迟呈现多峰分布，其中 62,53% 的样本集中在 164 µs 附近，接近 165 µs 的平均往返时间（RTT），标准差为 5µs。观测到的抖动表现为约 10µs 的离散阶跃，主要归因于 Linux 中断处理和内核调度效应、基于软件的 SMU 中 Python 解释器的开销，以及 W5500 以太网控制器中对接收套接字缓冲区的顺序轮询。

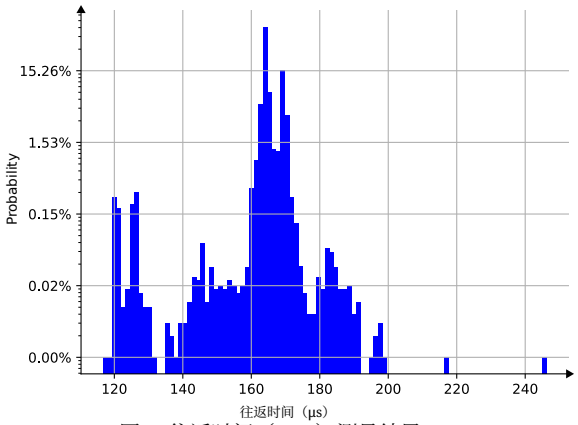

图 6. 往返时间（RTT）测量结果。

大约 10µs 的离散阶跃，主要归因于 Linux 中断处理和内核调度效应、基于软件的 SMU 中 Python 解释器的开销，以及 W5500 以太网控制器中对接收套接字缓冲区的顺序轮询。尽管存在这些可变性来源，基于 FPGA 的 SMU 架构无需操作系统层即可实现持续较低的延迟，测得的最大往返时间（RTT）为 246 µs，始终远低于 1 毫秒，因此适用于毫秒级精度的时间戳标记，以及基于用户数据报协议（UDP）的联锁警报消息的及时传播。

VI. 结论

本文介绍了一种以 FPGA 为中心的 SCIS，旨在利用 Grafana 仪表板作为操作员界面，实现确定性的系统健康监测与告警系统以及机器保护。该系统面向长期运行的安全关键系统。通过将联锁决策逻辑和 SCS 完全部署到硬件中，该架构消除了软件栈延迟，实现了微秒级的联锁触发，同时保持端到端通信延迟低于 1 毫秒。此外，通过将以太网协议栈卸载至外部 W5500 收发器，并采用工具链优化，GateMate M1A1 FPGA 上的该架构实现了较低的资源利用率和较快的 FPGA 重配置时间（40.48 ms），从而支持架构扩展，并使系统更新成为缓解基于软件的解决方案中常见老化效应的有效策略。本文的另一项重要贡献，是对欧洲 GateMate M1A1 FPGA 及其在 Yosys 开源工具链中的设计流程进行了实际评估。移植该设计需要用可移植的 VHDL 替换供应商特定的 IP，并调整时钟和存储器原语。由此形成的系统，将硬件实现的超低延迟和确定性锁定行为，与基于软件的 SCS 的可扩展性结合起来；此前，这需要两个独立系统才能实现。结果还表明，GateMate 可作为确定性联锁系统的经济高效、可扩展平台，确保可靠运行，并支持未来在复杂应用（如超高场磁共振成像）中的架构扩展。

致谢

本出版物由欧盟（欧洲区域发展基金）通过“超高场磁共振成像通用集成控制台（UIC4UHFMRI）”项目共同资助，该项目属于“萨克森-安哈尔特科学——研究与创新（EFRE）”计划。

参考文献

[1] N. Alachiotis、S. van den Belt、S. van der Vlugt、R. van der Walle、M. Safari、B. Endres Forlin、T. De Matteis、Z. Al-Ars、R. J ordans、A. J. Sousa de Almeida等，《荷兰的FPGA创新研究：现状与未来展望》，《高性能计算前沿》，第3卷，页码1572844，2025年。[2] D. Passaretti、F. Boehm、M. Wilhelm和T. Pionteck，《低成本SoC-FPGA的硬件隔离支持》，载于《计算机系统体系结构》，M. Schulz、C. Trinitis、N. Papadopoulou和T. Pionteck编，Cham：Springer International Publishing，2022年，第148–163页。[3] D. Guo、X. He、P. Li、Z. Qin、C. Hu、B. Wang、Y. Zhou、K. Zheng、Y. Zhang、X. Wei等，《利用HIRFL-CSR外靶实验研究核物质状态方程》，《欧洲物理学杂志A》，第60卷，第2期，页码36，2024年。[4] R. Keyes、K. Johnson、L. Pepin、F. L´eger、C. Qin、S. Web- ster、A. Robichaud-V´eronneau、C. B´elanger-Champagne、B. Lefebvre、S. Robertson等，《用于ATLAS小条薄间隙室测试设施的气体系统及其配套慢控制系统的开发与表征》，《仪器学杂志》，第12卷，第04期，页码P04027，2017年。[5] A. Stillman，《缪子g-2实验的慢控制系统》，载于《粒子加速器会议论文集》，第4卷。IEEE，1995年，第2211–2213页。[6] M. Li、K. Zhou、W. Li、Y. Zhang、J. Dong、Y. Yu、R. Mao、P. Li和Y. Yuan，《HIRFL-CSR外靶实验的慢控制系统》，《核工程与技术》，第57卷，第5期，页码103345，2025年。 [在线]。可访问：https: // www.sciencedirect.com/science/article/pii/S1738573324005965

[7] A. Bergnoli、A. Bertolin、R. Brugnera、E. Carrara、A. Cazes、F. Dal Corso、S. Dusini、G. Felici、A. Garfagnini、A. Longhin、U. Man- tello、A. Mengucci、A. Paoloni、L. Stanco、V. Sugonyaev、F. Terranova和M. Ventura，《OPERA光谱仪慢控制系统》，《IEEE核科学汇刊》，第55卷，第1期，第349–355页，2008年。[8] T. Konno、R. Itoh、M. Nakao、S. Y. Suzuki和S. Yamada，《Belle II实验的慢控制与数据质量监测系统》，载于《2014年第19届IEEE-NPSS实时会议》，2014年，第1–4页。[9] E. Shams、J. D. Thiessen、D. Bishop、P. Kozlowski、F. Reti`ere、V. Sossi、G. Stortz、C. J. Thompson和A. L. Goertzen，《基于树莓派®的PET探测器接口板和慢控制系统》，载于《2013年IEEE核科学研讨会与医学成像会议（2013 NSS/MIC）》，2013年，第1–3页。[10] P. Zappa、L. B¨utikofer、D. Coderre、B. Kaminsky、M. Schumann和M. v. Sivers，《适用于小规模应用的多用途轻量级慢控制系统》，《仪器学杂志》，第11卷，第09期，页码T09003，2016年9月。 [在线]。可访问：https://doi.org/10 1088 1748 0221 11 09 09003 。 / - / / /T D. Passaretti、J.

[11] M. Joseph和T. Pionteck，《医学放射学应用中的FPGA综述：挑战、体系结构与编程模型》，载于《2019年国际现场可编程技术会议（ICFPT）》，2019年，第279–282页。[12] Y. Bai、D. Gaisbauer、S. Huber、I. Konorov、D. Levit、D. Steffen和S. Paul，《智能FPGA数据采集框架》，《IEEE核科学汇刊》，第64卷，第6期，第1219–1224页，2017年。[13] A. Bovenzi、J. Alonso、H. Yamada、S. Russo和K. S. Trivedi，《迈向快速操作系统再生：快速操作系统重启技术的实验评估》，载于《2013年第24届IEEE国际软件可靠性工程研讨会（ISSRE）》，2013年，第61–70页。[14] C. J. Lisanti、R. H. Hashemi和W. G. Bradley，《磁共振成像：基础知识》。Lippincott, Williams & Wilkins, 2018年。[15]药品和保健品监管局（MHRA），《临床使用中磁共振成像设备的安全指南》，2021年，第5.3节和第8.2节讨论了事件调查及系统监测要求，以及针对子系统故障的工程化防护措施。

[16] M. Huovinen，《流程工业中的大规模监控应用》，博士学位论文，坦佩雷理工大学，芬兰坦佩雷，2010年。[17] P. P. Waszecki，《汽车电气/电子（E/E）架构中的安全性、安全防护与可靠性系统级诊断》，博士学位论文，慕尼黑工业大学，德国慕尼黑，2016年，经电气工程与信息技术学院批准的论文完整印本。[18] Grafana Labs，《Grafana 仪表板》，https://grafana.com/grafana/dashboards/，2026年，访问日期：2026-02-04。[19] L. Koers、R. Jung、A. Scialdone、R. Ferraro、M. Karagounis、S. Danzeca 和 A. Masi，《评估 28 纳米欧洲 FPGA 在 CERN 大型强子对撞机环境中的适用性：深入的辐射鉴定研究》，发表于*2024 IEEE* 辐射效应数据研讨会（*REDW*）（与 *2024* 年 *NSREC* 联合举办）。IEEE，2024年，第 1–5 页。[20] 欧盟委员会，《加强欧洲技术主权：技术主权一揽子方案及拟议的《芯片法案 2.0》》，2026年6月，cOM(2026) 504 final。[21]Cologne Chip AG，《GateMate FPGA CCGM1A1 / CCGM1A2 数据手册（DS 1001 1001, ）》，2025, [ ] Cologne Chip AG，技术数据手册 DS，在线网页版本。在线获取：https://colognechip.com/ docs/ds1001-gatemate1-datasheet-latest.pdf [22] HTI-OVGU，《FPGA-centric-SCIS》，https://github.com/HTI-OVGU/FPGA-centric-SCIS。[23] YosysHQ，《Yosys 开源综合套件（yosys）》，https://github.com/ YosysHQ/yosys，Git 标签 v0.53（提交 53c22ab）。访问日期：2026-01- 17。[24] 鼎阳科技北美公司，《SDS2000X-Plus 系列数字示波器数据手册》，https://siglentna.com/wp-content/uploads/dlm uploads/2021/03/SDS2000X-Plus Datasheet DS0102XP E01B.pdf，2021年，访问日期：2026-02-04。